

**UNIVERSIDAD AUTÓNOMA DE MADRID**

**ESCUELA POLITÉCNICA SUPERIOR**



**PROYECTO FIN DE CARRERA**  
**Ingeniería de Telecomunicación**

**Técnicas de Low-Power Design en FPGAs**

**Unai Montero Arratibel**

**Diciembre 2015**



# **Técnicas de Low-Power Design en FPGAs**

**AUTOR: Unai Montero Arratibel**

**TUTOR: Juan Pablo Oliver Deferrari**

**Digital System Lab**

**Departamento de Tecnología Electrónica y de las Comunicaciones**

**Escuela Politécnica Superior**

**Universidad Autónoma de Madrid**

**Diciembre 2015**



## Resumen

Este Proyecto de Fin de Carrera busca estudiar diferentes técnicas de diseño de circuitos digitales en FPGAs de forma empírica, de tal manera que puedan establecerse directrices que permitan implementar circuitos optimizando el consumo de los mismos. Para ello, se ha llevado a cabo el desarrollo de una serie de circuitos de prueba, de tal forma que un mismo circuito cuenta con varias implementaciones diferentes a nivel de diseño o bien el funcionamiento de una misma implementación ha sido estudiado en diferentes ambientes. La finalidad de este proceso es desarrollar un *benchmark* que permita establecer de forma experimental cómo afectan las diferentes variables que definen y rodean a un circuito al consumo del mismo.

## Palabras clave

FPGA, circuito, digital, transición, lógica, aritmética, función, potencia, disipación, modelo, temperatura, voltaje, corriente, capacidad, diseño, *low-power*, optimización, reducción, medida, parásita, *glitch*, *Xilinx*

## **Abstract**

This Project aims to study different techniques of digital circuit design in FPGAs empirically, so that some guidelines to implement circuits can be defined to optimize their power dissipated. In order to achieve this goal, a number of test circuits has been developed, having implemented each one of them in several ways or keeping the same implementation but varying the environment surrounding the circuit. The purpose of this process is to develop a benchmark that allows establishing experimentally how the different variables that define and surround a circuit affect their power dissipated.

## **Key words**

FPGA, circuit, digital, transition, logical, arithmetic, function, power, dissipation, model, temperature, voltage, current, capacity, design, low-power, optimization, reduction, measure, parasitic, glitch, *Xilinx*

## **Agradecimientos**

*En primer lugar me gustaría agradecer a mi familia todo el apoyo que me han brindado de manera constante a lo largo de todos estos años. Quiero darles las gracias por haberme inculcado los valores y dado la educación que he necesitado para llegar hasta este punto y que sin duda me servirán de guía en el futuro. A mi madre, por compartir conmigo tanto los disgustos como las alegrías durante todo este tiempo, por empujar junto a mí desde el principio hasta el final. A mi padre por confiar en mí incluso en los momentos más duros, por su trabajo abnegado y su entrega. A mi hermano por su apoyo incondicional, por su capacidad de arrancar una risa cuando más se necesita.*

*Gracias a todos los compañeros con los que he compartido el camino y que de uno u otro modo me han ayudado a llegar hasta el final, en particular a Pablo y a Eugenio. Me siento muy afortunado de haberme cruzado con vosotros por el camino.*

*Gracias tanto a mi tutor, Juan Pablo Oliver, como a Eduardo Boemo, por darme la oportunidad de desarrollar este proyecto, por su buena disposición a echarme una mano siempre que lo he necesitado. Sin vuestra guía no habría sido posible.*

*Gracias a todos los profesores que me he cruzado a lo largo de todos estos años, tanto en el colegio como en la universidad. Gracias por haber aportado vuestro granito de arena.*

*Gracias a Marta, porque teniéndote cerca todo resulta más fácil.*

*Muchas gracias a todos.*

**Unai Montero Arratibel**

**Diciembre 2015**





# Índice de contenidos

Resumen	5
Palabras clave	5
Abstract	6
Key words	6
Capítulo 1	19
1.1 Motivación	19
1.2 Objetivos	20
1.3 Metodología	20
1.4 Estructura	21
1.5 Siglas y acrónimos	21
Capítulo 2	23
2.1 Panorámica	23
2.2 Delimitación del espacio de trabajo	23
2.2.1 Fuentes de consumo	23
2.2.2 Voltaje	24
2.2.3 Capacitancia	25
2.2.4 Actividad de datos dentro del circuito	25
2.2.4.1 Patrón de la entrada de datos	26
2.2.4.2 Modelo de retardo	30
2.2.4.3 Funciones lógicas	32
2.2.4.4 Lógica estática vs. lógica dinámica	35
2.2.4.5 Estructura del circuito	35
2.3 Técnicas de estimación de consumo en circuitos	36
2.3.1 Técnicas de simulación	36
2.3.1.1 Simulación directa	36
2.3.1.2 Simulación jerarquizada	36
2.3.1.3 Muestreo estadístico	37
2.3.2 Técnicas alternativas a la simulación	37
2.3.2.1 Estimación a nivel de comportamiento del circuito	37
2.3.2.2 Estimación a nivel lógico	38
2.4 Técnicas de reducción de consumo	40
2.4.1 Escalado del voltaje de alimentación	41
2.4.2 Minimización de la capacitancia	41
2.4.3 Gestión de potencia y técnicas de diseño	43
Capítulo 3	47

3.1 AVNET Xilinx Spartan-6 FPGA LX16 Evaluation Kit	47
3.1.1 Placa AVNET	47
3.1.2 FPGA Xilinx Spartan-6	49
3.1.2.1 FPGAs de la familia Spartan-6	49
3.1.3 Herramienta de medición de consumo de AvProg	51
3.2 Estufa de secado Selecta Digitheat	53
3.3 Xilinx ISE Design Suite 14.6	55
Capítulo 4	57
4.1 Metodología y desarrollo	57
4.2 Listado de circuitos que componen el <i>benchmark</i>	59
4.2.1 Diseños relativos a la variación del número de etapas de <i>pipeline</i>	59
4.2.2 Diseños relativos a la variación de la frecuencia de funcionamiento del circuito	60
4.2.3 Diseños relativos a la variación del algoritmo utilizado dentro del circuito	60
4.2.4 Diseños relativos a la variación de la temperatura de la FPGA	60
4.2.5 Relación entre los diferentes parámetros	60
4.2.6 Consideraciones relativas al tamaño de los circuitos	61
4.2.7 Multiplicadores vs. LUTs	61
4.3 Desarrollo de los procesos de medición y resultados obtenidos	61
4.3.1 Variación en el número de etapas de <i>pipeline</i>	61
4.3.1.1 La segmentación de circuitos digitales o <i>pipelining</i>	61
4.3.1.2 Desarrollo de las mediciones relativas a la variación del número de etapas de <i>pipeline</i>	61
4.3.1.3 Presentación de resultados de las mediciones relativas a la variación del número de etapas de <i>pipeline</i>	62
4.3.2 Variación de la frecuencia de funcionamiento del circuito	68
4.3.2.1 Presentación de resultados de las mediciones relativas a la variación de la frecuencia de funcionamiento del circuito: multiplicadores	69
4.3.2.2 Presentación de resultados de las mediciones relativas a la variación de la frecuencia de funcionamiento del circuito: contadores	77
4.3.3 Variación del algoritmo utilizado dentro del circuito	83
4.3.3.1 Presentación de resultados de las mediciones relativas a la variación del algoritmo utilizado dentro del circuito	85
4.3.4 Variación de la temperatura de la FPGA	87
4.3.4.1 Metodología del proceso de medición	87
4.3.4.2 Presentación de resultados de las mediciones relativas a la variación de la temperatura de la FPGA	88
Capítulo 5	102

5.1 Comportamiento del consumo con respecto al número de etapas de pipeline	102
5.2 Comportamiento del consumo con respecto a la frecuencia de funcionamiento de los circuitos	102
5.3 Comportamiento del consumo con respecto al algoritmo utilizado en el circuito	103
5.4 Comportamiento del consumo con respecto a la temperatura a la que se encuentra el circuito	103
5.5 Búsqueda de resultados vs. cálculo de resultados	103
5.5 Líneas de trabajo futuro	104
Referencias	105
Anexo I: Listado de circuitos y mediciones	106
Listado de diseños relativos a la variación del número de etapas de <i>pipeline</i>	106
Listado de diseños relativos a la variación de la frecuencia de funcionamiento del circuito	107
Listado de diseños relativos a la variación del algoritmo utilizado dentro del circuito	110
Listado de diseños relativos a la variación de la temperatura de la FPGA	111
Anexo II: Presupuesto	116
Anexo III: Pliego de condiciones	117

## Índice de figuras

Fig.1: Contraposición modelo real-ideal	31
Fig.2: Contraposición modelo booleano-forma de onda	39
Fig.3: Comparación SOI-bulk en SRAMs	42
Fig.4: Comparación algoritmos sumadores	43
Fig.5: Codificación Gray para reducir transiciones	44
Fig.6: Señal espúrea por retardo	44
Fig.7: Aparición de <i>glitches</i>	45
Fig.8: Estabilización de la temperatura dentro de la estufa	55
Fig.9: Identificación del objeto de interés: FPGA	57
Fig.10: Identificación del objeto de interés: núcleo de la FPGA	58
Fig.11: Identificación del objeto de interés: circuito bajo prueba	59
Fig.12: Representación gráfica del resultado de las mediciones	62
Fig.13: Representación gráfica del resultado de las mediciones	63
Fig.14: Representación gráfica del resultado de las mediciones	65
Fig.15: Representación gráfica del resultado de las mediciones	66
Fig.16: Representación gráfica del resultado de las mediciones	67
Fig.17: Representación gráfica del resultado de las mediciones	69
Fig.18: Representación gráfica del resultado de las mediciones	70
Fig.19: Representación gráfica del resultado de las mediciones	71
Fig.20: Representación gráfica del resultado de las mediciones	72
Fig.21: Representación gráfica del resultado de las mediciones	73
Fig.22: Representación gráfica del resultado de las mediciones	74
Fig.23: Representación gráfica del resultado de las mediciones	75
Fig.24: Representación gráfica del resultado de las mediciones	76
Fig.25: Representación gráfica del resultado de las mediciones	77
Fig.26: Representación gráfica del resultado de las mediciones	78
Fig.27: Representación gráfica del resultado de las mediciones	79
Fig.28: Representación gráfica del resultado de las mediciones	80
Fig.29: Representación gráfica del resultado de las mediciones	81
Fig.30: Representación gráfica del resultado de las mediciones	82
Fig.31: Diagrama de un contador LFSR	83
Fig.32: Diagrama de un contador Divide by 2	84
Fig.33: Representación gráfica del resultado de las mediciones	85
Fig.34: Representación gráfica del resultado de las mediciones	86

Fig.35: Representación gráfica del resultado de las mediciones	88
Fig.36: Representación gráfica del resultado de las mediciones	89
Fig.37: Representación gráfica del resultado de las mediciones	90
Fig.38: Representación gráfica del resultado de las mediciones	91
Fig.39: Representación gráfica del resultado de las mediciones	92
Fig.40: Representación gráfica del resultado de las mediciones	93
Fig.41: Representación gráfica del resultado de las mediciones	94
Fig.42: Representación gráfica del resultado de las mediciones	95
Fig.43: Representación gráfica del resultado de las mediciones	96
Fig.44: Representación gráfica del resultado de las mediciones	97
Fig.45: Representación gráfica del resultado de las mediciones	98
Fig.46: Representación gráfica del resultado de las mediciones	99
Fig.47: Representación gráfica del resultado de las mediciones	100
Fig.48: Representación gráfica del resultado de las mediciones	101

## Índice de tablas

Tabla 1: Tabla de verdad OR	26
Tabla 2: Transiciones puerta OR	27
Tabla 3: Transiciones puerta OR	28
Tabla 4: Transiciones puerta OR	28
Tabla 5: Transiciones puerta OR	29
Tabla 6: Tabla de verdad AND	32
Tabla 7: Tabla de verdad XOR	32
Tabla 8: Transiciones puerta AND	33
Tabla 9: Transiciones puerta XOR	34
Tabla 10: Especificaciones FPGA <i>Xilinx Spartan-6 XC6SLX16-CSG324C</i>	51
Tabla 11: Características familia <i>Spartan</i>	52
Tabla 12: Resultados obtenidos de las mediciones	63
Tabla 13: Resultados obtenidos de las mediciones	64
Tabla 14: Resultados obtenidos de las mediciones	66
Tabla 15: Resultados obtenidos de las mediciones	67
Tabla 16: Resultados obtenidos de las mediciones	68
Tabla 17: Resultados obtenidos de las mediciones	70
Tabla 18: Resultados obtenidos de las mediciones	71
Tabla 19: Resultados obtenidos de las mediciones	72
Tabla 20: Resultados obtenidos de las mediciones	74
Tabla 21: Resultados obtenidos de las mediciones	75
Tabla 22: Resultados obtenidos de las mediciones	76
Tabla 23: Resultados obtenidos de las mediciones	78
Tabla 24: Resultados obtenidos de las mediciones	79
Tabla 25: Resultados obtenidos de las mediciones	80
Tabla 26: Resultados obtenidos de las mediciones	81
Tabla 27: Resultados obtenidos de las mediciones	82
Tabla 28: Resultados obtenidos de las mediciones	83
Tabla 29: Resultados obtenidos de las mediciones	89
Tabla 30: Resultados obtenidos de las mediciones	90
Tabla 31: Resultados obtenidos de las mediciones	91
Tabla 32: Resultados obtenidos de las mediciones	92
Tabla 33: Resultados obtenidos de las mediciones	93
Tabla 34: Resultados obtenidos de las mediciones	94

Tabla 35: Resultados obtenidos de las mediciones	95
Tabla 36: Resultados obtenidos de las mediciones	96
Tabla 37: Resultados obtenidos de las mediciones	97
Tabla 38: Resultados obtenidos de las mediciones	98
Tabla 39: Resultados obtenidos de las mediciones	99
Tabla 40: Resultados obtenidos de las mediciones	100
Tabla 41: Resultados obtenidos de las mediciones	101
Tabla 42: Resultados obtenidos de las mediciones	102

## Índice de ecuaciones

Ec.1: Consumo de un circuito	23
Ec.2: Probabilidad de transición a la salida de un circuito	27
Ec.3: Probabilidad de transición a la salida de un circuito	28
Ec.4: Probabilidad de transición a la salida de un circuito	29
Ec.5: Probabilidad de transición a la salida de un circuito	29
Ec.6: Probabilidad de transición a la salida de un circuito	33
Ec.7: Probabilidad de transición a la salida de un circuito	34
Ec.8: Probabilidad de transición a la salida de un circuito	34
Ec.9: Número de muestras requerido para la estimación del consumo	37
Ec.10: Factor de actividad dentro de un circuito	38
Ec.11: Estimación de la actividad dentro de un circuito	39



## Índice de fotografías

Fot.1: Placa <i>AVNET</i> utilizada para el desarrollo del estudio	49
Fot.2: FPGA <i>Xilinx Spartan-6</i> utilizada para el desarrollo del estudio	51
Fot.3: Interfaz gráfica <i>AvProg</i> – Conexión, configuración y carga de los diseños	53
Fot.4: Interfaz gráfica <i>AvProg</i> – Lanzamiento de la monitorización de consumo	54
Fot.5: Estufa de secado y esterilización <i>Selecta Digitheat</i> utilizada en el estudio	55



# Capítulo 1 – Introducción

---

## 1.1 Motivación

A día de hoy, la electrónica está presente en innumerables escenarios, todo cuanto rodea al ser humano actual tiene alguna relación directa o indirecta con ella. Es por ello que resulta de vital importancia la maximización de la eficiencia a la hora de utilizarla. En estas circunstancias, aparece la necesidad de obtener un bajo consumo sin sacrificar por ello un alto rendimiento. A raíz de este punto, surge la dicotomía entre ambas cualidades y la búsqueda por encontrar una solución de compromiso entre ellas.

En un pasado aún no muy lejano, las preocupaciones principales a la hora de diseñar circuitos de toda índole residían en reducir el área resultante, optimizar el rendimiento, minimizar los costes y maximizar la velocidad de operación. Este hecho conduce a preguntarse en qué momento y por qué motivo cobra una importancia clave la reducción del consumo. La respuesta a esta cuestión se halla en la naturaleza portátil de muchos dispositivos utilizados en el presente. Su carácter ubicuo fuerza a los mismos a hacer uso de una batería, lo cual no hace sino aumentar el objeto de este estudio. Sin embargo, esto no implica que este problema se limite únicamente a este tipo de aparatos, puesto que los que poseen una naturaleza fija que necesita de un suministro de energía continuo son objeto de esta misma cuestión. En medio de este escenario se encuentra la piedra angular de este estudio, la FPGA.

Los circuitos digitales integrados están compuestos por puertas lógicas que ofrecen un resultado a su salida en función del valor que se encuentre en sus entradas. De esta forma, las funciones que pueda llevar a cabo un circuito integrado vendrán determinadas por el número de puertas, su tipo y las interconexiones que existan entre ellas.

Una FPGA (*Field Programmable Gate Array*) es un circuito integrado “en blanco”, no tiene funciones definidas. Posee un número de puertas lógicas en su interior, sin configurar ni conectar entre sí. Es el usuario el que debe encargarse de configurar e interconectar esa lógica interna para definir la función o funciones que tendrá esa FPGA. Además, las FPGAs pueden ser reprogramadas tantas veces como se desee, por lo que las posibilidades que ofrecen son mayores si cabe, desde la creación de nuevos circuitos hasta la reproducción de otros ya existentes, siempre que la FPGA sea lo suficientemente grande y posea un número de puertas suficiente.

La programación de la FPGA difiere de la que se lleva a cabo en otros dispositivos como pueden ser DSPs o microcontroladores. Una FPGA cuenta con celdas que son configuradas con una función específica, ya sea como memoria, función lógica, multiplexor, etc. En el proceso de programación, se describe el hardware que tiene la FPGA, por lo que es el programador el que deberá definir la función lógica que llevará a cabo cada CLB (*Configurable Logic Block*) así como cada IOB (*Input/Output Block*). Este proceso de diseño y posterior carga puede llevarse a cabo mediante la utilización de esquemáticos, sin embargo, lo más común es usar lenguajes de programación conocidos como HDL (*Hardware Description Language*). Los más utilizados a día de hoy son *Verilog* y *VHDL*, siendo este último el que se ha utilizado para el desarrollo de los circuitos empleados en este trabajo.

Según lo expuesto hasta este momento, las grandes ventajas que presentan las FPGAs podrían resumirse en:

- Alto rendimiento
- Facilidad de stock
- Tolerancia a errores de diseño gracias a la posibilidad de ser reprogramadas
- Fiabilidad
- Precios asequibles
- Gran flexibilidad gracias a su carácter reprogramable

Todo lo expuesto anteriormente lleva a particularizar la optimización de consumo al caso de las FPGAs. Además, su flexibilidad y la capacidad de ser programadas tantas veces como se desee las hacen idóneas para la medición de una infinidad de circuitos mediante el uso de un solo kit de evaluación.

## 1.2 Objetivos

El principal objetivo de este Proyecto de Fin de Carrera es el de realizar un estudio de forma experimental que permita definir cómo y en qué medida afectan las decisiones tomadas a la hora de diseñar un circuito digital al consumo final del mismo. Además, con el fin de extender la materia de estudio de este trabajo no sólo al diseño del circuito, sino también al ambiente que lo rodea, se estudiará cómo afecta un aumento de la temperatura del circuito al consumo del mismo.

Los hitos en los que puede dividirse este trabajo son:

1. Estudio del Estado del Arte referente a las diferentes técnicas de diseño de bajo consumo.
2. Elección de las herramientas de trabajo y aprendizaje de su correcta utilización.
3. Desarrollo de un *benchmark* de circuitos digitales que permita realizar numerosas mediciones y comparaciones entre las mismas.
4. Extracción y análisis de los resultados fruto del punto anterior.
5. Elaboración y presentación de conclusiones en base a dichos resultados.

## 1.3 Metodología

La metodología que se ha seguido a la hora de desarrollar este trabajo pasa por el cumplimiento de los hitos listados en el apartado previo, cada uno de los cuales han sido llevados a cabo siguiendo una metodología determinada que será detallada a continuación:

1. **Estudio del Estado del Arte:** el estudio del Estado del Arte se ha realizado a partir de una previa recopilación de diferentes libros y *papers* relacionados con la materia objeto de este proyecto, así como de diferentes hojas de datos y documentación sobre FPGAs y circuitos a un nivel más específico. Este punto busca no sólo presentar al lector la situación actual en lo referentes a circuitos de bajo consumo, sino también la adquisición de conocimientos relacionados con esta materia para poder así llevar a cabo el desarrollo de este trabajo.
2. **Elección de las herramientas de trabajo:** en primer lugar, se han identificado los objetivos que persigue este trabajo. Una vez hecho esto, se han barajado los diferentes medios de los que se disponían y seleccionado el kit de evaluación y la estufa de secado. Una vez hecho

esto y previamente al comienzo del desarrollo del proyecto, se ha dedicado un tiempo exclusivamente a realizar pruebas con el fin de familiarizarse con el material y aprender a usarlo correctamente para evitar así, por una parte, la posibilidad de causar daños en el material utilizado, y, por otra, la obtención de medidas erróneas que invaliden los resultados obtenidos a lo largo del desarrollo del proyecto.

3. **Desarrollo del benchmark:** antes de comenzar el desarrollo de la batería de circuitos utilizada para realizar las mediciones pertinentes, se ha realizado una planificación y un dimensionamiento de los diseños que serían objeto de prueba. Una vez hecho esto, se ha comenzado la implementación de los circuitos de prueba, agrupándolos siguiendo un criterio lógico. Además, ha resultado necesario diseñar una serie de circuitos auxiliares que permitieran el correcto funcionamiento de los circuitos objetos de estudio.
4. **Extracción y análisis de resultados:** la extracción de resultados se ha llevado a cabo manteniendo las condiciones externas al circuito lo más invariantes posible, de tal manera que las medidas extraídas de un mismo grupo de circuitos se ha realizado durante un período de tiempo lo más corto posible, para evitar que cambios de temperatura u otras magnitudes influyesen en los resultados extraídos. En cualquier caso, cualquier cambio detectable en alguna de estas magnitudes ha sido debidamente anotado. Los datos obtenidos se han agrupado y representado en gráficas y tablas de tal manera que puedan ser fácilmente interpretados a la hora de realizar un análisis de los mismos.
5. **Presentación de conclusiones:** una vez extraídos los datos fruto de la implementación y posterior medición de los diseños, se han presentado las conclusiones que se desprenden de ellos y las posibles líneas de trabajo futuro.

## 1.4 Estructura

Este Proyecto de Fin de Carrera se divide en cinco capítulos:

1. **Introducción:** este capítulo presenta el trabajo realizado, exponiendo la motivación que impulsa el mismo, los objetivos que persigue, la metodología empleada y la estructura en la que se divide.
2. **Técnicas de Bajo Consumo para Diseño Digital:** en este capítulo se repasa el Estado del Arte en lo referente a Técnicas de Bajo Consumo para Diseño Digital, partiendo de una panorámica global y particularizando más a fondo conforme se ahonda en el mismo.
3. **Tecnología utilizada para el desarrollo del Proyecto:** este capítulo sirve para presentar y explicar las diferentes herramientas utilizadas durante el desarrollo del Proyecto, así como sus diversas especificaciones y funcionalidades.
4. **Presentación de resultados:** en este capítulo se presentan los resultados obtenidos de las mediciones realizadas en los circuitos que componen el *benchmark*, mediante tablas, gráficas, explicaciones breves y algunas comparativas.
5. **Desarrollo de conclusiones:** finalmente, el propósito de este capítulo es presentar las conclusiones extraídas fruto del diseño de los circuitos y las subsecuentes mediciones realizadas en los mismos.

## 1.5 Siglas y acrónimos

- **ALU:** *Arithmetic Logic Unit*

- **CLB:** Configurable Logic Block
- **CMOS:** Complementary Metal-Oxide-Semiconductor
- **CMT:** Clock Management Tile
- **CS:** Chip Scale
- **CUT:** Circuit Under Test
- **DSP:** Digital Signal Processor
- **FPGA:** Field Programmable Gate Array
- **FSM:** Finite-State Machine
- **HDL:** Hardware Description Language
- **IOB:** Input/Output Block
- **LFSR:** Linear Feedback Shift Register
- **LUT:** Look-Up Table
- **Pmod:** Peripheral Module
- **PSoC:** Programmable System-on-Chip
- **RTL:** Register-Transfer Level
- **SOI:** Silicon-On-Insulator
- **VHDL:** VHSIC Hardware Description Language
- **VHSIC:** Very High Speed Integrated Circuit

# Capítulo 2 – Técnicas de Bajo Consumo para Diseño Digital

---

En primer lugar, se procederá a realizar un repaso sucinto del Estado del Arte actual en lo referente a las diferentes técnicas de bajo consumo aplicadas a FPGAs, con el fin de conocer las circunstancias que rodean a la materia objeto de este proyecto y poder así encuadrarlo en su marco correspondiente.

## 2.1 Panorámica

Como ya se ha mencionado en el anterior capítulo, el objetivo último de este trabajo es el estudio del consumo de potencia en FPGAs y la definición de unas directrices de diseño que permitan minimizarlo. Con esta premisa en mente, se partirá de una visión general para posteriormente ir pormenorizando, presentando la materia a más bajo nivel y deteniéndose en los detalles.

Para poder modular una magnitud, independientemente de la dirección en la que se desee modificarla, resulta indispensable conocer su origen y su comportamiento. En definitiva, su naturaleza. Es por ello que en primer lugar se procederá a una presentación somera sobre las fuentes que originan el consumo de la potencia, cómo se comportan, cómo pueden modificarse en función de lo que busque el diseñador de circuitos y hasta qué punto puede esto hacerse.

## 2.2 Delimitación del espacio de trabajo

Para poder reducir el consumo de un circuito, se deben examinar los orígenes del mismo. Una vez hecho esto, se pueden establecer las restricciones que existen y determinar los límites dentro de los cuales se puede trabajar.

### 2.2.1 Fuentes de consumo<sup>1</sup>

En primer lugar y como parte central de esta sección, la ecuación que determina el consumo de un circuito de manera teórica e ideal es:

$$P = 0.5C_L V_{dd}^2 E(sw) f_{clk}$$

<sup>2</sup>Ec. 1: Consumo de un circuito

Donde  $C_L$  es la capacitancia física,  $V_{dd}$  es el voltaje de alimentación,  $E(sw)$  es el número de transiciones por segundo en la salida y  $f_{clk}$  es la frecuencia de funcionamiento del reloj del sistema.

---

<sup>1</sup> Basado en "Sources of Power Dissipation", de Massoud Pedram en "Power Minimization in IC Design: Principles and Applications", January 1996

<sup>2</sup> Massoud Pedram, "Power Minimization in IC Design: Principles and Applications", January 1996

La disipación de potencia en circuitos digitales CMOS procede principalmente de cuatro fuentes bien diferenciadas, que son:

- **Standby current (corriente en reposo):** es la corriente continua que ininterrumpidamente va desde VCC a GND, la que consume el circuito por el mero hecho de estar encendido, independientemente de las operaciones que esté ejecutando en un momento dado.
- **Leakage current (corriente de fuga):** se trata del flujo de corriente que se pierde de manera no intencionada en los condensadores que se hallan en un circuito debido a su naturaleza imperfecta.
- **Capacitance current (corriente de capacitancia):** procede del proceso de carga y descarga que tiene lugar en los condensadores que forman parte del circuito.
- **Short-circuit current (corriente de cortocircuito):** se produce en casos en los que se da una situación de baja resistencia, con el aumento de la misma, esta corriente se ve reducida progresivamente.

Considerando los puntos que originan el consumo en los circuitos electrónicos que van a analizarse a lo largo de este estudio, se puede proceder a establecer el espacio de trabajo en el que podrá llevarse a cabo.

Existen tres parámetros que delimitan significativamente la libertad dentro de la cual el diseñador de circuitos puede tomar decisiones:

- **Voltaje**
- **Capacitancia física**
- **Actividad de datos dentro del circuito**

La posibilidad de optimizar el consumo pasa forzosamente por reducir uno o más de los parámetros mencionados. A continuación se procederá a discutir qué caminos llevan a este objetivo y cómo estos parámetros interaccionan entre sí dificultando la tarea perseguida.

### 2.2.2 Voltaje

El voltaje mantiene una estrecha relación con la potencia consumida por un circuito.

La potencia depende del cuadrado del voltaje, por lo que la reducción de este último se traducirá en una importante bajada del consumo. En otras palabras, el voltaje proporciona el camino más sencillo y efectivo hacia la optimización del consumo, una optimización que en este caso repercutirá en la totalidad del diseño.

Como contrapartida, el precio a pagar por esta reducción en el voltaje de entrada al circuito es una menor velocidad de operación por parte del mismo. Esta penalización crece considerablemente conforme el voltaje de alimentación se acerca al umbral del voltaje de funcionamiento de los transistores del circuito, lo cual limita significativamente su posible reducción. A la luz de este hecho, una disminución del voltaje de operación de estos transistores otorgará un mayor margen de reducción en el voltaje necesario la hora de alimentar el circuito.

El ajuste del voltaje de funcionamiento de los transistores debe ser determinado en función de la ganancia de corriente de las puertas CMOS en un régimen de bajo voltaje y el control de la *leakage*



*current* o corriente de fuga. Además, deben considerarse los márgenes de ruido permisibles para la aplicación concreta que se pretenda tratar.

### 2.2.3 Capacitancia

La minimización de las capacitancias de los elementos que conforman un circuito también permite reducir notablemente su consumo. Para poder modificar este parámetro, primero han de conocerse los diversos factores de los que depende el mismo.

En un caso ideal, la correlación entre el consumo del circuito y la capacitancia de sus elementos debe establecerse descendiendo hasta el más bajo nivel, las puertas individuales que componen el sistema. Sin embargo, estimar esta capacitancia individual de cada una de estas puertas es difícil e impreciso, pues requiere estimar las capacitancias de carga de estructuras que aún no han sido mapeadas y cuyo comportamiento dependerá de este subsecuente mapeo. Por esta razón, deberá realizarse una estimación a un nivel más global, considerando como elementos básicos los módulos operacionales del circuito, tales como operadores aritméticos, decodificadores o memorias. Esta estimación dependerá del número de entradas y salidas de cada elemento, de la complejidad del diseño y de la tecnología utilizada en la fabricación del mismo.

La interconexión de estos elementos complica aún más si cabe la tarea, dado que juega un papel determinante a la hora de establecer la capacitancia total resultante. Realizar una aproximación se antoja harto complicado cuando se carece de información precisa en lo que se refiere al rutado y mapeado. Esta falta de información detallada se puede suplir en caso de necesidad mediante el uso de una estimación probabilística.

A raíz de todo lo expuesto anteriormente, se puede establecer una correspondencia directa entre la capacitancia física y los siguientes puntos:

- ***Reducción de la lógica dentro del circuito***
- ***Utilización de elementos de menor tamaño***
- ***Disminución del número de cables***
- ***Reducción de la longitud de los cables***

Estas cuatro medidas contribuyen en diferente forma a la disminución de la capacitancia total del circuito. Las dos primeras permiten reducir la región activa del mismo, mientras que un cableado eficiente contribuirá a que la interconexión entre dispositivos no dispare la capacitancia.

De igual forma que en el caso expuesto anteriormente y referente al voltaje de operación, estas medidas suponen en muchos casos pagar un precio en forma de prestaciones, capacidad de operación o velocidad. Es por ello que será necesario encontrar una solución de compromiso entre los diferentes parámetros, estableciendo prioridades y determinando umbrales por debajo de los cuales no se esté dispuesto a llegar.

### 2.2.4 Actividad de datos dentro del circuito

Cuantificar de manera precisa la actividad que se da durante un período de tiempo dentro de un circuito es una tarea compleja puesto que depende de un número de factores que no son fácilmente medibles o calculables. Dentro de este grupo de variables difíciles de caracterizar, se repasarán a continuación las más determinantes.

### 2.2.4.1 Patrón de la entrada de datos

Las transiciones en la salida de una puerta de un circuito no dependen únicamente de las transiciones ocurridas en las entradas, sino también de la lógica interna así como de las dependencias temporales y espaciales entre las propias entradas. En esta sección se analizará esta correlación entre entradas, más adelante se hará lo propio con la lógica mencionada. Por ejemplo, suponiendo una puerta OR con dos entradas independientes  $i$  y  $j$ , ambas con una probabilidad de  $\frac{1}{2}$  para 0 y 1 y una salida  $o$ . Para calcular la probabilidad de que se produzca una transición en la salida que implique consumo dinámico de potencia se considerará:

Tabla de verdad de una puerta OR		
$i$	$j$	$o$
0	0	0
0	1	1
1	0	1
1	1	1

<sup>3</sup> Tabla 1: Tabla de verdad OR

Tabla de posibles transiciones en una puerta OR						
<i>i-1</i>	<i>j-1</i>	<i>l</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	<i>Transición</i>
0	0	0	0	0	0	<b>NO</b>
0	0	0	1	0	1	<b>SÍ</b>
0	0	1	0	0	1	<b>SÍ</b>
0	0	1	1	0	1	<b>SÍ</b>
0	1	0	0	1	0	<b>SÍ</b>
0	1	0	1	1	1	<b>NO</b>
0	1	1	0	1	1	<b>NO</b>
0	1	1	1	1	1	<b>NO</b>
1	0	0	0	1	0	<b>SÍ</b>
1	0	0	1	1	1	<b>NO</b>
1	0	1	0	1	1	<b>NO</b>
1	0	1	1	1	1	<b>NO</b>
1	1	0	0	1	0	<b>SÍ</b>
1	1	0	1	1	1	<b>NO</b>
1	1	1	0	1	1	<b>NO</b>
1	1	1	1	1	1	<b>NO</b>

<sup>4</sup>Tabla 2: Transiciones puerta OR

A la luz de lo analizado en estas tablas, puede establecerse que si consideramos los estados 0 y 1 como equiprobables en ambas entradas, todos los pasos de *o-1* a *o* lo serán también. Por lo tanto, para calcular la probabilidad de que se produzca una transición en la salida que implique consumo de potencia bastará con recurrir a la probabilidad clásica y establecer:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{6}{16} = \frac{3}{8}$$

<sup>5</sup> Ec.2: Probabilidad de transición a la salida de un circuito

Por tanto, en el caso mencionado, después de realizar el análisis y los cálculos pertinentes, se llega a la conclusión de que la probabilidad de que se produzca una transición tras las llegada de dos nuevas entradas en un momento dado es de 3/8 o 0,375.

Para ilustrar el objetivo de este apartado, ahora se supondrá que las entradas *i* y *j* del circuito sólo pueden adoptar los valores *ij=00* y *ij=11*, es decir, que ambas entradas compartirán siempre el mismo valor.

En este caso, la tabla de posibles transiciones se verá notablemente simplificada:

Tabla de posibles transiciones en una puerta OR – Correlación espacial						
<i>i-1</i>	<i>j-1</i>	<i>i</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	Transición
0	0	0	0	0	0	NO
0	0	1	1	0	1	SÍ
1	1	0	0	1	0	SÍ
1	1	1	1	1	1	NO

<sup>6</sup>Tabla 3: Transiciones puerta OR

En este nuevo caso la posibilidad de obtener una transición se puede calcular nuevamente mediante el uso de la probabilidad clásica:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{2}{4} = \frac{1}{2}$$

<sup>7</sup> Ec.3: Probabilidad de transición a la salida de un circuito

Mediante este sencillo cálculo se llega a la conclusión de que la probabilidad de obtener una transición en un cambio de las entradas puntual es en este caso diferente del anterior, resultado numéricamente 1/2 o 0,5.

Se contemplarán dos casos más con el fin de abundar en la dificultad que supone la estimación del consumo dinámico en lo relativo a la actividad de los datos dentro de un circuito cualquiera. En el siguiente de ellos, se considerará que forzosamente un 0 en la entrada *i* implicará un cambio a 1 en el siguiente ciclo mientras que un 1 en la entrada *j* vendrá siempre seguido de un 0. En este caso, la tabla de posibles valores y transiciones del circuito resultaría ser:

Tabla de posibles transiciones en una puerta OR – Correlación temporal						
<i>i-1</i>	<i>j-1</i>	<i>i</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	Transición
0	0	1	0	0	1	SÍ
0	0	1	1	0	1	SÍ
0	1	1	0	1	1	NO
1	0	0	0	1	0	SÍ
1	0	0	1	1	1	NO
1	0	1	0	1	1	NO
1	0	1	1	1	1	NO
1	1	0	0	1	0	SÍ
1	1	1	0	1	1	NO

<sup>8</sup>Tabla 4: Transiciones puerta OR

En este caso, y análogamente a los anteriores, la probabilidad de obtener una transición 0-1 o 1-0 en la salida del circuito, vendrá dada por:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{4}{9}$$

<sup>9</sup>Ec.4: Probabilidad de transición a la salida de un circuito

Como cabía esperar, nuevamente se obtiene un resultado que difiere de los dos calculados en apartados previos, en este caso 4/9 o 0,44.

Para finalizar, se establecerá un último caso de dependencia entre datos subsecuentes a la entrada del circuito y una vez hecho esto, se examinarán los diferentes tipos de correlaciones.

En este último caso, se supondrá la entrada *i* del circuito sólo cambiará en los casos en los que la entrada *j* cambie, mientras que en el resto permanecerá invariable. Esta dependencia entre entradas ocurrirá en ambas direcciones, implicando esto que *j* sólo modificará su valor cuando lo haga *i*. En otras palabras, los cambios en las entradas siempre se producirán de manera simultánea.

A continuación se detallan las posibles entradas, salidas y la comprobación de si se produce o no transición, en una tabla análoga a las mostradas en los casos previos:

<b>Tabla de posibles transiciones en una puerta OR – Correlación espacio-temporal</b>						
<i>i-1</i>	<i>i</i>	<i>j-1</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	<b>Transición</b>
0	0	0	0	0	0	<b>NO</b>
0	0	1	1	0	1	<b>SÍ</b>
0	1	0	1	1	1	<b>NO</b>
0	1	1	0	1	1	<b>NO</b>
1	0	0	1	1	1	<b>NO</b>
1	0	1	0	1	1	<b>NO</b>
1	1	0	0	1	0	<b>SÍ</b>
1	1	1	1	1	1	<b>NO</b>

<sup>10</sup>Tabla 5: Transiciones puerta OR

En este caso, la probabilidad de que se produzca una transición que implique consumo de potencia en un cambio de entradas concreto vendrá dada por:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{2}{8} = \frac{1}{4}$$

<sup>11</sup>Ec.5: Probabilidad de transición a la salida de un circuito

La probabilidad en este caso valdrá  $1/4$  o  $0,25$ , nuevamente un valor que difiere de todos los calculados para los casos previos.

Para un mismo tipo de puerta, OR en este caso, se han mostrado 4 patrones diferentes de entrada, ofreciendo cada uno de ellos una probabilidad diferente de producir una transición en su salida en un momento dado. Los casos no han sido elegidos al azar, sino pretendiendo ilustrar en cada uno de ellos una clase diferente de correlación entre datos de entrada subsecuentes:

- **Primer caso – entradas sin correlación:** entradas sin ningún tipo de dependencia entre ellas.
- **Segundo caso – entradas con correlación espacial:** entradas que guardan una dependencia espacial entre ellas, el valor de la entrada  $i$  determina el valor de la entrada  $j$  en el ciclo de operación presente y viceversa.
- **Tercer caso – entradas con correlación temporal:** entradas que guardan una dependencia temporal entre ellas, sus valores presentes condicionarán en ciertos casos sus valores futuros. El valor de la entrada  $i$  determina que ocurra o no una transición en esa misma entrada en un ciclo de operación futuro. Este comportamiento es análogo en el caso de la entrada  $j$ .
- **Cuarto caso – entradas con correlación espaciotemporal:** entradas que guardan una dependencia espaciotemporal entre ellas, sus transiciones implicarán otras transiciones en el mismo ciclo de operación en el que se producen. Una transición en la entrada  $i$  implicará una transición en la entrada  $j$  y viceversa, es decir, ambas transiciones ocurrirán simultáneamente o no ocurrirán.

Los diversos casos de correlación entre diferentes entradas, presentados para un circuito tan simple como puede ser una puerta lógica OR, ilustran de manera clara lo que se pretende, la fuerte dependencia entre el patrón que rige las entradas de un circuito y el consumo dinámico del mismo. Tras esta relación subyace un problema de importancia mayúscula; resulta complejo a efectos prácticos estimar la potencia consumida tomando como base un análisis exhaustivo de la simulación del circuito.

Es por ello que existen técnicas que, basándose en un modelo probabilístico, describen el conjunto de posibles valores lógicos en las entradas de un circuito y desarrollan mecanismos de cálculo que permiten calcular las probabilidades para las puertas internas del mismo.

Otra alternativa factible a la simulación exhaustiva que ya se ha descartado es la del muestreo estadístico. Esta técnica, habiendo definido mediante un buen criterio los límites del mismo en función de los márgenes de error deseados, ofrece también resultados con un nivel de confianza aceptable.

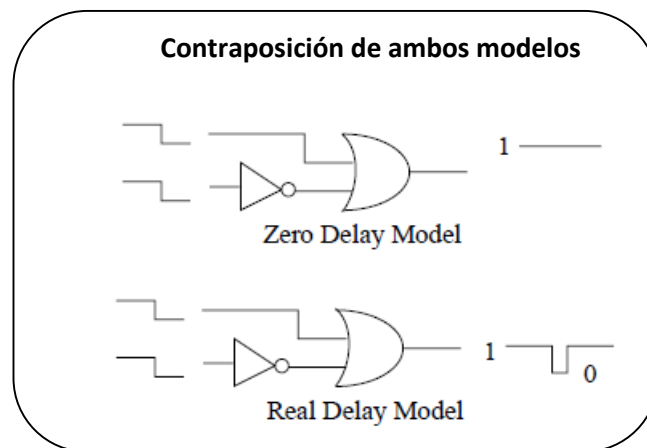
#### 2.2.4.2 Modelo de retardo

A la hora de realizar una estimación del consumo de un circuito es de vital importancia considerar qué y cuántas transiciones se producen en su interior. Para ello, han de tenerse en cuenta todas ellas, independientemente de su naturaleza, y pueden ser:

- **Transiciones de carácter computacional:** estas transiciones son completamente necesarias para que un circuito funcione correctamente, se producen como resultado de la actividad funcional del circuito en sí mismo.
- **Transiciones de carácter espurio:** estas transiciones no son ni necesarias ni deseadas en el funcionamiento de un circuito. Sin embargo, ocurren inevitablemente por estar tratando un modelo de estudio real, no ideal, y han de ser consideradas ya que en determinados circuitos pueden suponer una parte importante de la actividad total del mismo. Son también conocidas como *glitches*.

Todas estas transiciones se ven afectadas de forma inevitable por retardos de procesamiento y propagación a lo largo de todo el circuito. Estos retardos se analizarán en base a un modelo. El modelo de retardo tenido en cuenta a la hora de estimar el consumo ocasionado por un circuito específico determinará en buena parte el resultado de esta estimación. Las posibles opciones a la hora de incorporar estas consideraciones al consumo de potencia son:

- **Modelo ideal:** en esta aproximación se considerará que todos los cambios en los componentes del circuito se propagan entre las diferentes puertas de manera instantánea.
- **Modelo real:** este modelo considera la existencia de retardos a la hora de producirse la propagación de datos dentro del circuito. Asigna a cada puerta del circuito un retardo finito y tiene en cuenta los posibles *glitches* que puedan aparecer durante su funcionamiento. Este modelo tiene unos requerimientos computacionales más elevados, pero como contrapartida ofrece unos resultados muchos más próximos a la realidad.



<sup>12</sup>Fig.1: Contraposición modelo real-ideal

El cálculo de la actividad espuria previamente mencionada presenta, en términos generales, una dificultad elevada y requiere de una caracterización cuidadosa tanto a nivel lógico como a nivel de circuitería de las puertas utilizadas en el diseño, así como un conocimiento profundo de la estructura del circuito en sí mismo. Los principales problemas se presentan a la hora de determinar

<sup>12</sup> Massoud Pedram, "Power Minimization in IC Design: Principles and Applications", January 1996

cuándo y en qué sección o secciones del circuito se producen los comportamientos indeseados y en qué forma y hasta qué punto avanzará esta irregularidad hasta ser suprimida.

La mayor problemática la entraña precisamente este segundo punto. Reproducir esta propagación usando un modelo de retardo real supone un proceso analógico costoso y que requiere de una gran precisión a la hora de hacer el análisis del circuito.

En redes de circuitos reales, las perturbaciones estadísticas de los parámetros de un circuito en particular puede modificar el retardo de propagación y, de esta forma, implicar cambios en el número de transiciones que se producirán debido a la posible aparición y desaparición de actividad espuria.

### 2.2.4.3 Funciones lógicas

La frecuencia y la cantidad total de las transiciones a la salida de una puerta lógica están estrechamente relacionadas con la función booleana de la puerta en sí misma. Esta dependencia se debe, como resulta obvio, a que es la función lógica de la puerta la que determina cual es la probabilidad de obtener una salida u otra. De esta forma, al influir de manera determinante sobre la salida que se obtendrá en cada caso, influye de igual manera en la transición entre salidas subsecuentes, y por tanto, en la posibilidad de que exista o no transición entre dichas salidas, lo cual en última instancia determinará si hay o no un aumento en el consumo del circuito.

Para ilustrar la importancia de este punto, se supondrá que se tienen dos señales que no guardan ninguna relación entre sí y que además pueden adoptar los valores 0 y 1 en un momento determinado con la misma probabilidad. En este escenario, se considerarán las puertas AND y XOR.

<b>Tabla de verdad de una puerta AND</b>		
<i>i</i>	<i>j</i>	<i>o</i>
0	0	0
0	1	0
1	0	0
1	1	1

<sup>13</sup> Tabla 6: Tabla de verdad AND

<b>Tabla de verdad de una puerta XOR</b>		
<i>i</i>	<i>j</i>	<i>o</i>
0	0	0
0	1	1
1	0	1
1	1	0

<sup>14</sup> Tabla 7: Tabla de verdad XOR



Dadas las tablas de verdad de ambas puertas lógicas, AND y XOR, se puede comprobar que, efectivamente, las probabilidades de obtener una u otra salida en cada una de ellas considerando patrones de entrada completamente aleatorios y equiprobables son diferentes.

$$P(0/AND) = \frac{\text{casos favorables (0)}}{\text{casos totales (0 + 1)}} = \frac{3}{4}$$

$$P(1/AND) = \frac{\text{casos favorables (1)}}{\text{casos totales (0 + 1)}} = \frac{1}{4}$$

$$P(0/XOR) = \frac{\text{casos favorables (0)}}{\text{casos totales (0 + 1)}} = \frac{2}{4} = \frac{1}{2}$$

$$P(1/XOR) = \frac{\text{casos favorables (1)}}{\text{casos totales (0 + 1)}} = \frac{2}{4} = \frac{1}{2}$$

<sup>15</sup> Ec.6: Probabilidad de transición a la salida de un circuito

Esta diferencia de probabilidades implica también diferencias la salida.

Tabla de posibles transiciones en una puerta AND						
<i>i-1</i>	<i>j-1</i>	<i>i</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	<i>Transición</i>
0	0	0	0	0	0	NO
0	0	0	1	0	0	NO
0	0	1	0	0	0	NO
0	0	1	1	0	1	SÍ
0	1	0	0	0	0	NO
0	1	0	1	0	0	NO
0	1	1	0	0	0	NO
0	1	1	1	0	1	SÍ
1	0	0	0	0	0	NO
1	0	0	1	0	0	NO
1	0	1	0	0	0	NO
1	0	1	1	0	1	SÍ
1	1	0	0	1	0	SÍ
1	1	0	1	1	0	SÍ
1	1	1	0	1	0	SÍ
1	1	1	1	1	1	NO

<sup>16</sup> Tabla 8: Transiciones puerta AND

La probabilidad de obtener una transición entre dos datos consecutivos a la salida de una puerta AND en un momento determinado vendrá dada por:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{6}{16} = \frac{3}{8}$$

<sup>17</sup>Ec.7: Probabilidad de transición a la salida de un circuito

A continuación se presentará el caso análogo, utilizando en este caso una puerta XOR para ilustrar la discrepancia existente entre diferentes circuitos la hora de considerar la frecuencia de transiciones en la salida.

Tabla de posibles transiciones en una puerta XOR						
<i>i-1</i>	<i>j-1</i>	<i>i</i>	<i>j</i>	<i>o-1</i>	<i>o</i>	<i>Transición</i>
0	0	0	0	0	0	<b>NO</b>
0	0	0	1	0	1	<b>SÍ</b>
0	0	1	0	0	1	<b>SÍ</b>
0	0	1	1	0	0	<b>NO</b>
0	1	0	0	1	0	<b>SÍ</b>
0	1	0	1	1	1	<b>NO</b>
0	1	1	0	1	1	<b>NO</b>
0	1	1	1	1	0	<b>SÍ</b>
1	0	0	0	1	0	<b>SÍ</b>
1	0	0	1	1	1	<b>NO</b>
1	0	1	0	1	1	<b>NO</b>
1	0	1	1	1	0	<b>SÍ</b>
1	1	0	0	0	0	<b>NO</b>
1	1	0	1	0	1	<b>SÍ</b>
1	1	1	0	0	1	<b>SÍ</b>
1	1	1	1	0	0	<b>NO</b>

<sup>18</sup>Tabla 9: Transiciones puerta XOR

En el caso de la puerta XOR, la probabilidad de obtener de obtener una transición entre dos salidas consecutivas para un momento dado vendrá dada por:

$$P(\text{transición}) = \frac{\text{casos favorables (SÍ)}}{\text{casos totales (SÍ + NO)}} = \frac{8}{16} = \frac{1}{2}$$

<sup>19</sup>Ec.8: Probabilidad de transición a la salida de un circuito

A la luz de los resultados extraídos para cada caso y por comparación entre ambos, queda patente la fuerte dependencia que existe entre el tipo de puerta tratado y la frecuencia de las transiciones que se darán en su salida. Desde este punto se puede inferir que esta correlación mostrada para el caso de una sola puerta tendrá aún mayores implicaciones para el caso de un circuito complejo con un número de puertas mayor.

Se ha considerado únicamente el caso de puertas de dos entradas con el fin de no abundar demasiado en una sola idea, pero lo mostrado en este apartado se hace extensible a un posible caso en el que las puertas posean  $K$  salidas, siendo  $K$  un número entero positivo mayor que 2. En el caso de la puerta XOR, por ejemplo, la probabilidad de transición se mantendrá en  $1/2$  independientemente del número de entradas considerado. En el caso de la puerta AND, sin embargo, un aumento hasta  $K$  entradas implicará que la probabilidad de obtener un 1 a la salida será de  $1/2^K$ , lo cual implica que únicamente existirá transición a la salida con probabilidad  $1/2^{K-1}$ . La diferencia entre los resultados obtenidos en uno y otro caso se vuelve aún mayor.

#### 2.2.4.4 Lógica estática vs. lógica dinámica

La actividad en circuitos CMOS es también función del estilo lógico utilizado para implementar el propio circuito. Un buen ejemplo de esto se obtiene al considerar la contraposición entre lógica dinámica y lógica estática.

La actividad en un circuito dinámico es siempre más alta que en la implementación estática del mismo circuito, en buena parte debido a que todos los nodos están precargados con algún valor antes de que aparezca una nueva entrada. Este valor precargado será 1 para los transistores tipo N en el caso dinámico y 0 para los transistores tipo P también en el caso dinámico. Esto, en efecto, aumenta el número de transiciones y dispara el consumo del circuito.

Por otra parte, cabe destacar que en el caso estático la capacitancia física tiende a adoptar valores más pequeños en circuitos estáticos, si bien es cierto que los circuitos dinámicos están libres de *glitches*. Por último, cabe destacar que los segundos consumen mucha potencia adicional debido al reloj.

Habiendo puesto de relieve las características de uno y otro modelo, puede establecerse que la elección de uno u otro no resulta algo sencillo, no existe un umbral que permita discriminarlos. Debe examinarse cada caso particular de manera minuciosa, sopesar pros y contras y tomar una decisión después de estudiarlos cuidadosamente.

#### 2.2.4.5 Estructura del circuito

Otra de las grandes dificultades la hora de estimar la cantidad y frecuencia de las transiciones de un circuito reside en su propia estructura. El problema del *fanout*, que se da en el caso en el que un número de entradas mayor que uno convergen en un mismo *nodo* dentro del circuito, conlleva complicaciones notables en el cálculo que es objeto de estudio.

Suponiendo el ejemplo de un circuito compuesto únicamente de puertas simples y no presente ningún nodo que reciba más de una entrada, la actividad del mismo puede ser calculada de manera sensiblemente más sencilla que en el caso contrario. Un circuito en el que exista una fuerte presencia de *fanout* se complicará enormemente este cálculo o estimación. Esto ocurrirá debido a

que las señales internas se vuelven fuertemente correlacionadas entre sí y la consideración de estas correlaciones no puede llevarse a cabo sin una gran carga computacional o uso masivo de memoria.

En estos casos, se suele proceder o bien ignorando esta correlación a la hora de realizar los cálculos o bien realizando una aproximación que ofrecerá resultados más precisos conforme se destinen más recursos a ella.

## 2.3 Técnicas de estimación de consumo en circuitos

Hasta este momento se han recogido los diferentes parámetros que han de ser considerados a la hora de buscar la reducción del consumo en circuitos digitales. Para lograr este objetivo, resulta de vital importancia contar con una técnica depurada y fiable que permita realizar medidas de confianza, para poder así establecer qué técnicas e iniciativas nos consumen más y cuáles consumen menos. Resulta evidente que si no se dispone de herramientas de medición precisas, resultará imposible determinar qué técnicas de diseño ofrecerán mejores resultados. A continuación se realiza un repaso sucinto de las técnicas de estimación de consumo más utilizadas.

### 2.3.1 Técnicas de simulación<sup>20</sup>

Este planteamiento se nutre de las simulaciones directas y las técnicas de muestreo que se detallarán más adelante. La principal ventaja que ofrecen es la preexistencia de simuladores que pueden ser utilizados y que pueden tomar en consideración los puntos mencionados anteriormente, tales como el *fanout* o los retardos de propagación. Existen diferentes planteamientos al respecto.

#### 2.3.1.1 Simulación directa

La simulación directa consiste en recrear el circuito con una entrada representativa de vectores de entrada. Existen modelos y dispositivos que ofrecen usabilidad, capacidad de adaptarse a múltiples diseños, la posibilidad de trabajar con un reloj multifase o de fase única, *buffers* triestado y otras capacidades.

Como contrapartida, este planteamiento adolece de un gran consumo tanto de memoria como de tiempo, limitaciones que lo hacen inadecuado para diseños de grandes dimensiones. Otra desventaja reside en la dificultad de generar un vector de estímulos compacto que permita calcular con precisión la actividad que ocurre en los diferentes nodos del circuito. Este vector es dependiente de la aplicación objeto de estudio y del entorno del sistema.

#### 2.3.1.2 Simulación jerarquizada

La idea detrás de este método consiste en realizar una simulación basada en varios simuladores de diferente jerarquía. De esta forma se pretende alcanzar una relación entre precisión y eficiencia razonable. Un ejemplo de este planteamiento sería el de una simulación que compute la información de la actividad dentro del circuito y otra que se encargue de caracterizar los parámetros relativos al consumo del mismo.

---

<sup>20</sup> Basado en "Simulative Techniques", de Massoud Pedram en "Power Minimization in IC Design: Principles and Applications", January 1996

### 2.3.1.3 Muestreo estadístico

En este caso se trata de realizar una estimación estadística que permita seleccionar los vectores de entrada más representativos de tal manera que la consecuente simulación arroje resultados consistentes.

El método de Montecarlo funciona razonablemente bien en esta situación. Este planteamiento consiste en aplicar patrones de entrada generados de forma aleatoria y monitorizar la potencia disipada para un número fijo de ciclos de reloj. Cada medida obtenida se considera una muestra de potencia disipada y todas ellas constituyen una variable aleatoria. Por el Teorema Central del Límite, conforme el número de ciclos de reloj considerados aumenta, la densidad del muestreo tiende a formar una curva gaussiana. A efectos prácticos, un tamaño muestral de entre 30 y 50 unidades cumple con este hecho para la mayoría de circuitos combinatoriales. Para un control mayor de los diferentes parámetros implicados y la obtención de un error máximo en la estimación, puede hacerse uso de la siguiente fórmula:

$$N = \left( \frac{Z_{\alpha/2} \sigma}{E} \right)^2$$

<sup>21</sup>Ec.9: Número de muestras requerido para la estimación del consumo

Donde E es el error máximo deseado,  $1-\alpha$  el intervalo de confianza,  $\sigma$  la desviación típica de la muestra, N el número de muestras requerido y  $Z_{\alpha/2}$  es el punto definido de tal manera que el área hacia su derecha debajo de la curva gaussiana sea igual a  $\alpha/2$ . De esta manera, se fija el mínimo número de muestras necesario para un error máximo fijado. Igualando o superando este número, se puede esperar obtener los resultados deseados con el nivel de confianza previamente fijado.

El método de Montecarlo ofrece resultados razonablemente precisos para situaciones en las que los límites del error no se alejen demasiado de la media o bien el nivel de confianza requerido sea bajo. Nótese, sin embargo, que esta aproximación puede converger prematuramente a una potencia estimada lejos de la real si la densidad de la muestra no presenta una distribución gaussiana, lo cual ocurrirá si el número de ciclos de reloj es demasiado pequeño. Además, este planteamiento no considera la correlación espacial en las entradas del circuito.

## 2.3.2 Técnicas alternativas a la simulación<sup>22</sup>

Este planteamiento está basado en modelos estocásticos, teóricos o basados en diferentes librerías. Se pueden considerar diferentes niveles a la hora de realizar el análisis y la posterior estimación.

### 2.3.2.1 Estimación a nivel de comportamiento del circuito

Para unidades funcionales simples, tales como sumadores, multiplicadores y registros, así como para memorias, las estimaciones de consumo pueden obtenerse directamente de la librería de

---

<sup>21</sup> Héctor Quintero y Guillermo Bianchi, "Técnicas de Muestreo", April 2012

<sup>22</sup> Basado en "Non-Simulative Approaches", de Massoud Pedram en "Power Minimization in IC Design: Principles and Applications", January 1996

diseño donde se encuentran. En ella, las diversas unidades han sido diseñadas considerando un ruido blanco pseudoaleatorio, así como una capacitancia predefinida.

De esta manera, el modelo de consumo de un elemento puede ser parametrizado en términos de la anchura de su entrada. Por ejemplo, el consumo de una unidad aritmética como puede ser un sumador guarda una relación de dependencia directa y lineal con respecto a su número de entradas. En el caso del multiplicador, esta relación pasa a ser cuadrática.

Las distintas librerías contienen, así, descripciones detalladas de cada módulo, así como de sus diferentes parámetros, el área que ocupan, sus retardos y su potencia disipada de manera interna. Para poder llegar a este punto y estimar el consumo de las diferentes unidades, se procede a considerar ellos elementos a nivel lógico. Una vez hecho esto, se generan largas cadenas de entrada con patrones de entrada aleatorios y se calcula el consumo medio para cada patrón. En el caso de unidades con diferentes funciones, como bien pudiera ser una *ALU*, se estudia cada uno de sus comportamientos por separado. Los modelos generados son almacenados para cada módulo en la librería y deben presentar la posibilidad de ser en cierto modo condicionados o modulados, es decir, depender en cierto grado de las entradas que le son asignadas.

### 2.3.2.2 Estimación a nivel lógico

#### 2.3.2.2.1 Estimación para el modelo ideal

La mayor parte de la potencia disipada en circuitos procede de la carga y la descarga de la carga capacitiva de los mismos. Para estimar el consumo han de calcularse los diversos factores que afectan a la cantidad de transiciones en los nodos internos del circuito. Los métodos que permiten llevar esto a cabo pasan por la estimación de la probabilidad de que el valor de la señal en el nodo en un momento dado sea 1. Bajo la asunción de que los valores para la entrada de cada circuito son temporalmente independientes, puede establecerse lo siguiente:

$$E_n(sw) = 2 \text{prob}(n) (1 - \text{prob}(n))$$

<sup>23</sup>Ec.10: Factor de actividad dentro de un circuito

Donde  $E_n(sw)$  es el factor de actividad dentro del circuito, una medida de la frecuencia de las transiciones que se producen, y  $\text{prob}(n)$ , la probabilidad de que el nodo tenga valor 1 en un momento dado.

Una vez hecho esto, se asocian nombres a los nodos del circuito, se calculan las expresiones de cada uno de estos nodos, y a partir de estas se establece una expresión global para cada línea del circuito. Aunque el algoritmo en sí mismo resulta simple y general, la complejidad de este método en cuanto a tiempo empleado en el mismo aumenta significativamente con el tamaño del circuito.

#### 2.3.2.2.2 Estimación para el modelo real

La estimación presentada en el apartado anterior no considera las transiciones de carácter espurio o *glitches*, así como otros comportamientos indeseados dentro del circuito. A continuación se

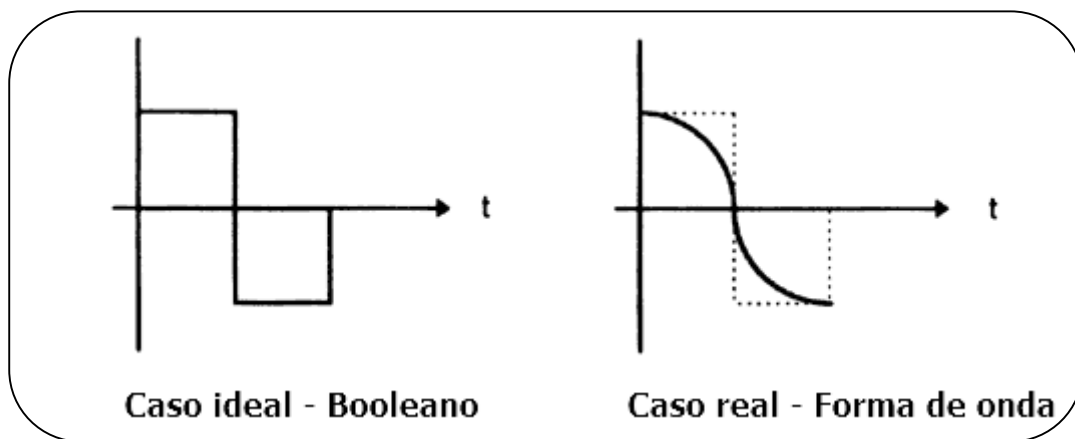
---

<sup>23</sup> Massoud Pedram, "Power Minimization in IC Design: Principles and Applications", January 1996

mostrarán las técnicas que permiten realizar una estimación considerando todos estos puntos que se alejan del modelo ideal.

En el caso anterior, se hablaba de la probabilidad de encontrar un 1 o un 0 en un nodo concreto del circuito estudiado para un momento dado. A partir de ese punto, obteniendo expresiones algebraicas sencillas y agrupándolas como una expresión más compleja, se obtenía una estimación razonablemente precisa de la actividad dada dentro del circuito.

En el caso actual, se sustituirá esa idea de probabilidad de encontrar un valor booleano, por la idea de una probabilidad que modele una forma de onda.



<sup>24</sup>Fig.2: Contraposición booleano-forma de onda

El concepto de probabilidad de la forma de onda, análogamente a la definición de la propia probabilidad en sí misma, es una secuencia de transiciones continuas o eventos en el tiempo desde un instante inicial  $t=0$  hasta  $t= \infty$  para la cual cada evento es anotado con su probabilidad de ocurrencia correspondiente. De esta manera, resulta ser una representación compacta de todas las posibles formas de onda que pueden darse en ese nodo. Dada esta función, estimar la actividad en ese nodo considerando *glitches* y otros comportamientos no deseados será posible dada la siguiente expresión, análoga a la del apartado anterior:

$$E_x(sw) = \sum_{t \in \text{eventlist}(x)} \left( \text{prob}(x_0^t \rightarrow 1) + \text{prob}(x_1^t \rightarrow 0) \right)$$

<sup>25</sup>Ec.11 Estimación de la actividad dentro de un circuito

Donde  $E_x(sw)$  es el factor de actividad dentro del circuito, una medida de la frecuencia y amplitud de los cambios en la forma de onda, y  $\text{prob}(x^t)$  la probabilidad de que se dé un evento dado.

Una vez modelada la actividad dentro del circuito de manera análoga a la del apartado anterior, la potencia consumida por el mismo estará ligada a ésta como se ha visto en secciones previas.

<sup>24</sup> Arturo Sosa, "Las Comunicaciones", September 2006

<sup>25</sup> Massoud Pedram, "Power Minimization in IC Design: Principles and Applications", January 1996

### 2.3.2.2.3 Estimación para circuitos secuenciales

Hasta este momento se han desarrollado métodos para estimaciones de consumo en circuitos combinacionales. Los resultados de los análisis para este caso concreto pueden diferir enormemente de aquellos que consideren lógica más allá de la puramente combinacional. El ejemplo de las máquinas de estados puede servir ilustrar estas consideraciones.

Las FSM (*Finite State Machines*) o máquinas de estados obligan a tener en cuenta puntos que no pueden abarcarse desde un planteamiento únicamente combinacional:

- El circuito que compone la máquina de estados puede empezar a funcionar desde varios de sus estados posibles. El comienzo desde uno u otro de ellos puede estar fuertemente ligado a los estados que se recorran después, lo cual puede determinar un diferente consumo en una u otra dirección. Por esta razón, resulta vital modelar una expresión que permita calcular la probabilidad de empezar desde uno u otro estado.
- Las entradas que definen el estado actual de la máquina están fuertemente correlacionadas, tanto temporal como espacialmente.

Un primer planteamiento para la estimación de la actividad dentro del circuito que constituye una máquina de estados es el de *desmontar* la lógica que rige el salto entre diferentes estados y una vez hecho esto realizar una simulación simbólica del circuito resultante, es decir, realizar una conversión a la situación mostrada en las secciones anteriores para, una vez hecho esto, poder llevar a cabo el mismo procedimiento.

## 2.4 Técnicas de reducción de consumo<sup>26</sup>

Una vez repasados los diversos orígenes del consumo en circuitos digitales y las distintas técnicas existentes para estimar el mismo, se procederá a estudiar los métodos utilizados a día de hoy para llevar a cabo la minimización de consumo objeto de este estudio:

- **Escalado del voltaje de alimentación del circuito:** este planteamiento, como se refirió en las primeras secciones del estudio, puede resultar enormemente útil a la hora de optimizar el consumo de un circuito. La principal desventaja que acarrea esta medida es la de requerir de circuitos que operen correctamente a bajos voltajes de alimentación, además de presentar ciertas dificultades a la hora de manejar la relación entre señal y ruido.
- **Reducción de la capacitancia de chip y encapsulado:** este punto pasa por una mejora de la tecnología de fabricación y los materiales usados en ella. Resulta efectiva pero presenta un alto coste. Además está supeditada al avance del desarrollo de la tecnología de la que depende.
- **Utilización de estrategias de gestión de potencia:** el ahorro que pueda derivarse de este punto es fuertemente dependiente de la aplicación concreta que se esté tratando en cada caso, a pesar de lo cual puede ofrecer buenos resultados.
- **Mejora de las técnicas de diseño:** este punto es el que muestra mayor interés para este estudio. Es el planteamiento más prometedor de todos los tratados, debido a que la

---

<sup>26</sup> Basado en "Power Minimization Techniques", de Massoud Pedram en "Power Minimization in IC Design: Principles and Applications", January 1996



inversión que requiere es relativamente pequeña en relación a los resultados que ofrece. Esta línea de trabajo es la que más posibilidades ofrece, tanto a corto como a largo plazo.

A continuación se procederá a un análisis más minucioso de las diferentes técnicas aquí presentadas, considerando también otros parámetros como área ocupada y tiempo de operación para obtener una relación óptima entre ellos.

### 2.4.1 Escalado del voltaje de alimentación

El escalado del voltaje resulta crucial a la hora de optimizar el consumo en circuitos digitales. Esta técnica ofrece un camino simple y directo hacia la reducción de la potencia consumida por un dispositivo. En un mundo cada vez más plagado de dispositivos portátiles, donde la reducción de su consumo resulta vital, no puede desecharse una alternativa tan inmediata.

Existen dos escenarios diferenciados a la hora de abordar este planteamiento:

- **Optimización de la velocidad de operación:** en este caso se busca únicamente disparar la capacidad de operación del dispositivo, subiendo el voltaje en caso de necesidad. De esta manera, olvida consideraciones en cuanto al consumo, por lo que no se abundará en sus detalles.
- **Minimización del consumo:** en esta propuesta se busca mantener la velocidad de operación del caso original, aquel en el que no se ha escalado el voltaje ni reducido las capacitancias, pero logrando una reducción drástica del consumo.

Para este estudio únicamente resulta interesante el segundo caso, dado que, si bien la velocidad de procesamiento no es un parámetro que pueda obviarse bajo ningún concepto, el objetivo que se maneja no es el de su maximización.

Como se vio en la sección 2.2.2, la energía requerida para conmutar un nodo guarda una dependencia directa y cuadrática con la tensión de alimentación. La reducción de esta tensión implica simultáneamente una disminución del consumo estático, del consumo originado por corrientes de fuga y del consumo de cortocircuito, todas ellas magnitudes mostradas en la sección 2.2.1.

Como contrapartida, se tiene que una reducción del voltaje implica una subida en el tiempo de respuesta. Para contrarrestar este retardo, se suele proceder disminuyendo las tensiones de umbral. Además, se pretende evitar así una bajada excesiva de la tensión de control de puerta de los propios transistores, y aquí aparece un compromiso entre el ahorro de potencia dinámica que la reducción del voltaje de alimentación entraña y el aumento de consumo por corriente sub-umbral que implica la bajada de las tensiones de umbral.

### 2.4.2 Minimización de la capacitancia

Para reducir la capacidad y, como consecuencia de ello, el consumo, debe trabajarse de manera primordial a nivel circuital, físico y tecnológico:

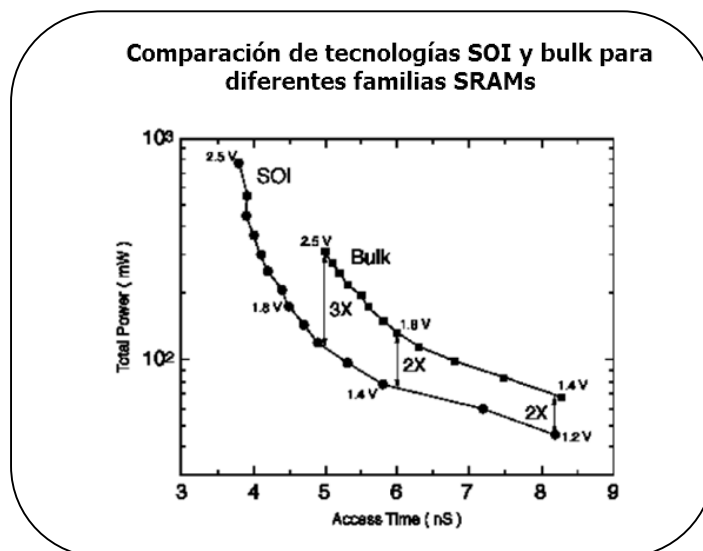
- **Nivel circuital:** una posible aproximación circuital pasaría por la utilización de lógicas dinámicas para diseño de bajo consumo, ya que se caracteriza por el uso de un menor número de transistores, lo cual acarrea una menor capacidad parásita. Sin embargo, el incremento que el uso sistemático de reloj conlleva hace que no resulte una buena opción.

Cabe añadir que además este caso no tolera la inhabilitación de reloj. El mejor planteamiento en lo tocante a bajo consumo reside en la utilización de la lógica estática convencional, debido a su gran tolerancia al uso de tensiones de alimentación mínimas y transistores de muy pequeñas dimensiones, además de ofrecer la posibilidad de implementar la inhabilitación del reloj para reducir el consumo.

- **Nivel físico:** también conocido como nivel de *layout*. A este nivel, un diseño de celdas *full custom* permite una reducción de las capacidades parásitas. Esta metodología de diseño especifica las localizaciones e interconexiones de cada transistor de manera individual, definiendo totalmente las distintas capas litográficas del dispositivo en cuestión. Como contrapartida, resulta extremadamente costoso, así como complejo y de desarrollo largo en el tiempo. Un diseño *semi-custom* puede dar resultados aceptables buscando un compromiso entre coste y resultado final.

Las herramientas de diseño habitualmente ofrecen la posibilidad de realizar de manera automática una colocación e interconexión estableciendo restricciones temporales, lo cual implica fijar una longitud máxima para las interconexiones. De esta manera, se minimiza la capacidad de cada una de las líneas, pero sin considerar la actividad en cada nodo. En términos generales, resulta más eficiente adoptar una postura menos exigente en cuanto a la longitud de la interconexión en nodos de baja actividad y más restrictiva en el caso de nodos con alta actividad.

- **Nivel tecnológico:** existe la posibilidad de reducir capacidades del circuito mediante la utilización de tecnologías SOI o *Silicon On Insulator*. Resulta idónea para todo tipo de aplicaciones de baja tensión. A pesar de las dificultades de fabricación que entraña el SOI, es, a día de hoy, una tecnología madura que ha dado lugar a familias de microprocesadores totalmente funcionales, con elevadas prestaciones y bajo consumo.



<sup>27</sup>Fig.3: Comparación SOI-bulk en SRAMs

<sup>27</sup> Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González & Frances Moll, “Diseño de Circuitos y Sistemas Integrados”, August 2004

Esta tecnología presenta una gran robustez frente a posibles errores relacionados con problemas de memoria. Esto hace idóneo su uso en bancos de memoria SRAM o DRAM.

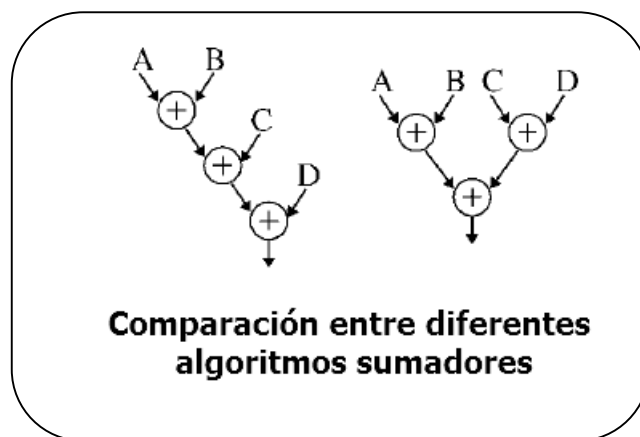
### 2.4.3 Gestión de potencia y técnicas de diseño

En apartados anteriores se ha desarrollado la idea sobre la importancia de las transiciones a la hora de evaluar el consumo en un circuito digital. Si no se dan transiciones entre 0 y 1 y viceversa, el consumo dinámico es nulo.

Hasta ahora se ha puesto de relieve la importancia de estas transiciones, pero no se han examinado cuidadosamente las diferentes técnicas existentes para reducirlas en la medida de lo posible sin alterar el correcto comportamiento del diseño.

Como en los casos anteriores, la optimización del funcionamiento de un circuito en lo referente a número y frecuencia de transiciones puede contemplarse a diferentes niveles:

- **Nivel algorítmico:** la elección de un algoritmo de trabajo u otro puede suponer una gran diferencia en cuanto al número de operaciones que realiza un circuito. A continuación se muestra un caso extremadamente ilustrativo.



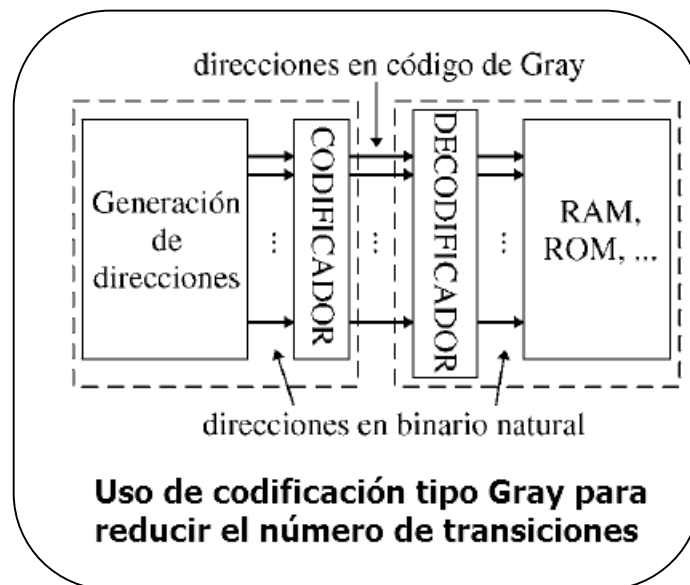
<sup>28</sup>Fig.4: Comparación algoritmos sumadores

En la imagen superior se muestran dos estructuras diferentes para un mismo sumador de cuatro entradas. El que se muestra a la izquierda genera más transiciones que el que se sitúa a la derecha, realizando exactamente la misma operación y utilizando los mismos bloques. Es un caso extremadamente sencillo, pero cuya sencillez precisamente ilustra de manera clara la importancia que entraña una buena elección de algoritmo.

A este mismo nivel algorítmico se encuentra la selección de la codificación utilizada en el diseño. Para ilustrar esto, se supondrán dos bloques de un sistema electrónico integrado tipo microprocesador. Uno de ellos actuará como *master*, es decir, como generador de direcciones, mientras que el otro será el *slave* o receptor de las mismas. En la sección previa se destacó la importancia de la capacidad parásita debida a largas conexiones, como buses de datos y direcciones. Estas capacitancias son las que dominan en la capacidad total del integrado, responsables de la mayor parte de su consumo dinámico. Habiendo minimizado

<sup>28</sup> Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González & Frances Moll, "Diseño de Circuitos y Sistemas Integrados", August 2004

el problema de estas capacidades, sólo quedaría reducir el número de transiciones en el citado bus. Una posibilidad para lograr esto en un bus de direcciones pasaría por aprovechar la correlación existente entre direcciones subsecuentes a las que la unidad de control accede. Sustituyendo la codificación binaria habitual por una codificación tipo *Gray*.

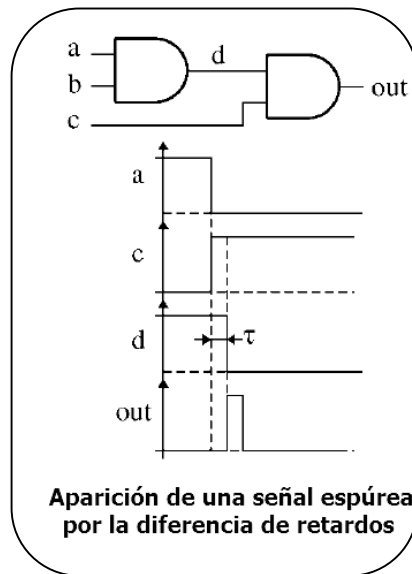


<sup>29</sup>Fig.5: Codificación Gray para reducir transiciones

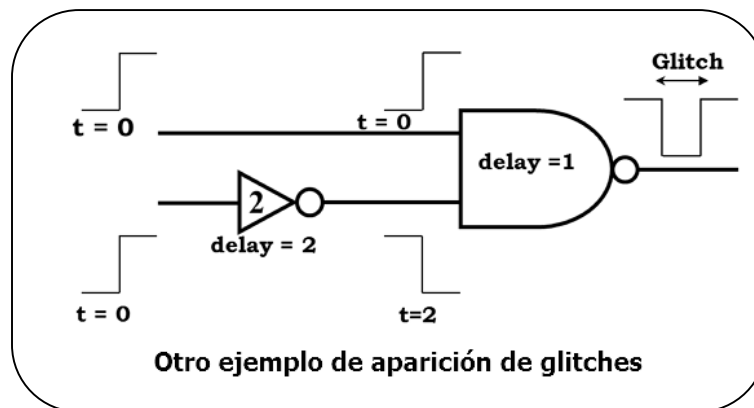
Este tipo de codificación puede reducir el número de conmutaciones en torno a un 30% con respecto al caso original. Otras codificaciones pueden utilizarse en función de la aplicación concreta tratada en cada caso.

- **Nivel arquitectural:** a nivel de arquitectura del diseño, existen diferentes caminos para lograr reducir la actividad de un circuito. Uno de ellos, por ejemplo, se basaría en ordenar los operandos de tal manera que el número de transiciones se reduzca. La medida más importante, sin embargo, pasa por reducir el número de transiciones espurias o *glitches*, mencionadas ya en las secciones 2.2.4.2, 2.2.4.4 y 2.3.2.2.

<sup>29</sup> Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González & Frances Moll, "Diseño de Circuitos y Sistemas Integrados", August 2004



<sup>30</sup>Fig.6: Señal espúrea por retardo



<sup>31</sup>Fig.7: Aparición de glitches

En estos dos casos, se muestra de qué manera, debido a la diferencia de retardos entre los diferentes caminos de propagación, circuitos muy sencillos ofrecen a su salida una señal espuria de corta duración. Estas señales pueden suponer en ciertos casos desde el 20% al 70% del consumo dinámico de un circuito. El número de este tipo de transiciones ocurridas se relaciona directamente con el cuadrado de la profundidad del bloque circuital, luego la opción más inmediata para reducir esta actividad pasa por la reducción de la profundidad de los bloques del diseño. Esto puede lograrse mediante la implementación de paralelismo, ya mencionado en el apartado 2.4.1. Esto puede llevarse a cabo mediante la división del bloque en sub-bloques de menor complejidad, añadiendo registros entre dichos sub-bloques, es decir, implementar *pipelining*.

<sup>30</sup> Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González & Frances Moll, “Diseño de Circuitos y Sistemas Integrados”, August 2004

<sup>31</sup> Vasantha Kumar, N.S. Murthy Sharma, K. Lal Kishore & A. Rajakumari, “Selective Glitch Reduction Technique for Minimizing Peak Dynamic IR Drop”, April 2013

Una última aproximación a nivel de arquitectura sería minimizar la capacidad a conmutar deshabilitando total o parcialmente módulos que en un momento dado no requieran encontrarse operativos. Esta desactivación no se limita a la señal *enable* del bloque, ya que una buena parte del consumo dinámico seguirá produciéndose si el reloj que controla el bloque sigue conmutando todas las entradas de reloj del mismo. Se debe proceder a inhabilitar este reloj, técnica conocida como *clock gating* y ya mencionada en la sección 2.4.1.

La estrategia del *clock gating* puede ser aplicada de manera genérica a módulos de tamaño considerable, tales como ALUs o memorias caché, pero sólo cuando la lógica utilizada sea estática. Para una lógica dinámica con reloj anulado se acabaría perdiendo la información. La alternativa que surge en este caso sería la de, en lugar de anular el reloj completamente, reducir su frecuencia. Un bloque que no está siendo utilizado puede ver su frecuencia de reloj reducida, disminuyendo en la misma proporción la potencia dinámica disipada. En caso de la que frecuencia no sea excesivamente baja, también puede usarse lógica dinámica. Estas opciones de reducción de la actividad del circuito a alto nivel pueden englobarse dentro de lo que se conoce como *standby nodes*. La inmensa mayoría de los microprocesadores actuales poseen distintos modos de trabajo. En cada uno de estos modos, el número de bloques que se encuentran activos varía en función de los requerimientos del trabajo.

# Capítulo 3 – Tecnología utilizada para el desarrollo el proyecto

---

Para el desarrollo del estudio han resultado necesarios una serie de recursos, que son listados a continuación:

- *AVNET Xilinx Spartan-6 FPGA LX16 Evaluation Kit*, que consta de:
  - *FPGA Xilinx Spartan-6*
  - Posibilidad de expansión mediante panel LCD
  - Cables USB y mini-USB
  - *DVD WebPack ISE*
  - Guía de inicio
  - Programa *AvProg* para programación y configuración
  - Documentación y referencias descargables
- Estufa de secado *Selecta Digitheat*
- *Xilinx ISE Design Suite 14.6*

## 3.1 AVNET Xilinx Spartan-6 FPGA LX16 Evaluation Kit

El kit utilizado para el desarrollo de este proyecto consta de los dispositivos y utilidades listados previamente. Sin embargo, en esta sección no se abordarán todos ellos, sino que únicamente se analizarán más a fondo aquellos que realmente han resultado más importantes para el desarrollo del estudio:

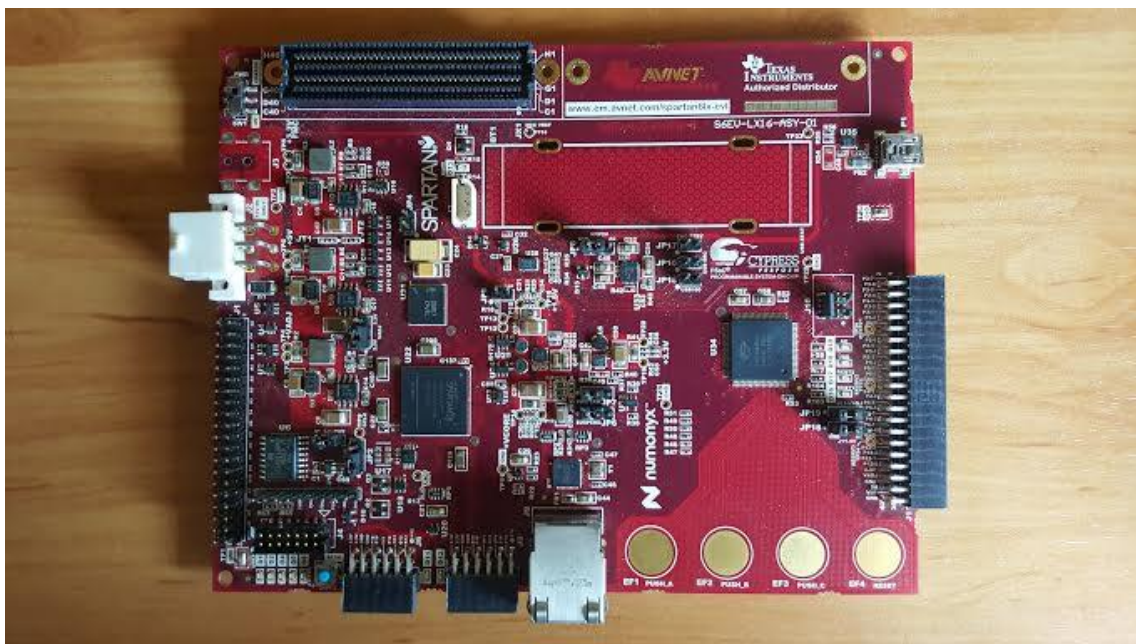
- Placa *AVNET* y los circuitos auxiliares que contiene
- *FPGA Xilinx Spartan-6*
- Herramienta de medición de consumo de *AvProg*

### 3.1.1 Placa AVNET

La placa *AVNET* utilizada para el desarrollo de este trabajo ofrece una serie de dispositivos y sistemas auxiliares para facilitar la experimentación con la *FPGA Spartan-6*:

- Sistema programable embebido *Cypress PSoC 3*, que incluye:
  - Núcleo de ciclo único a 67 MHz
  - Cuatro interruptores *Capsense*
  - Interfaz USB-UART
  - Configuración de la *FPGA* mediante conexión USB
  - Programación flash en serie
  - Monitorización de la potencia consumida de manera interna
  - Unidad LCD
- Gestión de la batería y reguladores de voltaje *Texas Instruments*
- Expansión módulo LCD *MicroTips*
- Célula única ion-litio 18650 (2500 mAh)
- SDRAM LPDDR 64 MB

- Multi I/O SPI flash 16 MB
- 10/10 Ethernet PHY
- Oscilador 66.6 MHz
- Protección contra picos de voltaje en USB
- Conector de expansión LPC FMC
- Conector de 20 x 2 pines de entrada y salida (MXP)
- 2 puertos de expansión 2 x 6 compatibles con *Pmod*
- 4 LEDs
- Configuración SPI
- Interfaz *JTAG*
- Conector de expansión 20 x 2 PSoC



<sup>32</sup> Fot.1: Placa AVNET utilizada para el desarrollo del estudio

De todas las diferentes funcionalidades y accesorios que incluye la placa, los siguientes han resultado de vital importancia para el desarrollo del proyecto:

- Configuración de la FPGA mediante USB
  - La carga de los diferentes diseños definidos en VHDL en la FPGA se han realizado mediante la interfaz USB-UART, utilizando el cable que proporciona el fabricante.
- Protección contra picos de voltaje en USB
  - El sistema de protección contra picos de voltaje en conexión USB ha evitado posibles problemas ocurridos en caso de una hipotética repentina subida del voltaje de alimentación.
- Interruptores *Capsense*
  - Los cuatro interruptores táctiles que incluye la placa han sido de gran utilidad a la hora de poder controlar de una manera sencilla el arranque y parada de los



circuitos diseñados. Las entradas de *reset* y *enable* han sido asignadas a estos interruptores, de tal manera que se ha permitido gestionarlas manualmente y poder comprobar así el correcto funcionamiento de los diferentes circuitos cargados en la FPGA.

- LEDs
  - La placa incluye cuatro pequeñas bombillas LED que se han utilizadas para asignarles las señales de salida de los diferentes circuitos. De esta manera, mediante la observación de la iluminación de las bombillas, se han podido analizar los datos que arrojaban los circuitos durante su funcionamiento y poder así comprobar si estos estaban proporcionando a su salida los resultados pertinentes.
- Monitorización de la potencia consumida de manera interna
  - *AvProg* ofrece una utilidad que permite realizar una medición fiable y en tiempo real de la potencia que está consumiendo en cada momento el circuito objeto de estudio. Esta herramienta analizará en mayor detalle en la sección 3.1.3.
- Oscilador 66.6 MHz
  - El oscilador que incluye la placa se ha utilizado para dar lugar a la señal de reloj que rige los circuitos diseñados y cargados en la FPGA. Dado que únicamente ofrece a su salida una señal de 66.6 MHz, ésta ha sido modificada haciéndola pasar por un DCM para entregar a la salida la frecuencia deseada y poder hacer así comparaciones entre consumos relativos a diferentes valores de frecuencia.

### 3.1.2 FPGA *Xilinx Spartan-6*

Antes de entrar a analizar la tecnología y funcionalidades de la FPGA *Spartan-6* utilizada en este trabajo, se presentará una breve panorámica sobre la familia a la que pertenece la FPGA utilizada, la familia *Spartan-6*.

#### 3.1.2.1 FPGAs de la familia *Spartan-6*

La FPGA utilizada en este proyecto ha sido fabricada por *Xilinx* y pertenece a la familia *Spartan-6*, en concreto se trata del modelo *Spartan-6 XC6SLX16-CSC324C*, donde el código que acompaña al nombre de la familia significa lo siguiente:

- **XC:** código de FPGAs de *Xilinx Company*.
- **6S:** familia *Spartan-6*.
- **LX:** modelo de la FPGA, los modelos LX están dedicados optimizados para aplicaciones que requieren el más bajo coste posible.
- **16:** código referente a los CLBs, es decir, los bloques donde se encuentra toda la lógica. En el caso de esta FPGA, son 1139.
- **CS:** tipo de encapsulado del chip, en este caso *Chip Scale*.
- **G:** indica que no contiene plomo.
- **324:** código referente a los pines de entrada y salida. En este caso, hay 324, pero los accesibles al usuario son 232.
- **C:** código que hace referencia al rango de temperaturas en el que puede funcionar. En este caso es comercial, por lo que el intervalo va de 0 a 85°C.



<sup>33</sup> Fot.2: FPGA Xilinx Spartan-6 utilizada en el desarrollo del estudio

Tabla de especificaciones de FPGA Xilinx Spartan-6 XC6SLX16-CSG324C					
Nº CLBs	Celdas lógicas	Nº pines de usuario	Tensión de alimentación	Rango de temperaturas	Precio por unidad
1139	14579	232	1,14V-1,16V	0-85°C (Uso comercial)	29,4\$

<sup>34</sup> Tabla 10: Especificaciones Xilinx Spartan FPGA Xilinx Spartan-6 XC6SLX16-CSG324C

La familia *Spartan-6* ofrece numerosas capacidades, bajo consumo y alto rendimiento a un coste razonable, por lo que resulta ideal para su inclusión en kits de evaluación como el utilizado en este estudio. Las principales características que destaca el fabricante en la hoja de datos del producto son:

- Bajo coste
- Bajo consumo, tanto estático como dinámico
- Interfaces multi-voltaje y multi-estándar
- Alta velocidad
- Uso eficiente de las *slices*
- Bloques de controladores de memoria integrados
- Abundancia de recursos lógicos
- Bloque RAM con un amplio rango de granularidad
- CMT (*Clock Management Tile*)
- Configuración simplificada
- Medidas de seguridad para la protección de diseños

<sup>34</sup>[http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf)

## Spartan-6 FPGA Feature Summary

Table 1: Spartan-6 FPGA Feature Summary by Device

Device	Logic Cells <sup>(1)</sup>	Configurable Logic Blocks (CLBs)			DSP48A1 Slices <sup>(3)</sup>	Block RAM Blocks		CMTs <sup>(5)</sup>	Memory Controller Blocks (Max) <sup>(6)</sup>	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices <sup>(2)</sup>	Flip-Flops	Max Distributed RAM (Kb)		18 Kb <sup>(4)</sup>	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

Tabla de características de la familia Spartan-6. En rojo, el modelo utilizado.

<sup>35</sup> Tabla 11: Características familia *Spartan*

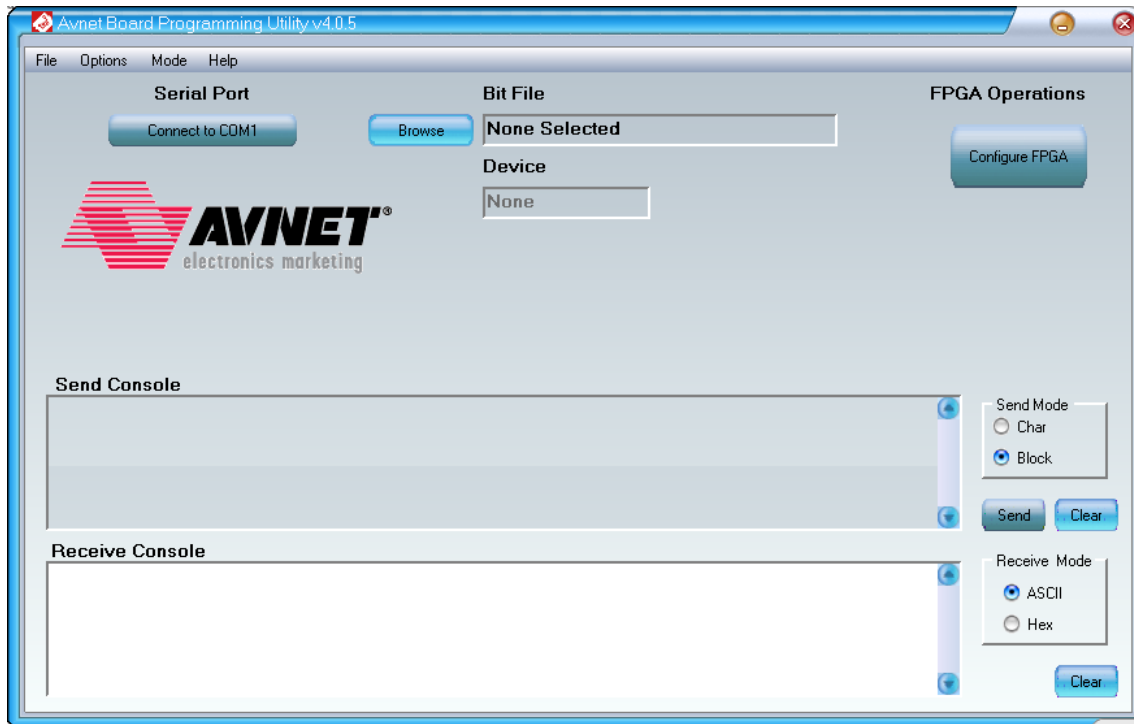
### 3.1.3 Herramienta de medición de consumo de *AvProg*

Para poder determinar qué directrices de diseño proporcionan como resultado un menor consumo en el circuito final, resulta esencial contar con una herramienta de medida de consumo que ofrezca facilidad de operación y fiabilidad en las mediciones.

El *AVNET Xilinx Spartan-6 FPGA LX16 Evaluation Kit* cuenta, como ya se ha mencionado, con una herramienta que permite monitorizar el consumo que se está produciendo dentro de un diseño en funcionamiento en tiempo real. Esta utilidad se encuentra dentro del programa *AvProg*, *AvProg*, y puede ponerse en marcha en el momento en el que el diseño está cargado y funcionando en la FPGA. *AvProg* contiene un número importante de funciones, pero en este caso se abarcará principalmente la herramienta que permite estudiar la materia objeto de este proyecto, el medidor de consumo.

A continuación se presentará la interfaz gráfica de la herramienta *AvProg* y los pasos que se han de seguir para configurar correctamente la carga del diseño y la posterior medición de su consumo.

<sup>35</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf)

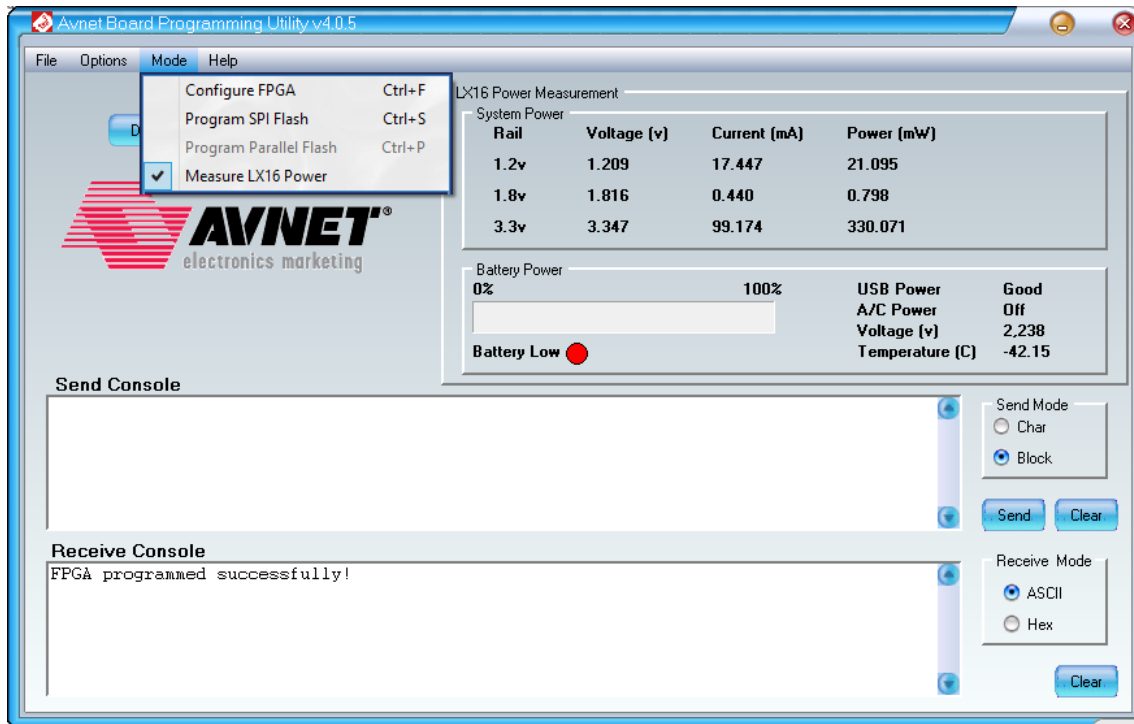


<sup>36</sup> Fot.3: Interfaz gráfica AvProg – Conexión, configuración y carga de los diseños

1. *Connect to COM1*: permite realizar la conexión entre el equipo en el que se encuentra el diseño y la placa.
2. *Browse*: permite realizar la búsqueda del archivo de tipo *.bit* que se desea cargar en la FPGA.
3. *Configure FPGA*: configura la FPGA con el archivo seleccionado.

Una vez conectada la placa y seleccionado el diseño, pulsar el botón *Configure FPGA* cargará el diseño en la misma. Con el diseño cargado en la FPGA, sólo quedaría ponerlo en funcionamiento.

En este caso, todos los diseños que se han implementado tienen su señal de *enable* activa baja y asignada a los interruptores *Capsense*, por lo que el circuito empezará a funcionar inmediatamente después de ser cargado. Pulsar el interruptor asignado a la señal *enable* le dará valor 1, esto es, alto, por lo que el circuito dejará de funcionar.



<sup>37</sup> Fot.4: Interfaz gráfica AvProg – Lanzamiento de la monitorización de consumo

1. *Mode*: selecciona el modo de operación de AvProg.
2. *Measure LX16 Power*: activa el modo de monitorización de la potencia consumida en tiempo real.
3. *System Power*: tabla de voltaje, corriente y consumo.

De todos los datos mostrados en la tabla *System Power*, los que resultan de interés para este estudio son los correspondientes al voltaje de 1.2 V, debido a que es éste el que alimenta al *core* de la FPGA, el núcleo, donde realmente se encuentra funcionando la lógica de cada uno de los circuitos cargados en la misma.

### 3.2 Estufa de secado *Selecta Digiheat*

Uno de los factores a tener en cuenta a la hora de considerar el consumo de un circuito digital es la temperatura del mismo. Si bien es conocido que un aumento de la temperatura acarrea un aumento del consumo del circuito, modelizar esta relación entraña una gran complicación, dados los múltiples parámetros que han de ser considerados, tales como tamaño del diseño, materiales de fabricación, lógica interna, frecuencia de funcionamiento. Es por ello que para el desarrollo de este estudio se ha considerado interesante la idea de estudiar esta relación entre temperatura y consumo de manera empírica, buscando extraer alguna conclusión sobre la misma mediante la experimentación.

Para poder llevar cabo esta idea, se ha utilizado una estufa de secado y esterilización a modo de horno, el modelo *Selecta Digiheat*. Este aparato permite alcanzar de manera rápida y estable temperaturas dentro del rango que pueden tolerar la placa y la FPGA que esta contiene. La

metodología que se ha seguido para realizar las medidas de consumo utilizando la estufa se detallarán a lo largo del capítulo 4.



<sup>38</sup> Fot.5: Estufa de secado y esterilización *Selecta Digitherm* utilizada en el desarrollo del estudio

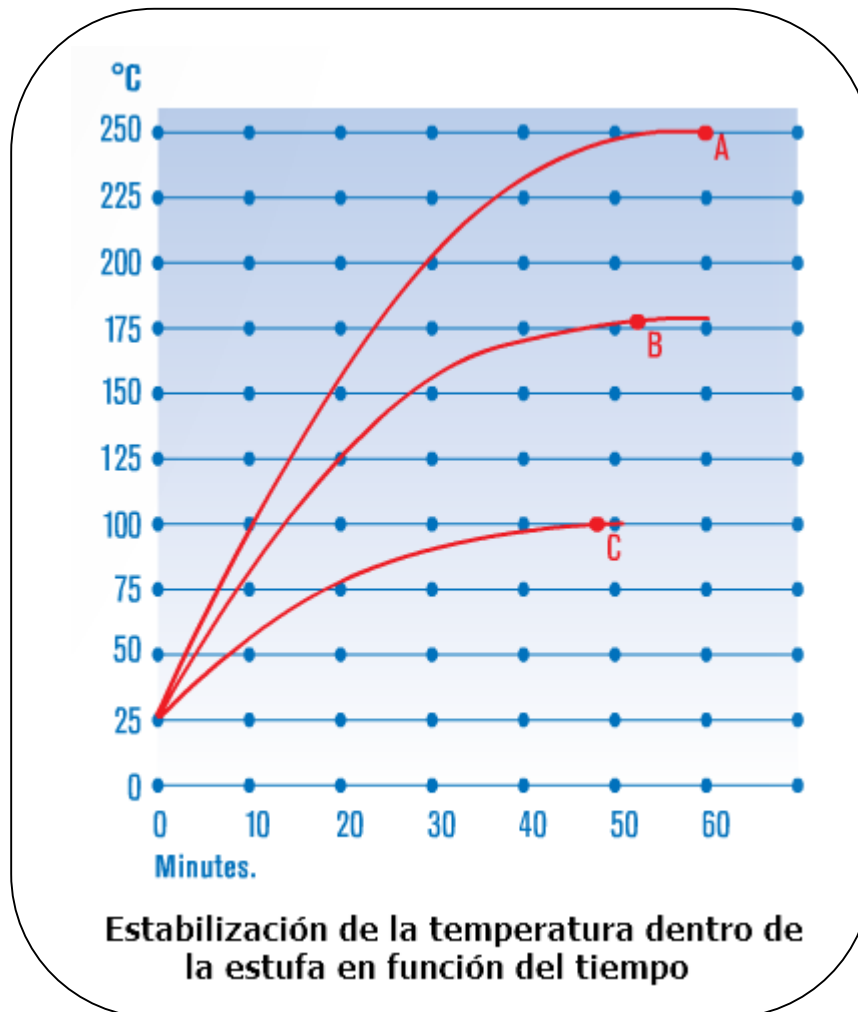
Este modelo de estufa ofrece una serie de capacidades y características que lo hacen óptimo para su utilización en este trabajo:

- Excelente aislamiento térmico que permite alcanzar una relación óptima entre capacidad calorífica y consumo, limitando enormemente la influencia de la temperatura externa.
- Orificio de tamaño regulable para la admisión de aire exterior, de tal manera que el cable necesario para la programación y posterior medida de consumo de la FPGA resulta posible.
- Calefactores montados al aire en cámara independiente, de tal manera que se consigue una distribución uniforme de la temperatura, y lo que es más importante en este caso, una rápida estabilización.
- Termómetro que muestra en tiempo real la variación de la temperatura dentro de la estufa, de tal manera que esta puede ser monitorizada.

De todos los puntos anteriores, el de mayor importancia son los relacionados con la estabilización de temperatura dentro de la estufa. Para realizar las medidas pertinentes de manera correcta, resulta de vital importancia que la temperatura de la FPGA, y por extensión, del horno, se mantengan estables.

La rápida estabilización permite que la toma de mediciones y recogida de datos resulten mucho más rápidas y ligeras, mientras que el termómetro interno permite seguir el proceso de

estabilización de manera fiable y determinar en qué momento puede procederse a realizar una medición.



<sup>39</sup>Fig.8: Estabilización de la temperatura dentro de la estufa

En la gráfica facilitada por el fabricante pueden observarse los tiempos de estabilización en función de la temperatura que se pretenda alcanzar. En este estudio, las temperaturas barajadas a la hora de hacer medidas han sido notablemente inferiores a las mostradas en la gráfica, por lo que los tiempos también han sido ligeramente menores. Estos puntos serán desarrollados más en detalle en el siguiente capítulo, donde se presentará la metodología empleada a la hora de utilizar la estufa de secado.

### 3.3 Xilinx ISE Design Suite 14.6

Para poder diseñar y cargar los circuitos en la FPGA se requiere de un programa en el que describir el diseño mediante código, realizar la implementación del diseño y cargarlo en la FPGA. En este caso, la herramienta escogida para tal propósito es el *Xilinx ISE Design Suite 14.6* y el lenguaje VHDL.

<sup>39</sup> Selecta, "Catálogo de productos"

La herramienta *Xilinx ISE (Integrated Synthesis Environment)* es un software producido por *Xilinx* para la síntesis y análisis de diseños HDL, permitiendo al desarrollador sintetizar sus diseños, realizar análisis de tiempos, examinar diagramas RTL, simular el comportamiento de un diseño frente a diferentes estímulos o cargar el mismo en un dispositivo externo.

Para el desarrollo de este trabajo, la herramienta *Xilinx ISE* ha sido utilizada en primer lugar, para escribir y compilar el código VHDL que define los diseños, simular su correcto funcionamiento y finalmente cargarlo en la FPGA para poder realizar las mediciones pertinentes.

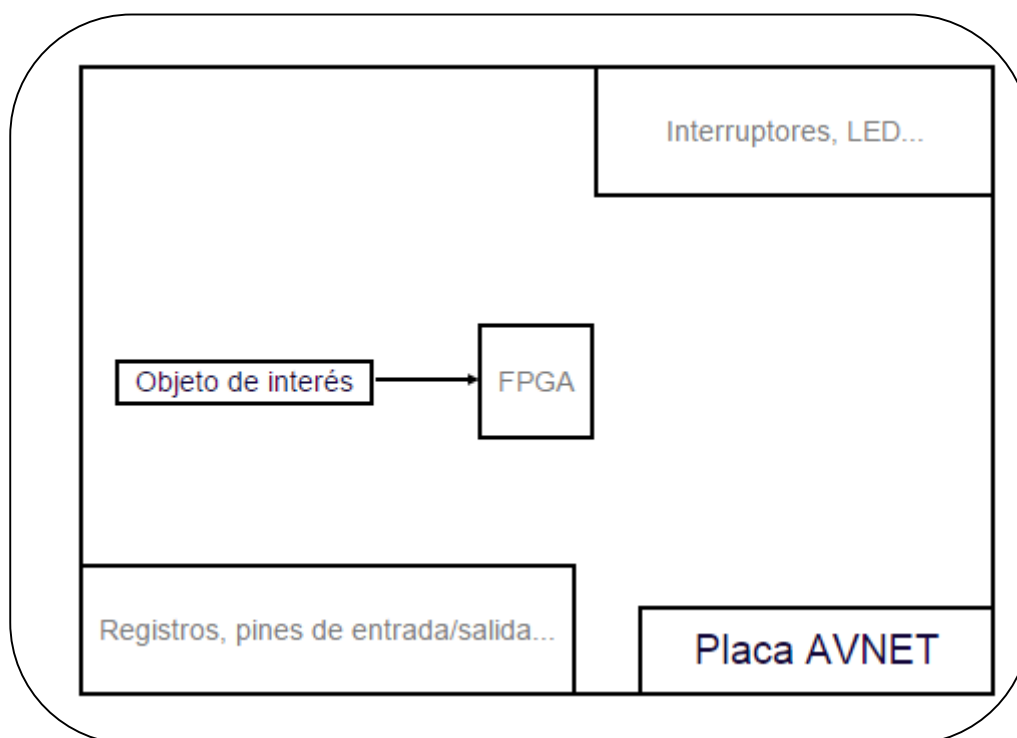


# Capítulo 4 – Desarrollo y presentación de resultados

## 4.1 Metodología y desarrollo

En primer lugar, conviene detallar los pasos que se han seguido a la hora de implementar los circuitos objeto de prueba, así como al realizar las mediciones.

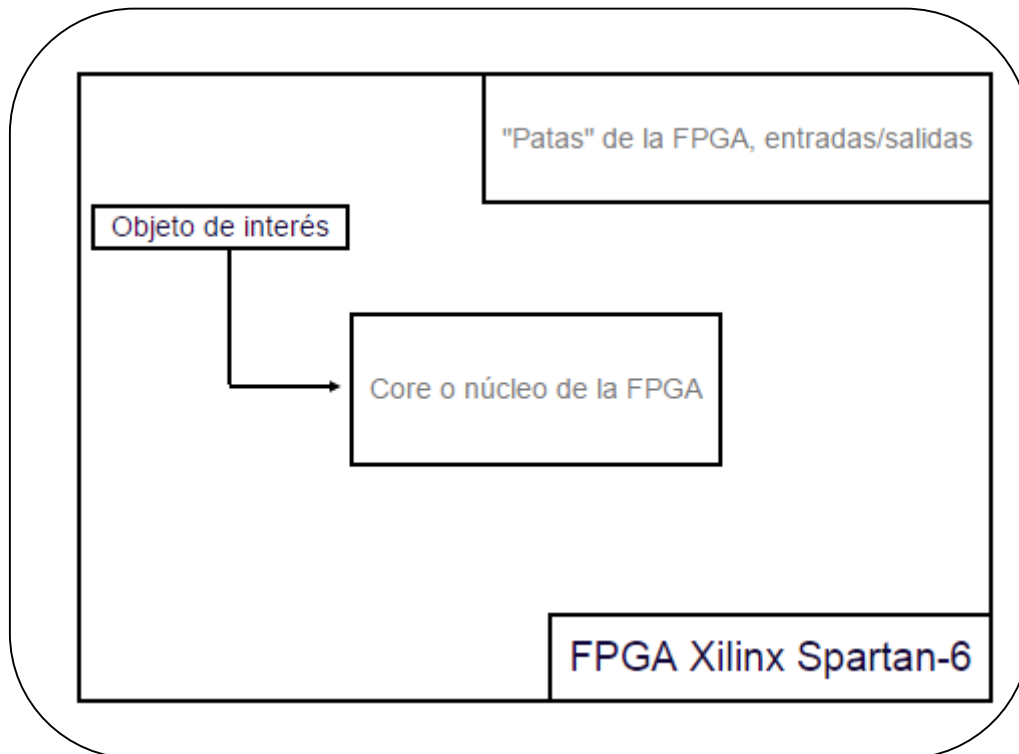
El kit de evaluación utilizado en este trabajo y presentado en el capítulo anterior posee numerosos dispositivos, mecanismos y utilidades que consumen potencia de una u otra manera. Sin embargo, el consumo que interesa a los efectos de este proyecto es únicamente el relativo a la lógica interna de la FPGA, al circuito diseñado dentro de la misma. Los esquemas que se presentan a continuación tienen como objetivo clarificar este punto para facilitar así su comprensión. Resulta de vital importancia poner de relieve cuál es el consumo que se debe considerar y cuál el que se debe desechar. Para ello, se dividirá la explicación en varios pasos, bajando un nivel en cada uno de ellos de manera sucesiva.



<sup>40</sup> Fig.9: Identificación del objeto de interés: FPGA

Desde el plano más global, cabe reseñar que el consumo que interesa observar en este trabajo se produce única y exclusivamente dentro de la FPGA. La potencia disipada en el resto de la placa no resulta de interés alguno para el propósito objeto de este proyecto. Sin embargo, tampoco es todo

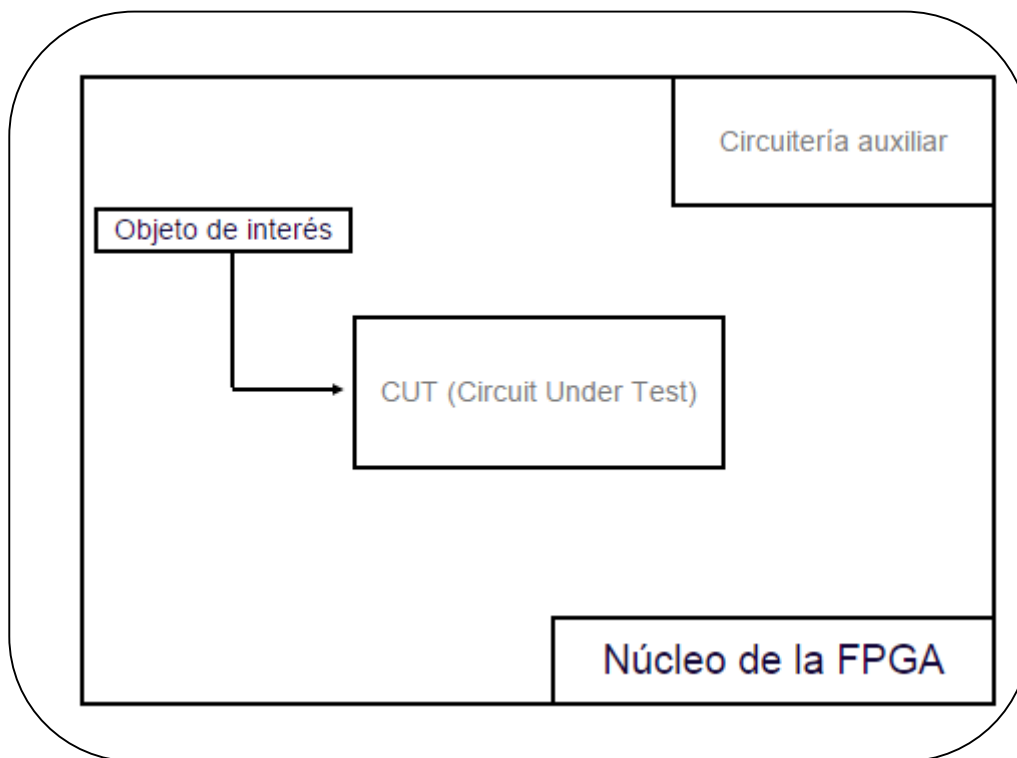
el consumo que tiene lugar dentro de la FPGA el que se considerará, sino que únicamente una parte del mismo, aquella que se dé dentro del núcleo o *core* de la FPGA.



<sup>41</sup> Fig. 10: Identificación del objeto de interés: núcleo de la FPGA

Mediante este esquema, queda de relieve que únicamente aquel consumo relativo a la lógica que se encuentra dentro de la FPGA resulta de interés, desechando así aquel consumo que proceda de otras fuentes, como pueden ser en este caso las "patillas" de la FPGA. Sin embargo, todavía no se ha llegado hasta el objeto último de estudio.

Cada uno de los circuitos que van a ser analizados, que serán a partir de ahora denominados CUT (*Circuit Under Test*), requiere de una serie de circuitería auxiliar que resulta indispensable para su correcto funcionamiento. Esta circuitería auxiliar se compone de dispositivos tales como el generador de pulsos de reloj o como el circuito que da lugar a una serie de datos pseudoaleatorios que alimentan el CUT. De esta manera, el reloj permite a los circuitos operar ciclo a ciclo, mientras que el generador de datos alimenta al mismo con entradas que éste utilizará para realizar operaciones y, en definitiva, funcionar correctamente. El consumo de estos circuitos auxiliares deberá ser, por tanto, también desechado.



<sup>42</sup> Fig 11: Identificación del objeto de interés: circuito bajo prueba

La herramienta de medición de consumo que ofrece *AvProg* y que se ha utilizado en este trabajo, no permite calcular el consumo de únicamente una parte del circuito que se encuentra dentro del núcleo. Es por ello que en el momento de desechar el consumo de esta circuitería auxiliar surge un problema, puesto que si se prescinde de ella para calcular únicamente el consumo del CUT, éste no funcionará debidamente y no podrá realizarse la medición. Por este motivo el método que se ha seguido es el siguiente:

1. Medición del consumo del CUT + circuitos auxiliares.
2. Retirada del CUT del núcleo.
3. Medición únicamente del consumo de los circuitos auxiliares.
4. Resta de consumo del (CUT + circuitos auxiliares) – circuitos auxiliares.

De esta manera se consigue aislar en cierto modo el consumo de la circuitería funcional de la circuitería auxiliar de una manera sencilla y fiable y obtener así el consumo final que será objeto de estudio a lo largo del proyecto.

## 4.2 Listado de circuitos que componen el *benchmark*

Para poder extraer los resultados suficientes para establecer conclusiones acerca del diseño de circuitos para bajo consumo, ha sido necesario implementar una batería de diseños, que son listados a continuación:

### 4.2.1 Diseños relativos a la variación del número de etapas de *pipeline*

En primer lugar, se ha estudiado la relación que existe entre el número de etapas de *pipeline* en las que se divide un diseño y el consumo que origina dentro del mismo. Adicionalmente, se ha

estudiado la diferencia entre la utilización de LUTs y multiplicadores en cuando a consideraciones relativas a consumo. El número de etapas de *pipeline* escogido en cada caso se ha decidido en función de aquel que la herramienta *Xilinx ISE* consideraba óptimo para el correcto funcionamiento del circuito. En el caso del multiplicador de 32x32, la herramienta sugería 5 etapas, mientras que para el multiplicador de 64x64 la herramienta sugería 22. Los demás valores han sido escogidos intentando establecer el valor recomendado como central y teniendo en cuenta las restricciones que establece la herramienta, siendo 30 el máximo número de etapas posible. Para el caso de 0 etapas de *pipeline* se ha implementado un circuito aparte, puramente combinacional, sin reloj. El listado de circuitos y mediciones correspondiente a este apartado se encuentra en el anexo destinado a tal efecto.

#### **4.2.2 Diseños relativos a la variación de la frecuencia de funcionamiento del circuito**

En este caso se pretende poner de relieve la enorme dependencia existente entre la frecuencia de funcionamiento de un circuito y el consumo del mismo, pero no sólo esto, sino también la variación que provoca un cambio de frecuencia en los diferentes diseños en función del número de etapas de *pipeline* en el que se encuentren divididos. Adicionalmente, se ha estudiado la diferencia entre la utilización de LUTs y multiplicadores en cuando a consideraciones relativas a consumo. El listado de circuitos y mediciones correspondiente a este apartado se encuentra en el anexo destinado a tal efecto.

#### **4.2.3 Diseños relativos a la variación del algoritmo utilizado dentro del circuito**

Una misma funcionalidad dentro de un circuito puede ser implementada de diferentes maneras obteniendo un mismo resultado. En esta sección se pretende ilustrar la importancia que entraña la elección de un algoritmo a la hora de diseñar un circuito que cumpla una función determinada. El listado de circuitos y mediciones correspondiente a este apartado se encuentra en el anexo destinado a tal efecto.

#### **4.2.4 Diseños relativos a la variación de la temperatura de la FPGA**

Un mismo diseño, manteniendo todas sus características intactas, puede variar su consumo enormemente en función de la temperatura a la que se encuentre. Es por ello que se ha realizado un importante número de mediciones de diferentes circuitos a diferentes temperaturas para ver cómo esta magnitud afecta a su consumo y en qué medida se ve afectado cada uno de ellos. El listado de circuitos y mediciones correspondiente a este apartado se encuentra en el anexo destinado a tal efecto. En este caso, al medir el consumo de los circuitos, no se ha prescindido de la circuitería auxiliar, dado que al restarla del consumo final, se eliminaba también el consumo estático, que es el que más aumenta con la temperatura. De esta manera, las medidas muestran la tendencia real del consumo con respecto a la temperatura.

#### **4.2.5 Relación entre los diferentes parámetros**

Los listados mostrados a lo largo de esta sección agrupan las baterías de medidas realizadas en función de una característica o magnitud central en torno a la cual se pretende estudiar la variación del consumo del circuito. Adicionalmente, manteniendo en cada caso este parámetro como eje principal, se han realizado diversas mediciones modificando además otros parámetros con el fin de ilustrar adicionalmente cómo unos y otros se relacionan entre sí y cómo esta correlación afecta

finalmente al consumo del diseño. En el siguiente apartado se definirá más detalladamente este punto para cada uno de los diferentes casos de estudio.

#### **4.2.6 Consideraciones relativas al tamaño de los circuitos**

En buena parte de las mediciones realizadas se toma como variable sujeta a estudio el tamaño de los circuitos. Si bien no se ha considerado este punto como objeto prioritario a lo largo del trabajo, sí se ha tenido en cuenta el interés que puede subyacer tras el estudio de la relación existente entre el tamaño de los diseños y las otras de las variables sí estudiadas.

#### **4.2.7 Multiplicadores vs. LUTs**

Al igual que ocurre con el tamaño de los circuitos, a lo largo de todas las mediciones tomadas y en la medida de lo posible, cuando se ha trabajado con multiplicadores se han utilizado LUTs por un lado y multiplicadores por otro para poder comparar cómo se comporta el consumo en relación a la elección de unos u otros. Las conclusiones extraídas de este punto se presentarán en el quinto capítulo, junto a las obtenidas en relación al tamaño y las demás variables, destinado a tal efecto.

### **4.3 Desarrollo de los procesos de medición y resultados obtenidos**

En esta sección se procede a explicar detalladamente cómo se ha desarrollado cada proceso de medición, cuál es el motivo por el que se ha llevado a cabo y qué se pretende ilustrar con cada uno de ellos, así como a exponer los resultados obtenidos en dichos procesos.

#### **4.3.1 Variación en el número de etapas de *pipeline***

En primer lugar, conviene explicar de qué se trata la técnica del *pipelining* para poder así entender mejor qué se ha estudiado en esta sección.

##### **4.3.1.1 La segmentación de circuitos digitales o *pipelining***

El *pipelining* se trata de un método utilizado para aumentar el rendimiento de algunos sistemas electrónicos digitales, principalmente microprocesadores. El proceso de *pipelining* consiste en la división de un flujo de datos en un proceso comprendido por varias fases secuenciales, de tal manera que cada salida será la entrada de la siguiente.

##### **4.3.1.2 Desarrollo de las mediciones relativas a la variación del número de etapas de *pipeline***

En primer lugar, en cada caso se ha implementado un diseño combinacional sin reloj, que funciona en una sola etapa y sin implementar *pipeline* de ningún tipo. De esta manera, se puede medir el consumo del diseño en ausencia de segmentación. A partir de este punto, se ha establecido como centro, en la medida de lo posible, el número de etapas de *pipeline* óptimo que sugería la herramienta *Xilinx ISE* en cada caso, y a partir de ese punto se han aumentado y disminuido el número de fases con el fin de estudiar el impacto de esta variación en el consumo final del circuito.

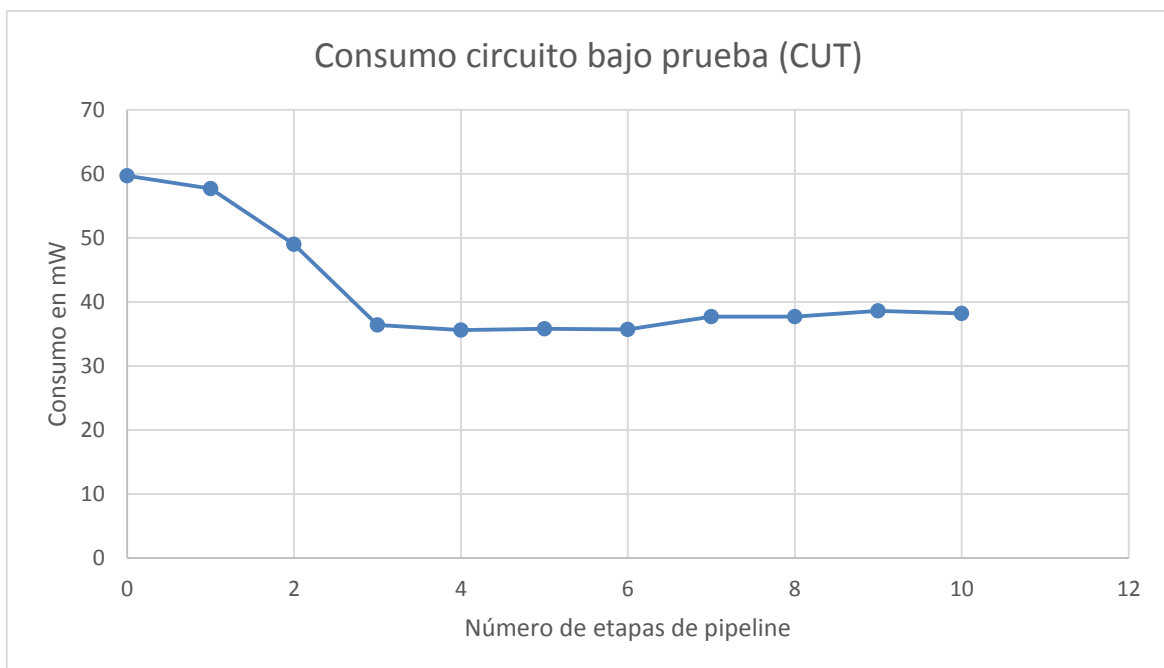
Adicionalmente, se ha trabajado con multiplicadores de diferentes tamaños y diferentes tipos de implementación; o bien mediante LUTs, o bien mediante multiplicadores embebidos conectados entre sí.

4.3.1.3 Presentación de resultados de las mediciones relativas a la variación del número de etapas de *pipeline*

**Multiplicador de 32x32 / Implementado usando LUTs / Funcionando a 66 MHz / Consumo medido a 25°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	70,9	11,2	59,7
1	68,9	11,2	57,7
2	60,2	11,2	49
3	47,6	11,2	36,4
4	46,8	11,2	35,6
5	47	11,2	35,8
6	46,9	11,2	35,7
7	48,9	11,2	37,7
8	48,9	11,2	37,7
9	49,8	11,2	38,6
10	49,4	11,2	38,2

<sup>43</sup> Tabla 12: Resultados obtenidos de las mediciones



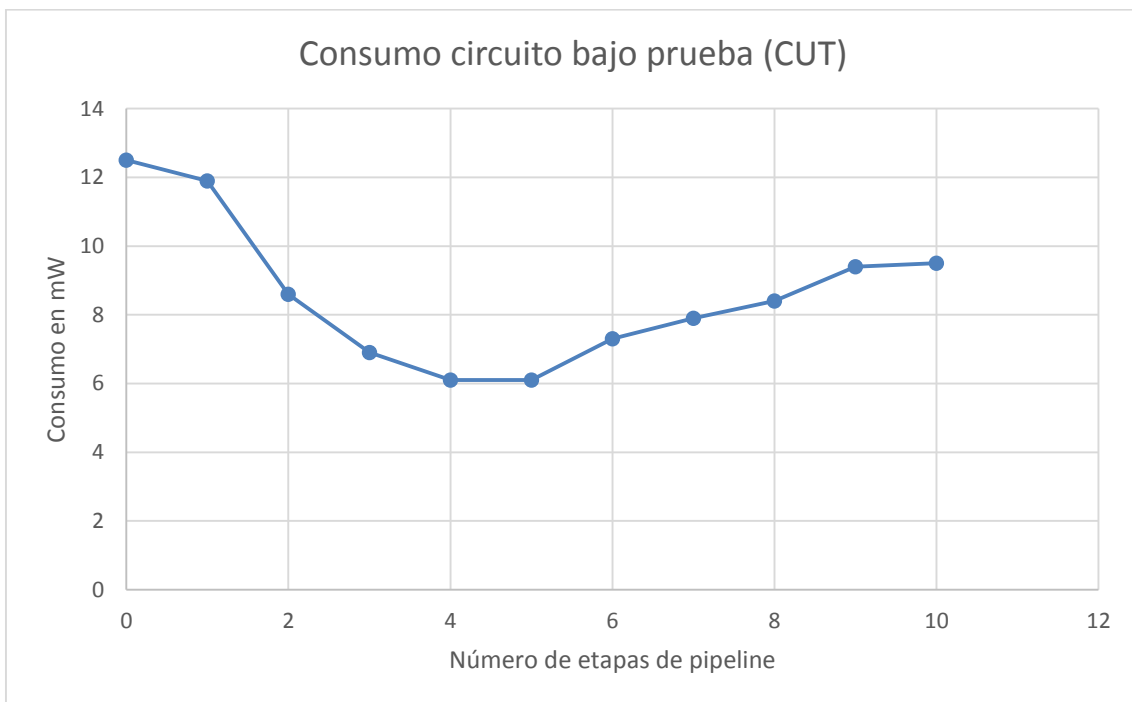
<sup>44</sup> Fig. 12: Representación gráfica del resultado de las mediciones

Para este caso, puede observarse cómo el consumo decrece drásticamente al implementar hasta 3 etapas de *pipeline*, y cómo a partir de ese punto, tiende a estabilizarse e incluso ascender ligeramente.

**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / Funcionando a 66 MHz / Consumo medido a 25°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT)
0	23,7	11,2	12,5
1	23,1	11,2	11,9
2	19,8	11,2	8,6
3	18,1	11,2	6,9
4	17,3	11,2	6,1
5	17,3	11,2	6,1
6	18,5	11,2	7,3
7	19,1	11,2	7,9
8	19,6	11,2	8,4
9	20,6	11,2	9,4
10	20,7	11,2	9,5

<sup>45</sup> Tabla 13: Resultados obtenidos de las mediciones



<sup>46</sup> Fig. 13: Representación gráfica del resultado de las mediciones

En este caso se observa que el mínimo consumo se alcanza al implementar 4 etapas y a partir de este punto, empieza a crecer sin alcanzar el del caso combinacional.

**Multiplicador de 64x64 / Implementado usando LUTs / Funcionando a 50 MHz / Consumo medido a 23°C / Variando el número de etapas de 0 a 28 en pasos de 3 etapas**

El circuito no puede ser implementado, la herramienta *Xilinx ISE* informa de un error debido a que el tamaño del diseño es demasiado grande.

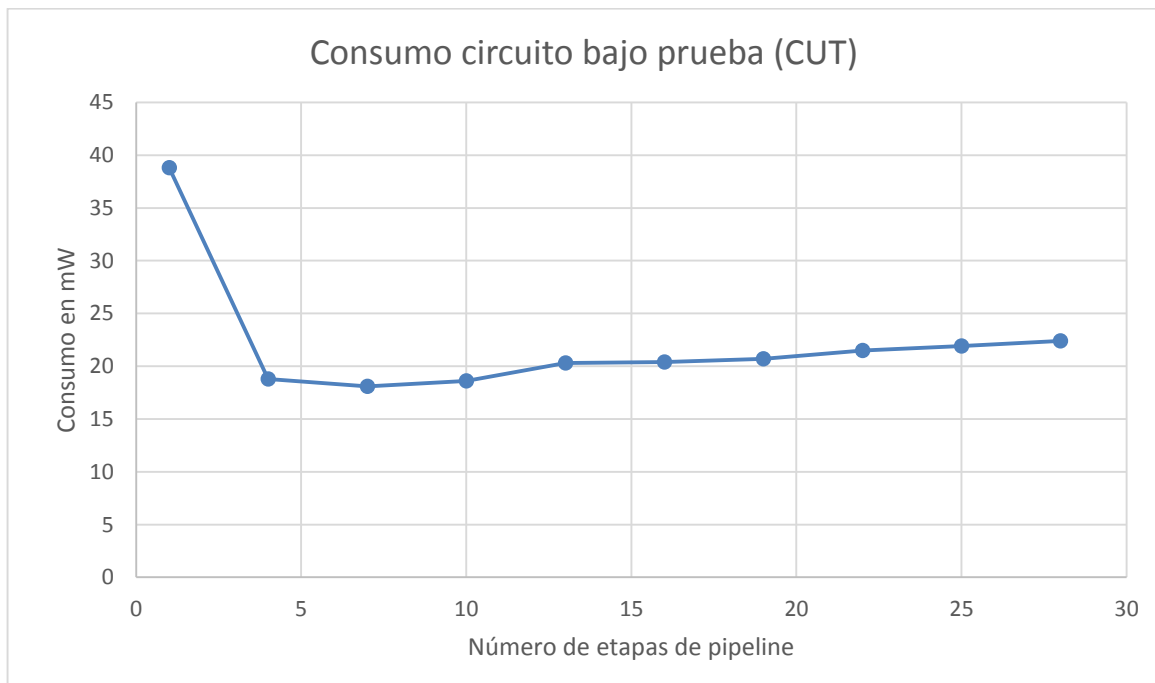


**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos / Funcionando a 50 MHz / Consumo medido a 19°C / Variando el número de etapas de 1 a 28 en pasos de 3 etapas**

El caso combinacional no puede ser implementado a esta frecuencia, la herramienta *Xilinx ISE* informa de un error debido a que no se cumplen los requerimientos de tiempo.

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
1	52,1	13,3	38,8
4	32,1	13,3	18,8
7	31,4	13,3	18,1
10	31,9	13,3	18,6
13	33,6	13,3	20,3
16	33,7	13,3	20,4
19	34	13,3	20,7
22	34,8	13,3	21,5
25	35,2	13,3	21,9
28	35,7	13,3	22,4

<sup>47</sup> Tabla 14: Resultados obtenidos de las mediciones



<sup>48</sup> Fig. 14: Representación gráfica del resultado de las mediciones

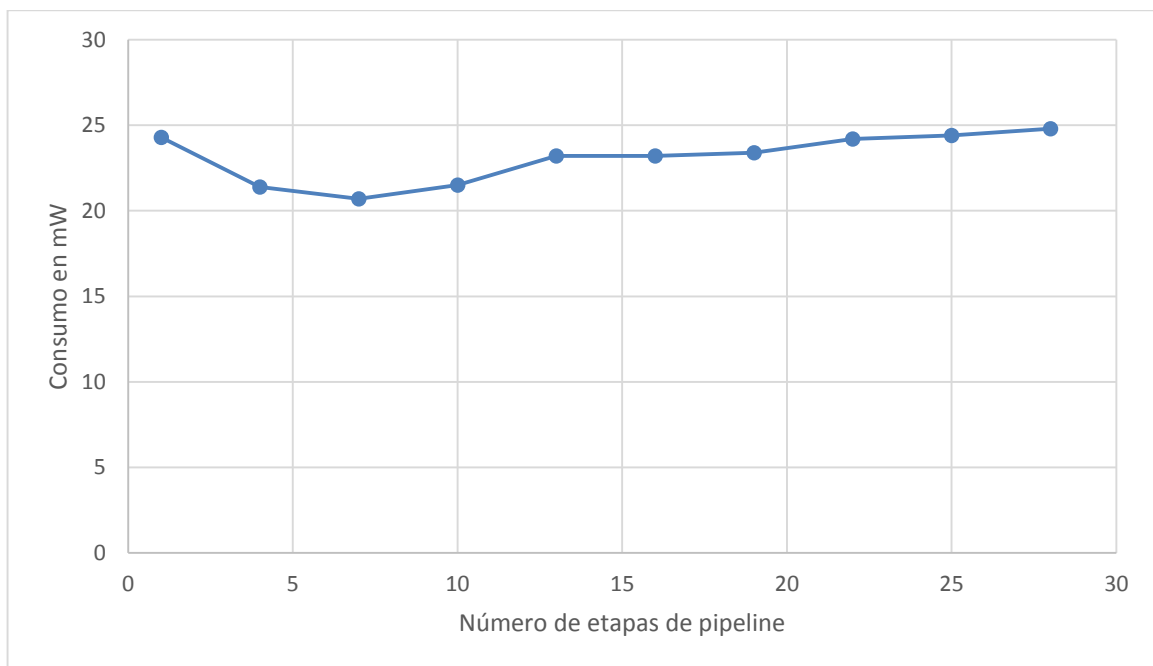
Nuevamente, se observa un descenso inicial muy pronunciado, mientras que llega un punto en el que conforme se va avanzando, el consumo comienza a ascender en lugar de disminuir.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos / Funcionando a 33 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 28 en pasos de 3 etapas**

El caso combinacional no puede ser implementado a esta frecuencia, la herramienta *Xilinx ISE* informa de un error debido a que no se cumplen los requerimientos de tiempo.

Etapas de pipeline	Consumo en mW	Consumo auxiliares	Consumo circuito bajo prueba (CUT)
1	34,5	10,2	24,3
4	31,6	10,2	21,4
7	30,9	10,2	20,7
10	31,7	10,2	21,5
13	33,4	10,2	23,2
16	33,4	10,2	23,2
19	33,6	10,2	23,4
22	34,4	10,2	24,2
25	34,6	10,2	24,4
28	35	10,2	24,8

<sup>49</sup> Tabla 15: Resultados obtenidos de las mediciones



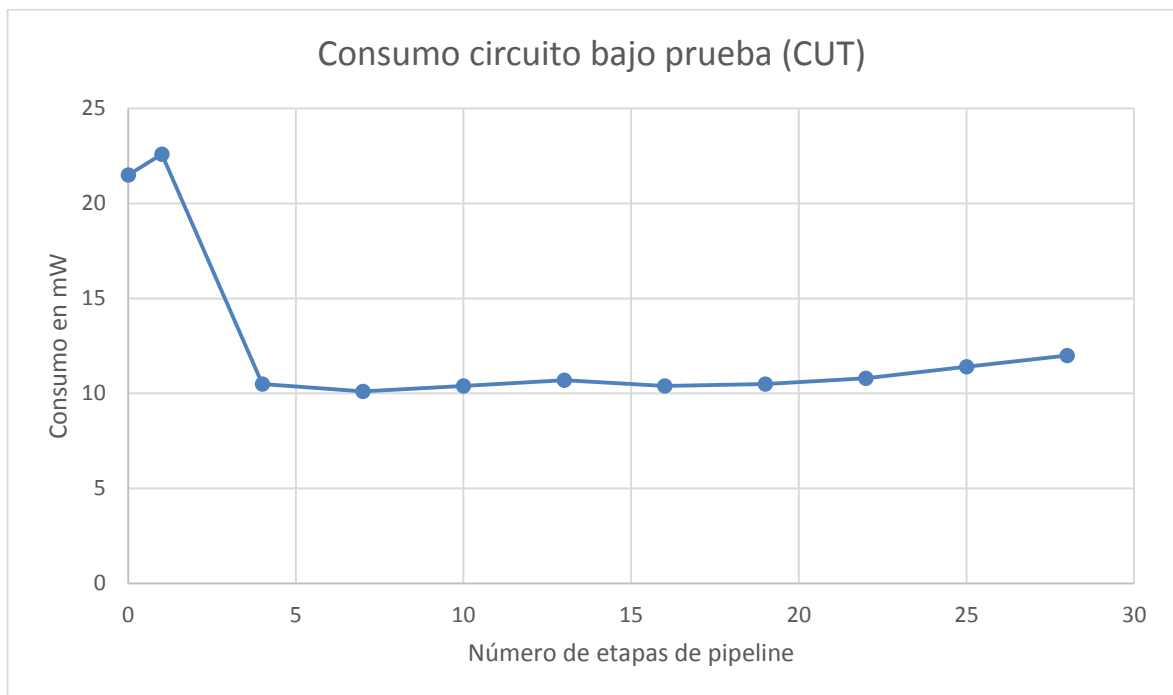
<sup>50</sup> Fig. 15: Representación gráfica del resultado de las mediciones ados

En este caso nuevamente si aprecia un descenso del consumo para un número pequeño de etapas de *pipeline*, creciente conforme dicho número aumenta. Sin embargo, no se aprecian grandes variaciones al comienzo de la gráfica.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos / Funcionando a 16 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 28 en pasos de 3 etapas**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	30,4	8,9	21,5
1	31,5	8,9	22,6
4	19,4	8,9	10,5
7	19	8,9	10,1
10	19,3	8,9	10,4
13	19,6	8,9	10,7
16	19,3	8,9	10,4
19	19,4	8,9	10,5
22	19,7	8,9	10,8
25	20,3	8,9	11,4
28	20,9	8,9	12

<sup>51</sup> Tabla 16: Resultados obtenidos de las mediciones



<sup>52</sup> Fig. 16: Representación gráfica del resultado de las mediciones

Para estas condiciones se observa un pequeño repunte del consumo al pasar del circuito puramente combinacional al circuito síncrono diseñado en una sola etapa, para después mostrar una tendencia similar a la encontrada en los casos anteriores.

### 4.3.2 Variación de la frecuencia de funcionamiento del circuito

En esta sección se pretende ilustrar la dependencia existente entre la frecuencia a la que funciona un circuito y el consumo del mismo de manera puramente experimental. Conocer cómo se comportan ambas magnitudes entre sí, si además se conocen las restricciones particulares que establece el diseño en el que está trabajando, puede ayudar a alcanzar una solución de compromiso entre altas prestaciones y bajo consumo.

Se estudiarán dos grupos de circuitos en este apartado:

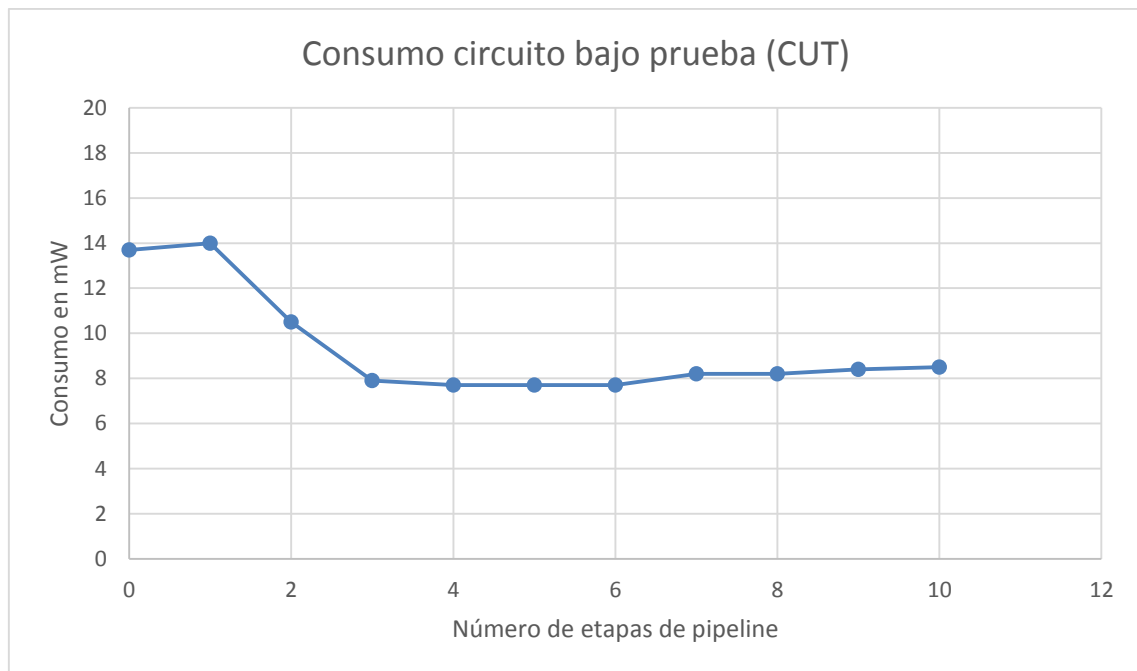
- **Multiplicadores:** en este grupo de mediciones se muestra cómo se comportan entre sí la frecuencia de funcionamiento de un circuito y otros parámetros del mismo a efectos de determinar el consumo resultante. Estos parámetros son:
  - Número de etapas de pipeline
  - Implementación mediante LUTs o multiplicadores embebidos
- **Contadores:** en este grupo de mediciones se estudia únicamente el comportamiento del consumo en función de la frecuencia de funcionamiento del circuito en una serie de contadores de diferentes tipos.

4.3.2.1 Presentación de resultados de las mediciones relativas a la variación de la frecuencia de funcionamiento del circuito: multiplicadores

**Multiplicador de 32x32 / Implementado usando LUTs / Funcionando a 16 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	22,8	9,1	13,7
1	23,1	9,1	14
2	19,6	9,1	10,5
3	17	9,1	7,9
4	16,8	9,1	7,7
5	16,8	9,1	7,7
6	16,8	9,1	7,7
7	17,3	9,1	8,2
8	17,3	9,1	8,2
9	17,5	9,1	8,4
10	17,6	9,1	8,5

<sup>53</sup> Tabla 17: Resultados obtenidos de las mediciones



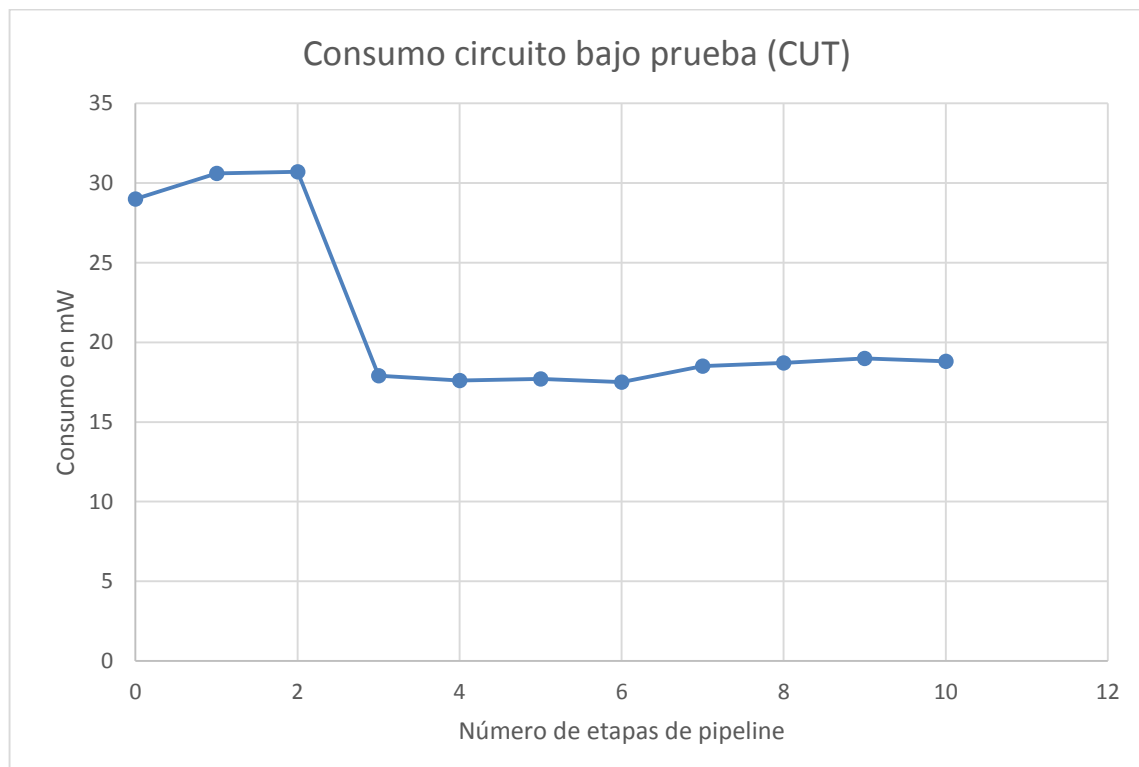
<sup>54</sup> Fig. 17: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados con mediante LUTs funcionando a 33 y 50 MHz.

**Multiplicador de 32x32 / Implementado usando LUTs / Funcionando a 33 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	38,3	9,3	29
1	39,9	9,3	30,6
2	40	9,3	30,7
3	27,2	9,3	17,9
4	26,9	9,3	17,6
5	27	9,3	17,7
6	26,8	9,3	17,5
7	27,8	9,3	18,5
8	28	9,3	18,7
9	28,3	9,3	19
10	28,1	9,3	18,8

<sup>55</sup> Tabla 18: Resultados obtenidos de las mediciones



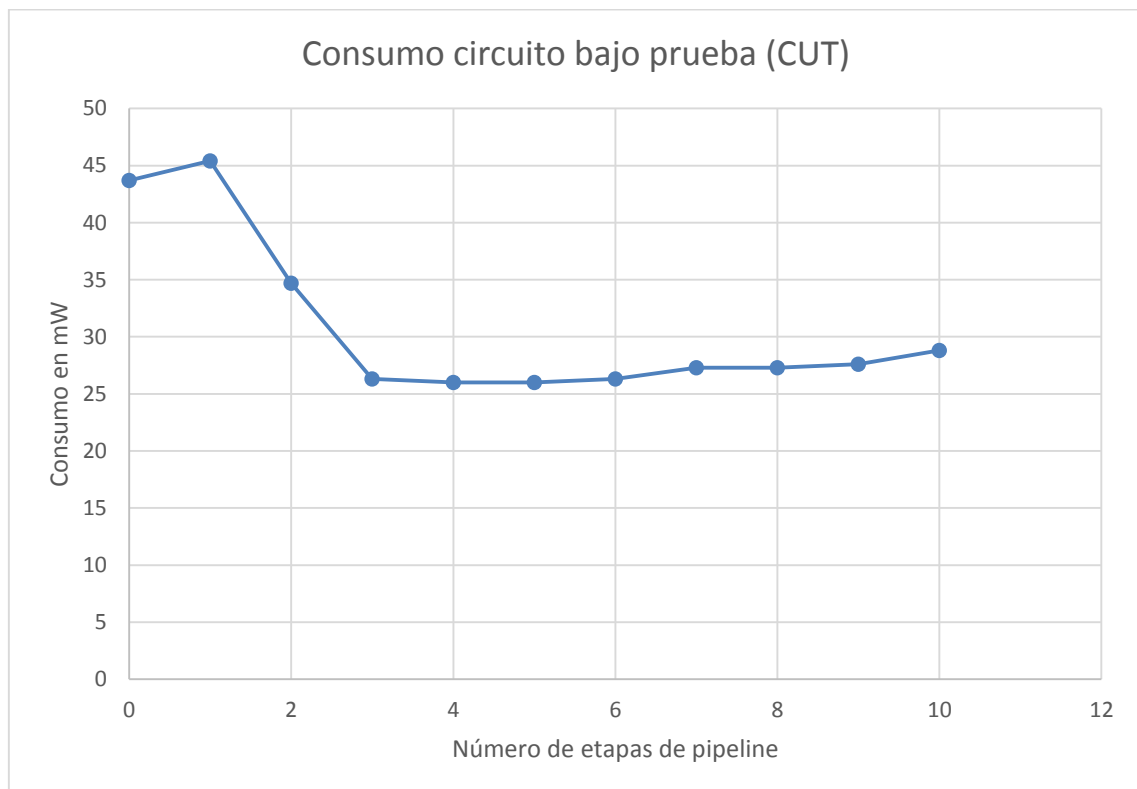
<sup>56</sup> Fig. 18: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados con mediante LUTs funcionando a 16 y 50 MHz.

**Multiplicador de 32x32 / Implementado usando LUTs / Funcionando a 50 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	54,9	11,2	43,7
1	56,6	11,2	45,4
2	45,9	11,2	34,7
3	37,5	11,2	26,3
4	37,2	11,2	26
5	37,2	11,2	26
6	37,5	11,2	26,3
7	38,5	11,2	27,3
8	38,5	11,2	27,3
9	38,8	11,2	27,6
10	40	11,2	28,8

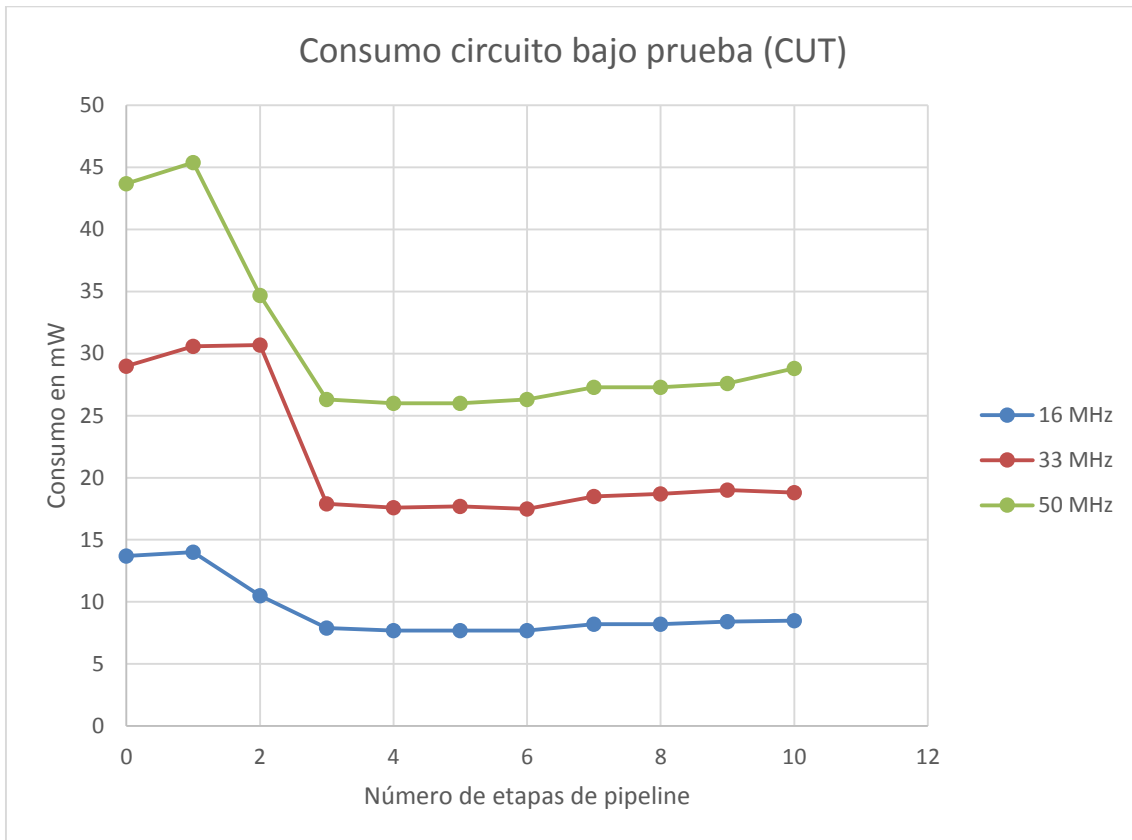
<sup>57</sup> Tabla 19: Resultados obtenidos de las mediciones



<sup>58</sup> Fig. 19: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados con mediante LUTs funcionando a 16 y 33 MHz.

**Comparación de multiplicadores de 32x32 / Implementado usando LUTs / Funcionando a 16, 33 y 50 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**



<sup>59</sup> Fig. 20: Representación gráfica del resultado de las mediciones

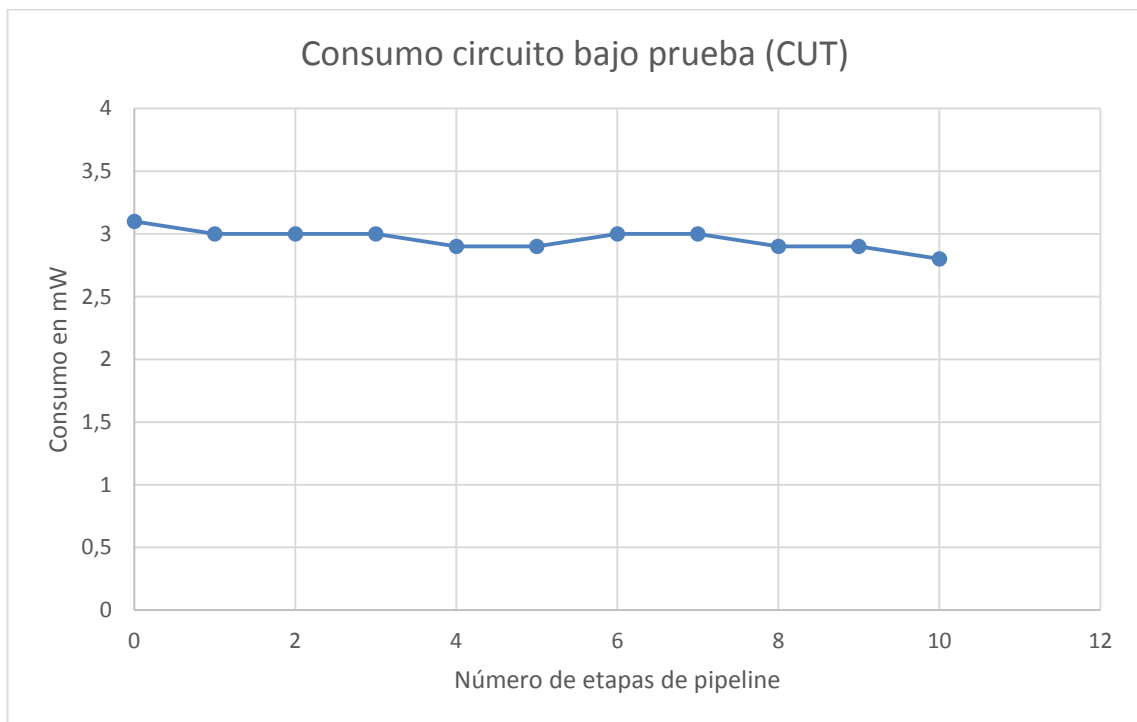
En los tres casos presentados puede observarse un comportamiento similar con respecto al número de etapas de *pipeline* implementadas para cada diseño. Existen discrepancias en los primeros pasos, que serán estudiadas en el siguiente capítulo dedicado a las conclusiones extraídas de los procesos de medida.



**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / Funcionando a 16 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	12,2	9,1	3,1
1	12,1	9,1	3
2	12,1	9,1	3
3	12,1	9,1	3
4	12	9,1	2,9
5	12	9,1	2,9
6	12,1	9,1	3
7	12,1	9,1	3
8	12	9,1	2,9
9	12	9,1	2,9
10	11,9	9,1	2,8

<sup>60</sup> Tabla 20: Resultados obtenidos de las mediciones



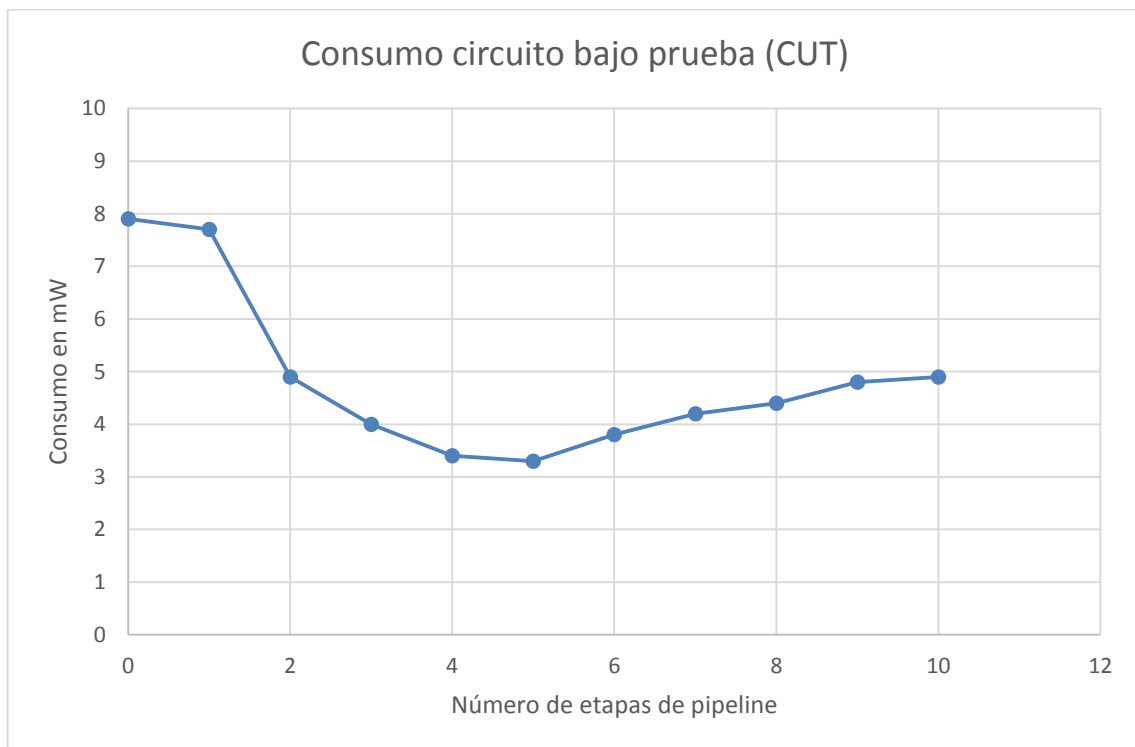
<sup>61</sup> Fig. 21: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados mediante multiplicadores embebidos funcionando a 33 y 50 MHz.

**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / Funcionando a 33 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	17,2	9,3	7,9
1	17	9,3	7,7
2	14,2	9,3	4,9
3	13,3	9,3	4
4	12,7	9,3	3,4
5	12,6	9,3	3,3
6	13,1	9,3	3,8
7	13,5	9,3	4,2
8	13,7	9,3	4,4
9	14,1	9,3	4,8
10	14,2	9,3	4,9

<sup>62</sup> Tabla 21: Resultados obtenidos de las mediciones



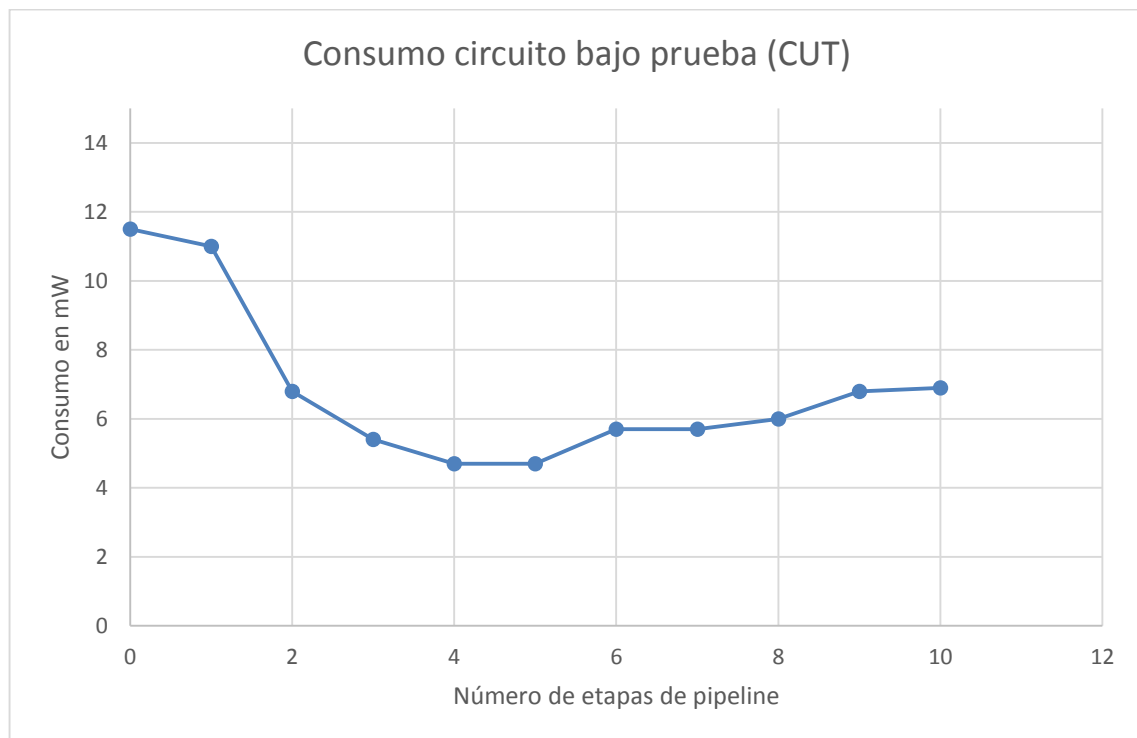
<sup>63</sup> Fig. 22: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados con mediante multiplicadores embebidos funcionando a 16 y 50 MHz.

**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / Funcionando a 50 MHz / Consumo medido a 19°C / Variando el número de etapas de 0 a 10 en pasos de 1 etapa**

Etapas de pipeline	Consumo en mW	Consumo auxiliares en mW	Consumo circuito bajo prueba (CUT) en mW
0	22,7	11,2	11,5
1	22,2	11,2	11
2	18	11,2	6,8
3	16,6	11,2	5,4
4	15,9	11,2	4,7
5	15,9	11,2	4,7
6	16,9	11,2	5,7
7	16,9	11,2	5,7
8	17,2	11,2	6
9	18	11,2	6,8
10	18,1	11,2	6,9

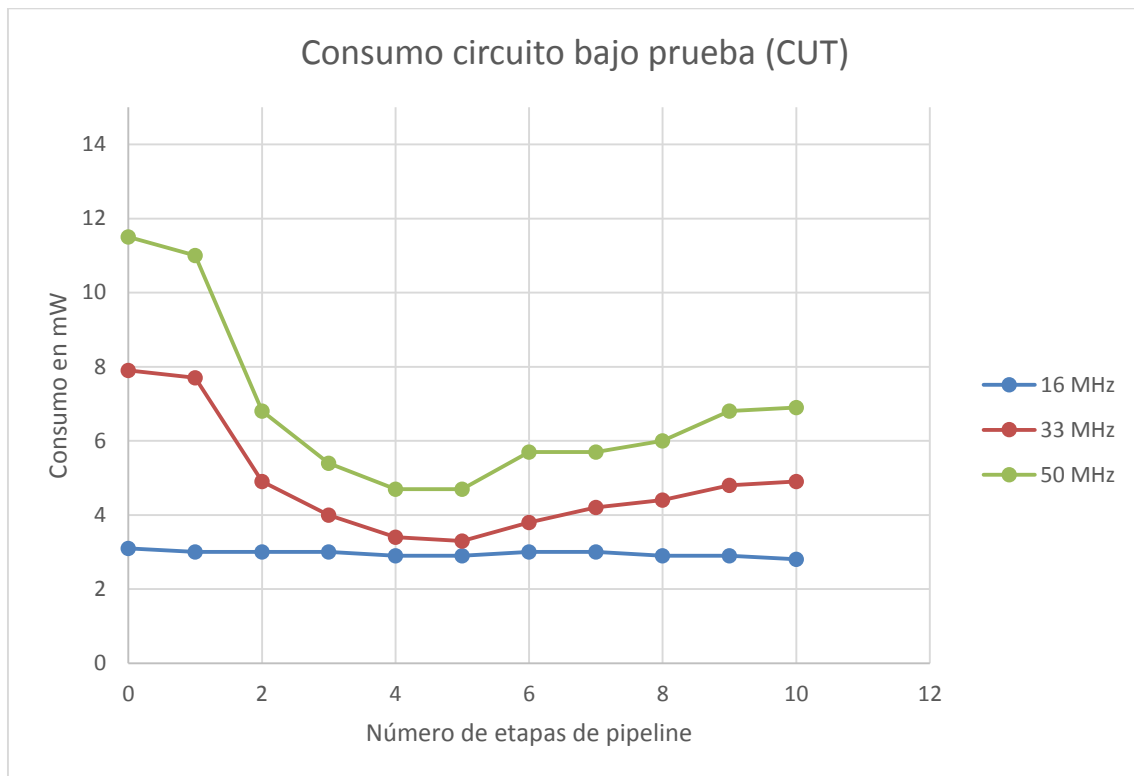
<sup>64</sup> Tabla 22: Resultados obtenidos de las mediciones



<sup>65</sup> Fig. 23: Representación gráfica del resultado de las mediciones

Estos datos serán comparados con los de los multiplicadores de 32x32 implementados con mediante multiplicadores de embebidos funcionando a 33 y 50 MHz.

**Comparación de multiplicadores de 32x32 / Implementado usando multiplicadores embebidos /  
Funcionando a 16, 33 y 50 MHz / Consumo medido a 19°C / Variando el número de etapas de 0  
a 10 en pasos de 1 etapa**



<sup>66</sup> Fig. 24: Representación gráfica del resultado de las mediciones

Para este caso se observa una curva similar para 33 y 50 MHz, mientras que para 16 MHz apenas se aprecian diferencias, ni tan siquiera puede establecerse una tendencia, pues las diferencias son mínimas.

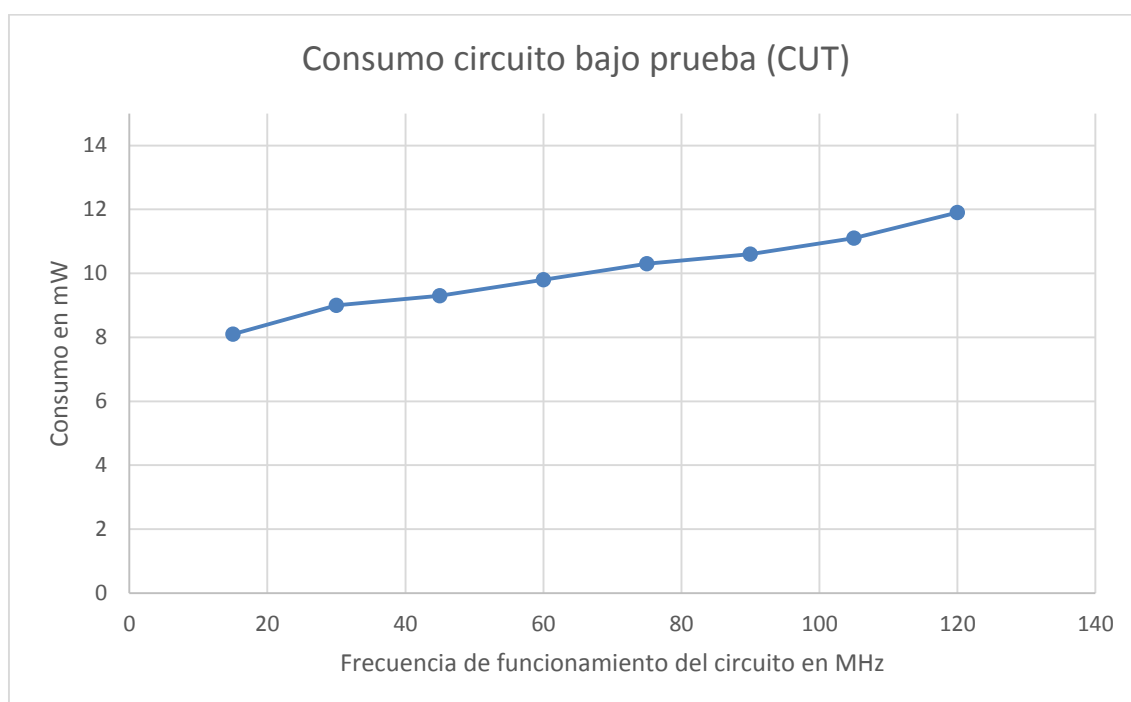
#### 4.3.2.2 Presentación de resultados de las mediciones relativas a la variación de la frecuencia de funcionamiento del circuito: contadores

En las mediciones relativas a contadores no se especifica el consumo de circuitería auxiliar debido a que éste es despreciable.

##### **Batería de 20 contadores binarios / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	8,1
30	9
45	9,3
60	9,8
75	10,3
90	10,6
105	11,1
120	11,9

<sup>67</sup> Tabla 23: Resultados obtenidos de las mediciones



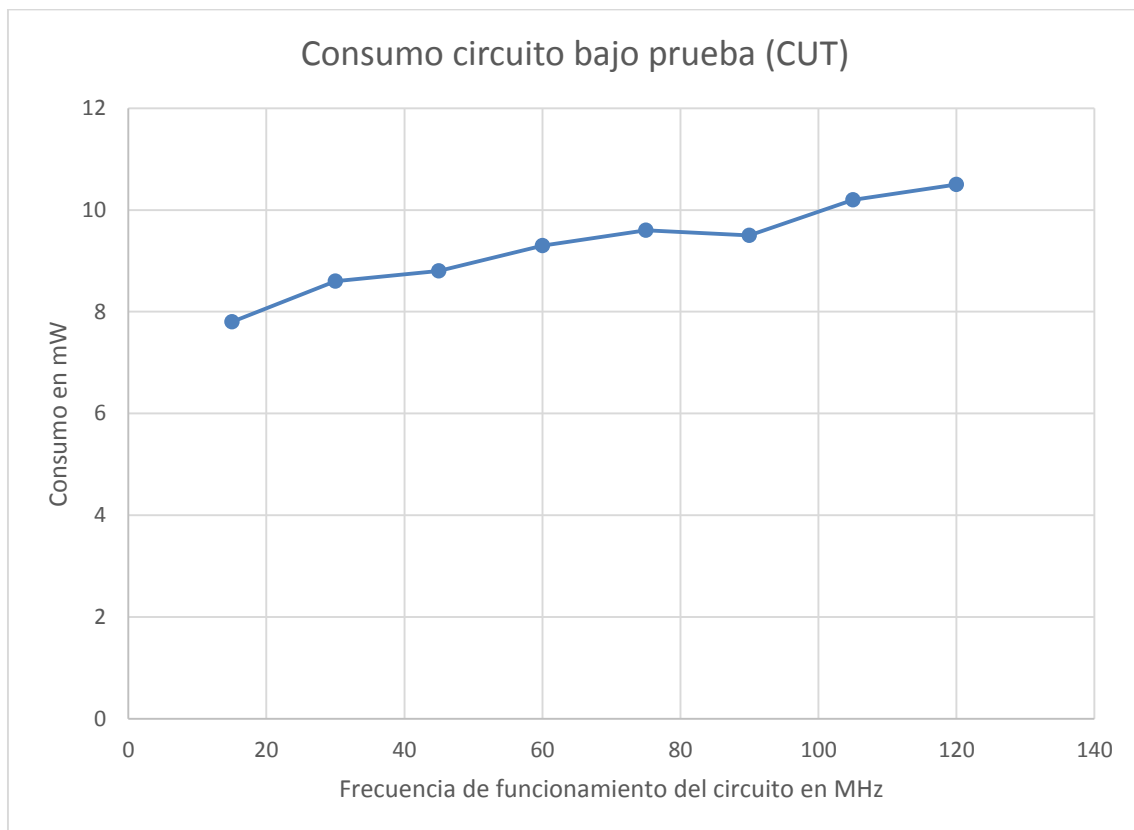
<sup>68</sup> Fig. 25: Representación gráfica del resultado de las mediciones

En este caso se aprecia una relación prácticamente lineal entre la frecuencia de funcionamiento del circuito y el consumo del mismo.

**Batería de 20 contadores tipo Gray / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	7,8
30	8,6
45	8,8
60	9,3
75	9,6
90	9,5
105	10,2
120	10,5

<sup>69</sup> Tabla 24: Resultados obtenidos de las mediciones



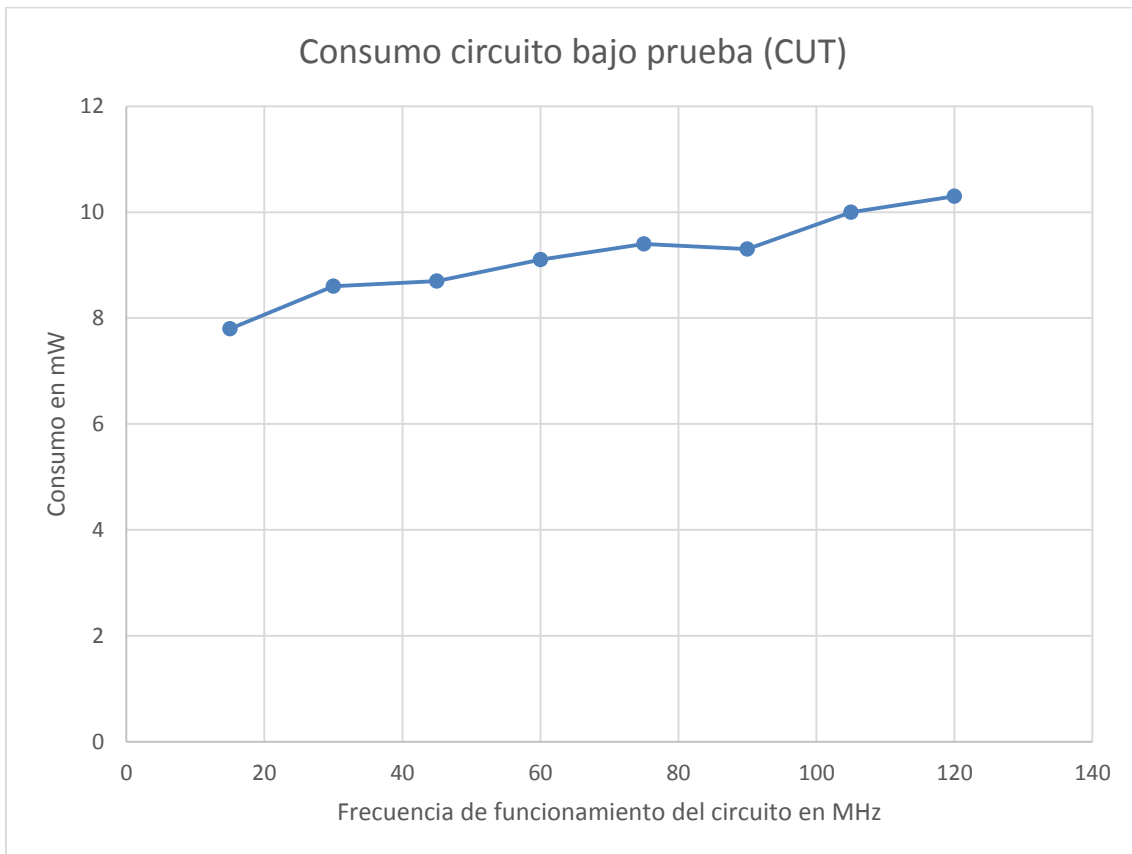
<sup>70</sup> Fig. 26: Representación gráfica del resultado de las mediciones

En este caso se aprecia una relación que, si bien se aleja más del modelo lineal, sigue manteniendo esa tendencia.

**Batería de 20 contadores tipo LFSR / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	7,8
30	8,6
45	8,7
60	9,1
75	9,4
90	9,3
105	10
120	10,3

<sup>71</sup> Tabla 25: Resultados obtenidos de las mediciones



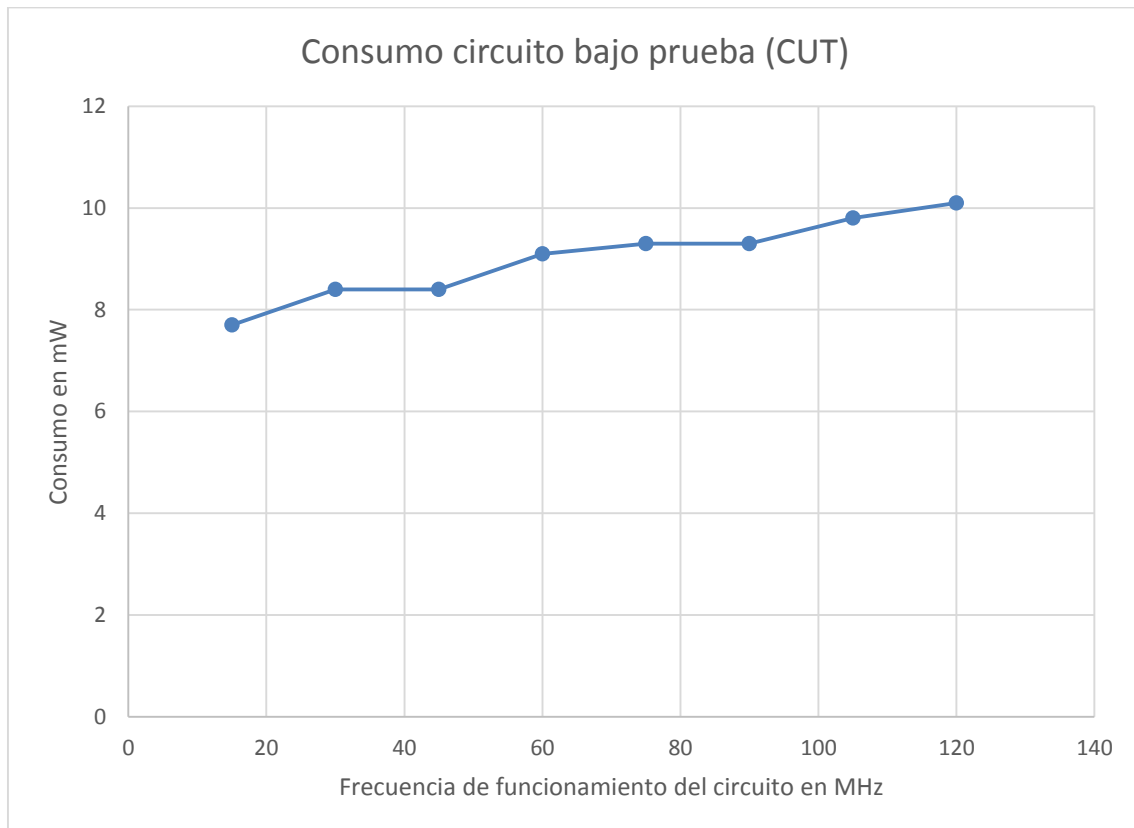
<sup>72</sup> Fig. 27: Representación gráfica del resultado de las mediciones

Se mantiene la tendencia lineal del caso anterior, con valores muy similares.

**Batería de 20 contadores tipo *One Hot* / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	7,7
30	8,4
45	8,4
60	9,1
75	9,3
90	9,3
105	9,8
120	10,1

<sup>73</sup> Tabla 26: Resultados obtenidos de las mediciones



<sup>74</sup> Fig. 28: Representación gráfica del resultado de las mediciones

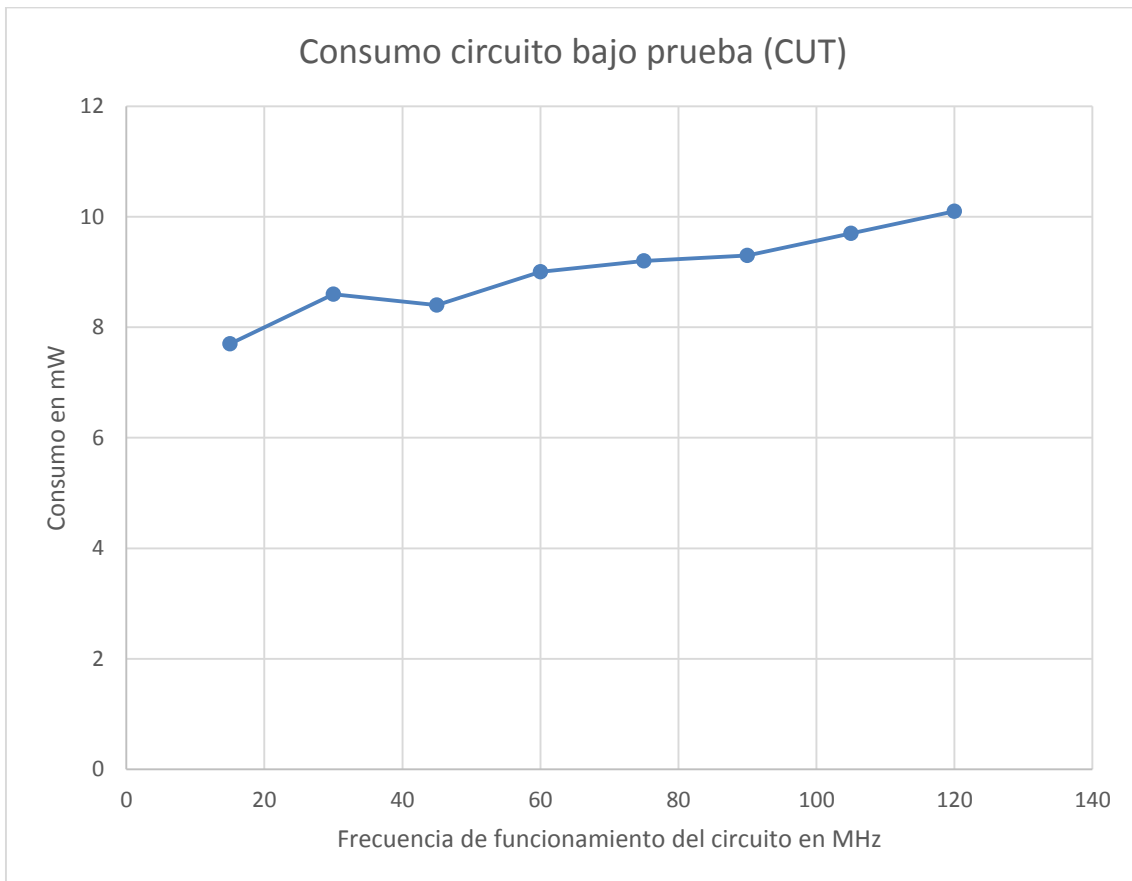
Los valores son muy similares a los de los contadores previos.



**Batería de 20 contadores tipo Zero Hot / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	7,7
30	8,6
45	8,4
60	9
75	9,2
90	9,3
105	9,7
120	10,1

<sup>75</sup> Tabla 27: Resultados obtenidos de las mediciones



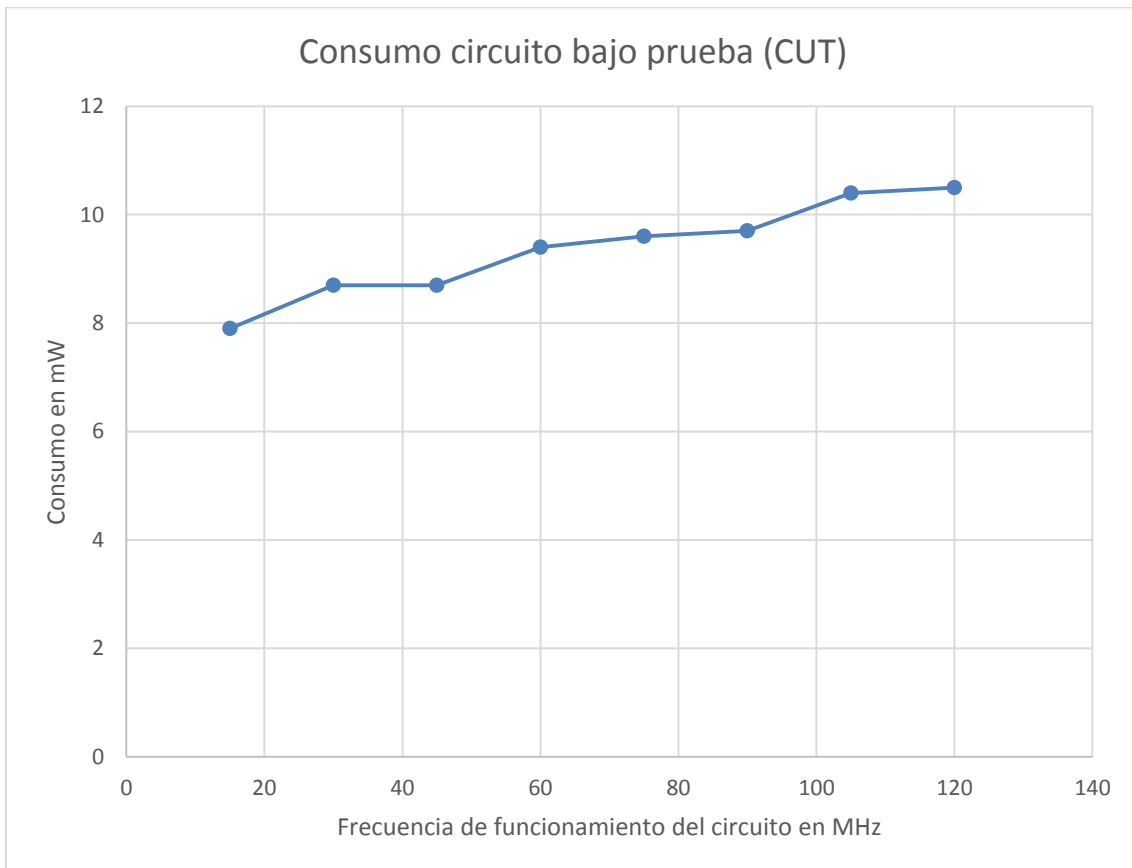
<sup>76</sup> Fig. 29: Representación gráfica del resultado de las mediciones

Los valores siguen manteniéndose similares a las medidas de los otros contadores.

**Batería de 20 contadores tipo Zero Hot / Consumo medido a 20°C / Variando la frecuencia de funcionamiento de 15 a 120 MHz en pasos de 15 MHz**

Frecuencia de funcionamiento en MHz	Consumo circuito bajo prueba (CUT) en mW
15	7,9
30	8,7
45	8,7
60	9,4
75	9,6
90	9,7
105	10,4
120	10,5

<sup>77</sup> Tabla 28: Resultados obtenidos de las mediciones



<sup>78</sup> Fig. 30: Representación gráfica del resultado de las mediciones

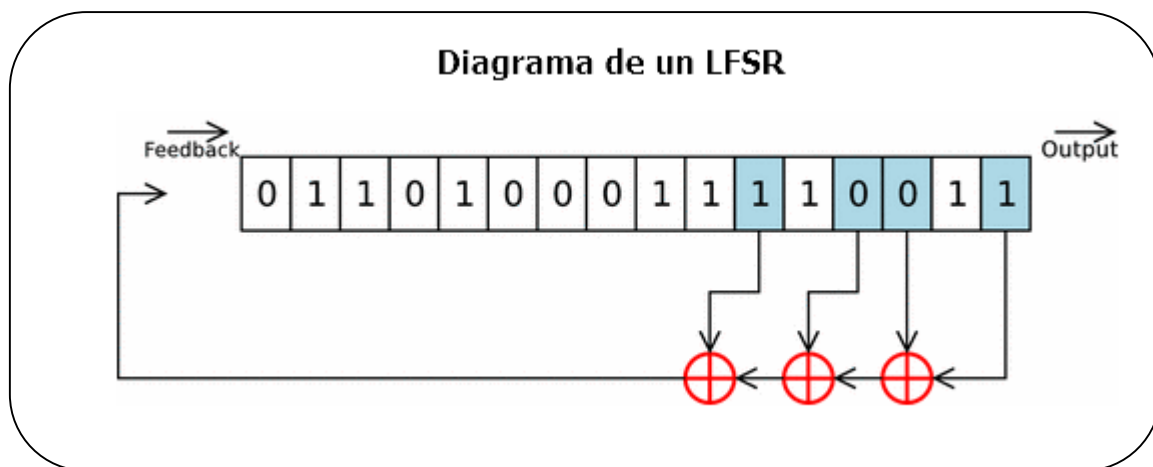
La tendencia lineal se mantiene de manera similar a la del resto de contadores.

### 4.3.3 Variación del algoritmo utilizado dentro del circuito

Siempre que se diseña un circuito, existe un propósito detrás del mismo. Es el diseñador el que debe decidir qué camino seguir para alcanzar dicho objetivo, y para ello normalmente existen múltiples opciones. Una misma funcionalidad puede desarrollarse mediante diferentes algoritmos, y cada uno de ellos puede implicar un consumo distinto.

Para esta sección se han utilizado diferentes contadores, cada uno de los cuales realiza la cuenta mediante un algoritmo diferente. Se ha variado la frecuencia de funcionamiento de los circuitos y se mostrará el consumo de cada uno de ellos a lo largo de esta serie de frecuencias. Dado que un único contador consume muy poco, las mediciones se han realizado sobre baterías de 20 contadores. Todos ellos, excepto el de tipo *Divide by 2*, ofrecen 128 bits a su salida. Los contadores que se han utilizado para este propósito son:

- **Contador binario:** este contador se limita a recorrer los números de 0 a  $2^{128} - 1$  mediante el sistema binario tradicional.
- **Contador tipo *Gray*:** los contadores tipo *Gray* realizan la cuenta de tal manera que un número y su consecutivo únicamente difieren en uno de sus dígitos.
- **Contador tipo *LFSR*:** el LFSR es un registro de desplazamiento que se retroalimenta linealmente, los estados futuros dependen de los estados anteriores, de tal manera que no se trata de un contador en el sentido estricto del término.

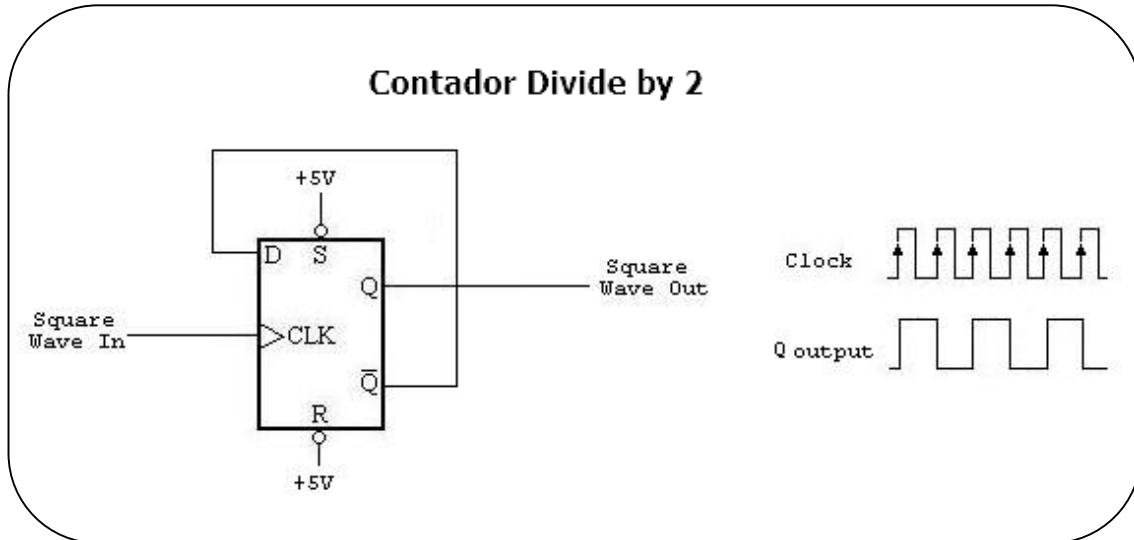


<sup>79</sup> Fig. 31: Diagrama de un contador *LFSR*

- **Contador tipo *One Hot*:** el contador *One Hot* comienza con todos sus bits a 0 y el último de ellos a 1. Este bit se va desplazando una posición a la izquierda en cada iteración de la cuenta de tal manera que en este caso sólo podrá contar hasta 127.
- **Contador tipo *Zero Hot*:** el contador *Zero Hot* funciona de manera análoga al presentado en el apartado anterior, el *One Hot*, sólo que en lugar de desplazar un 1 entre todos los demás bits que se encuentran a 0, hace justo lo contrario, desplazar un 0 entre 1s, de tal manera que igualmente sólo podrá contar desde 0 hasta  $n-1$ , siendo  $n$  el número de bits a su salida. En este caso, puede contar hasta 127.

<sup>79</sup> Kaushal Buch, Berkeley University, "Collaboration for Astronomic Signal Processing and Electronics Research", July 2012

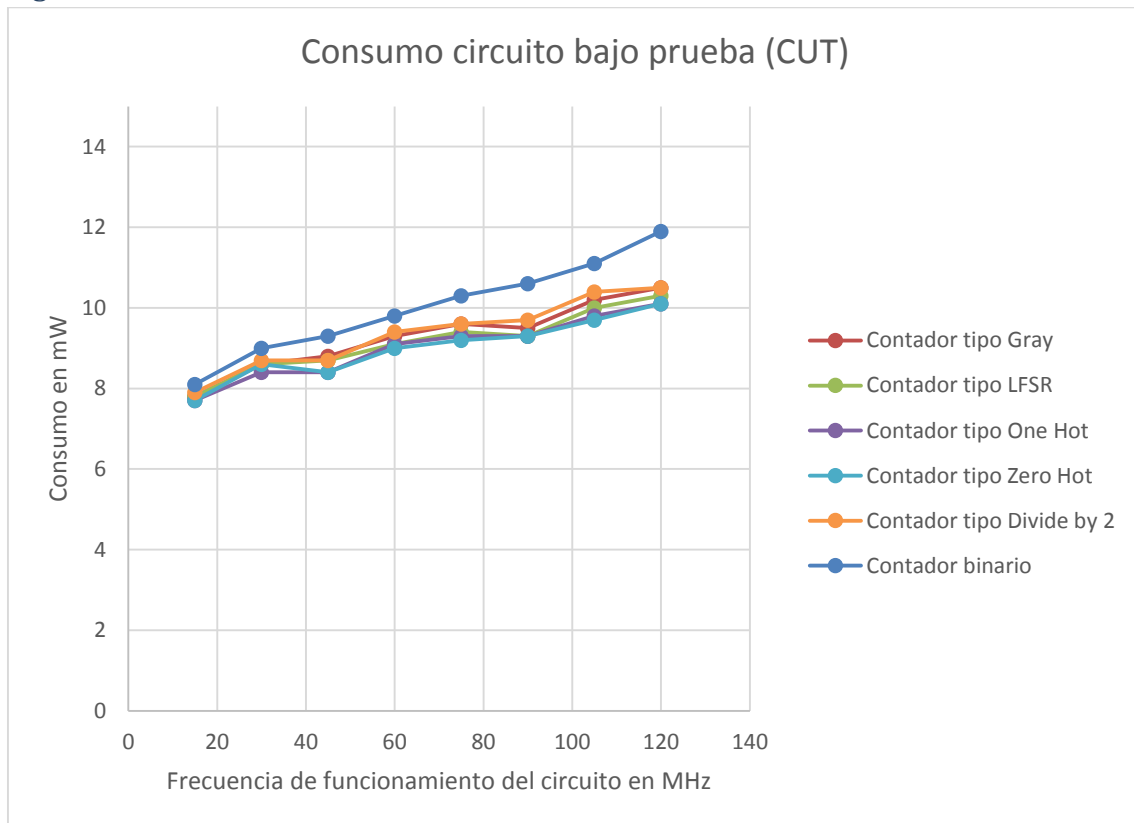
- **Contador tipo *Divide by 2*:** el contador *Divide by 2* no se trata de un contador al uso. A su salida hay un único bit que lo que hace es cambiar su valor cada vez que llega un nuevo flanco de reloj. De esta manera, ofrece a su salida una oscilación igual a la del CLK del sistema, pero a la mitad de su frecuencia. Es por ello que se le conoce como *Divide by 2*.



<sup>80</sup> Fig. 32: Diagrama de un contador *Divide by 2*

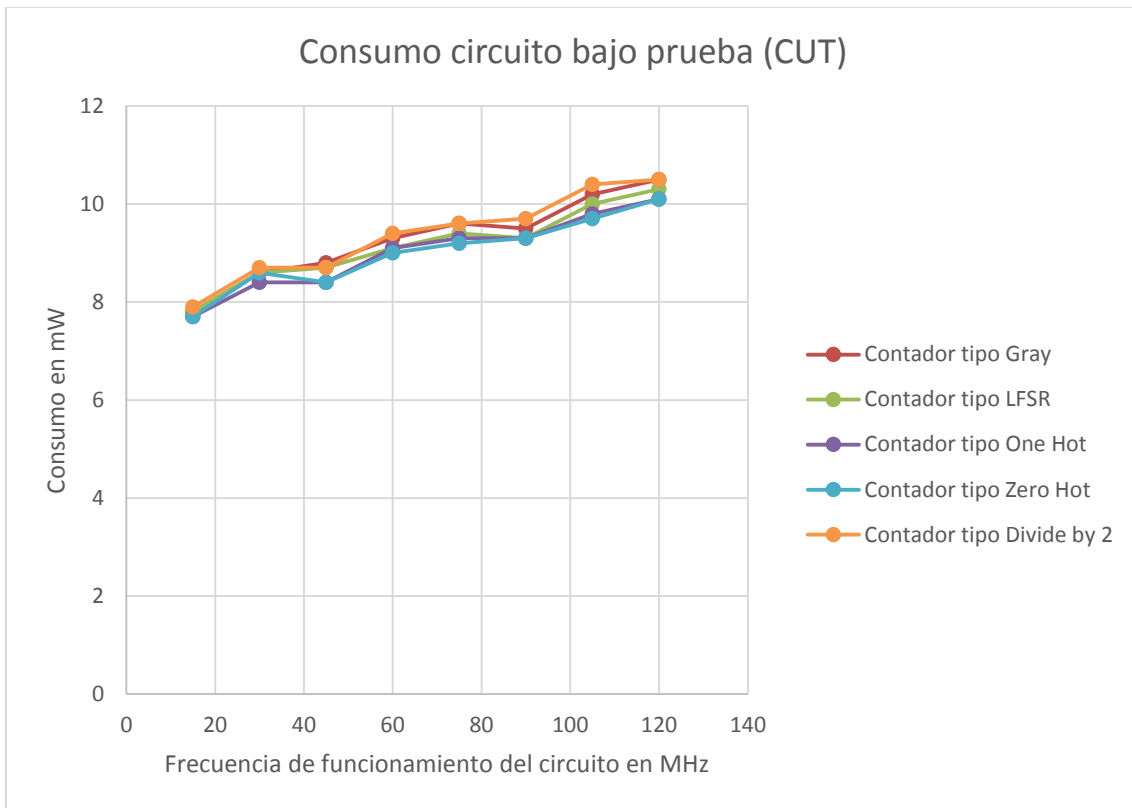
<sup>80</sup> D. Sculley, TUFTS University, "Electronic for Robotics", July 2004

#### 4.3.3.1 Presentación de resultados de las mediciones relativas a la variación del algoritmo utilizado dentro del circuito



<sup>81</sup> Fig. 33: Representación gráfica del resultado de las mediciones

En esta gráfica puede apreciarse cómo el consumo del contador tradicional, el binario, muestra un consumo ligeramente más rápido con la frecuencia que el del resto de contadores. Las posibles razones tras este hecho se estudiarán en el siguiente capítulo, dedicado a las conclusiones obtenidas en base a las mediciones realizadas.



<sup>82</sup> Fig. 34: Representación gráfica del resultado de las mediciones

Esta gráfica es simplemente un zoom de la gráfica anterior prescindiendo del contador binario de manera que puedan apreciarse mejor los consumos de los contadores tipo *Gray*, *LFSR*, *One Hot*, *Zero Hot* y *Divide by 2*. En ella se aprecia que la diferencia entre todos ellos es ínfima.

#### 4.3.4 Variación de la temperatura de la FPGA

En este apartado se muestra de manera experimental cómo la temperatura a la que se encuentra la FPGA afecta al consumo del diseño cargado en la misma. El rango de temperaturas que se puede utilizar para la experimentación viene dado por el tipo de FPGA con el que se está trabajando. En este caso, *Xilinx Spartan-6 XC6SLX16-CSC324C*.

La información que se necesita en este caso puede extraerse de este código que define el modelo de la FPGA. En el capítulo 3 se detalla qué significa cada una de las partes que componen este código, la parte que importa a efectos de temperatura es la última letra del mismo, la C. Esta C indica que la FPGA es de uso comercial, lo que significa que el rango de temperaturas en el que puede ser utilizada llega hasta los 85°C.

En este caso, el rango de temperaturas utilizado en las mediciones dentro de la estufa de secado va desde los 40 a los 80°C en pasos de 5°C. Se ha establecido el límite en 80°C para no llegar al límite de lo recomendado por el fabricante y evitar de esta forma posibles daños en la FPGA.

##### 4.3.4.1 Metodología del proceso de medición

El método utilizado en la medición resulta crítico en este apartado, debido a que el proceso de calentamiento de la estufa, así como el de la propia FPGA, requiere un tiempo para completarse en cada uno de sus pasos, no se produce de manera instantánea. Es decir, cada vez que se aumentaba la temperatura en 5°C, comenzaba un proceso de propagación del calor que debía terminar por completo para que las medidas obtenidas arrojasen un resultado válido.

Para ello, la propia estufa de secado cuenta con una herramienta de gran utilidad; el termómetro interno. Este termómetro interno permite monitorizar el aumento de la temperatura dentro de la estufa conforme avanza el tiempo una vez se ha ajustado la nueva temperatura deseada. De esta forma, puede establecerse con seguridad cuándo el interior de la estufa ha alcanzado una temperatura estable.

A pesar de la gran ayuda que proporciona esta herramienta a la hora de determinar en qué momento puede procederse a hacer la medición, la información que éste proporciona no puede tomarse como un dato definitivo por una razón muy sencilla; el hecho de que la temperatura dentro de la estufa sea estable no quiere decir que también lo sea en la FPGA.

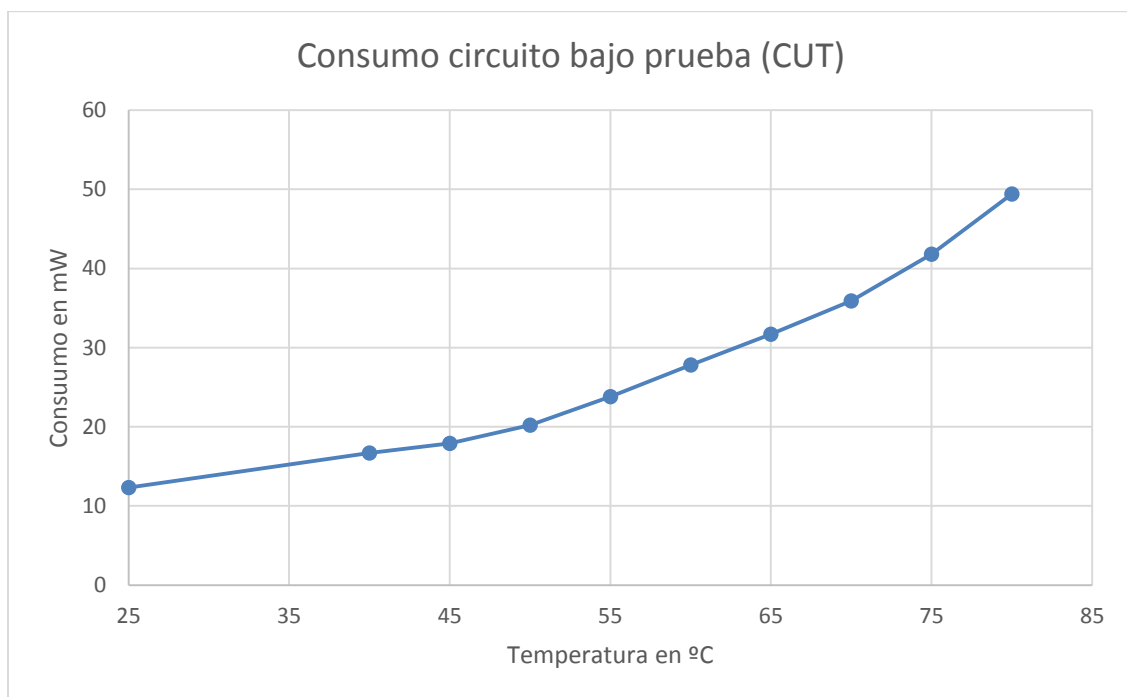
Para solucionar este inconveniente, se decidió observar cómo oscilaba la potencia consumida por la FPGA con una tendencia positiva conforme la temperatura de la misma se iba estabilizando una vez la de la estufa de secado ya lo había hecho. Mediante estas observaciones, se decidió que una vez se alcanzase la estabilidad de la temperatura dentro de la estufa, se esperaría una media de 10 minutos antes de realizar cada batería de medidas para garantizar que la FPGA había estabilizado también su temperatura. La elección del tiempo se corresponde con la observación, pues era una vez pasado este intervalo de tiempo, la oscilación de la potencia consumida dejaba claramente de mostrar una tendencia positiva y alcanzaba el carácter aleatorio propio de las demás mediciones realizadas. De hecho, esta estabilidad se lograba unos minutos antes, pero con el fin de asegurar la validez de las mediciones, se decidió esperar unos minutos más.

#### 4.3.4.2 Presentación de resultados de las mediciones relativas a la variación de la temperatura de la FPGA

##### **Batería de 20 contadores binarios / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	12,3
40	16,7
45	17,9
50	20,2
55	23,8
60	27,8
65	31,7
70	35,9
75	41,8
80	49,4

<sup>83</sup> Tabla 29: Resultados obtenidos de las mediciones



<sup>84</sup> Fig. 35: Representación gráfica del resultado de las mediciones

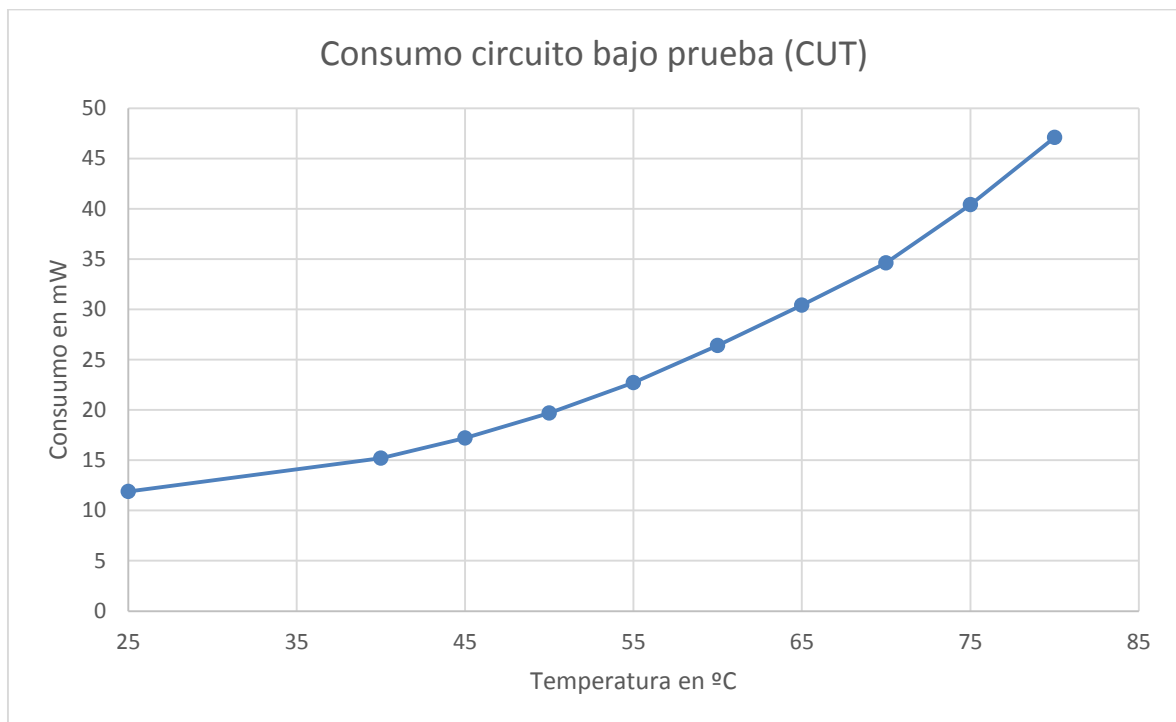
En este caso se aprecia un aumento que se asemeja al modelo exponencial del consumo conforme aumenta la temperatura de la FPGA.



**Batería de 20 contadores tipo Gray / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	11,9
40	15,2
45	17,2
50	19,7
55	22,7
60	26,4
65	30,4
70	34,6
75	40,4
80	47,1

<sup>85</sup> Tabla 30: Resultados obtenidos de las mediciones



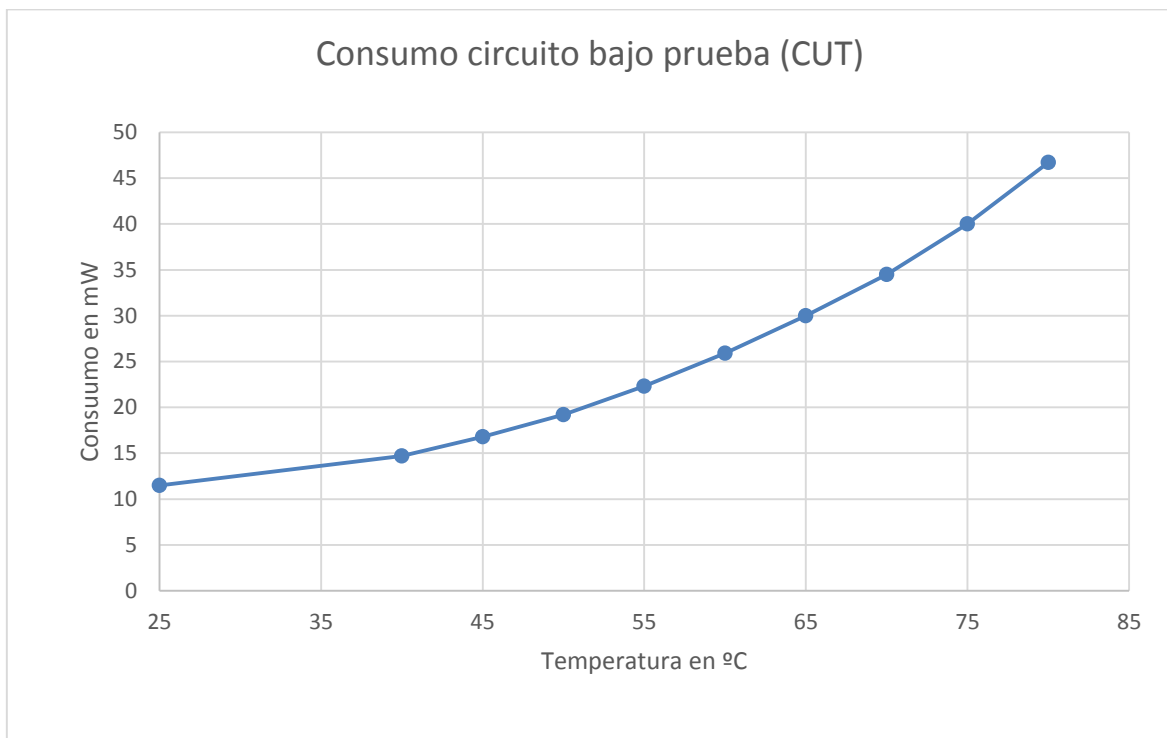
<sup>86</sup> Fig. 36: Representación gráfica del resultado de las mediciones

En este caso se aprecia nuevamente un aumento del consumo con respecto a la temperatura a medio camino entre una proporción lineal y exponencial.

**Batería de 20 contadores tipo One Hot / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	11,5
40	14,7
45	16,8
50	19,2
55	22,3
60	25,9
65	30
70	34,5
75	40
80	46,7

<sup>87</sup> Tabla 31: Resultados obtenidos de las mediciones



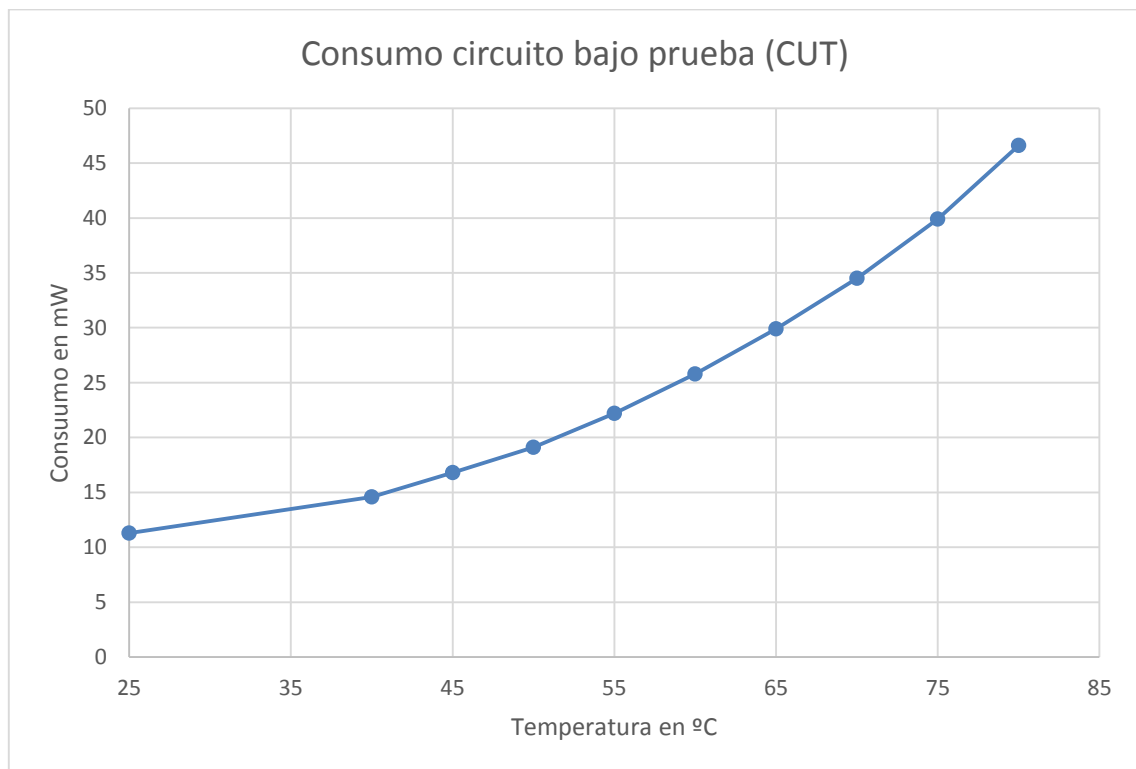
<sup>88</sup> Fig. 37: Representación gráfica del resultado de las mediciones

Este caso resulta prácticamente idéntico al mostrado en el apartado anterior.

**Batería de 20 contadores tipo Zero Hot / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	11,3
40	14,6
45	16,8
50	19,1
55	22,2
60	25,8
65	29,9
70	34,5
75	39,9
80	46,6

<sup>89</sup> Tabla 32: Resultados obtenidos de las mediciones



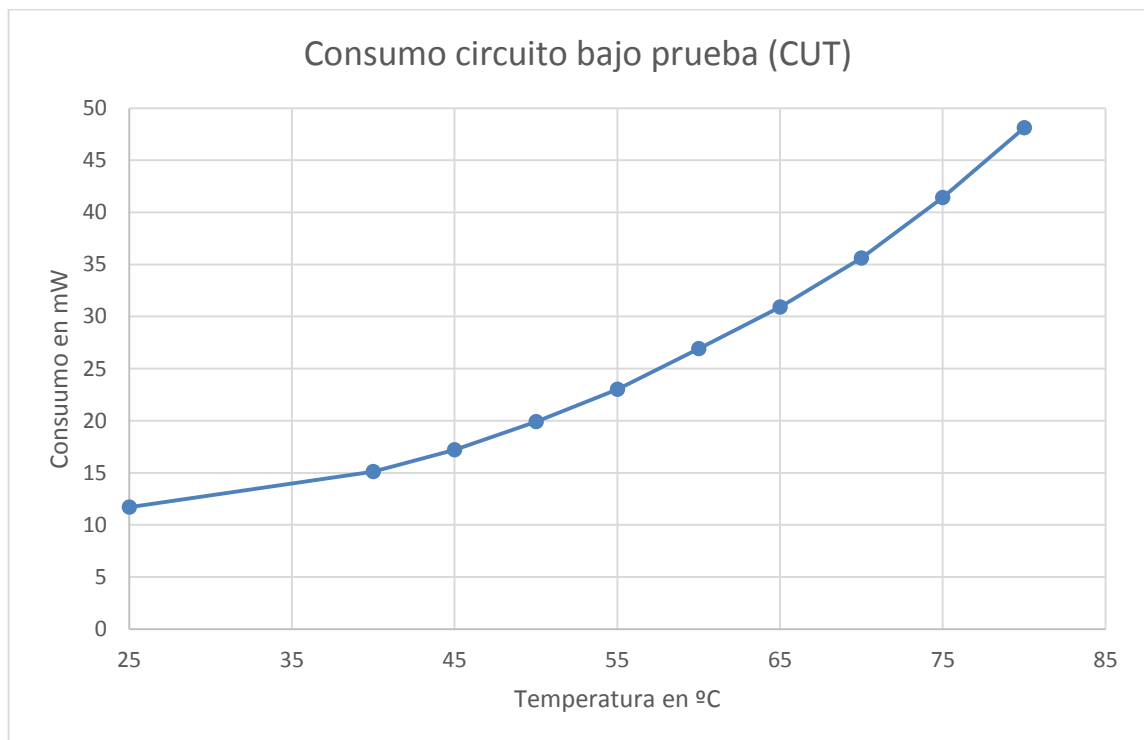
<sup>90</sup> Fig. 38: Representación gráfica del resultado de las mediciones

Nuevamente, este contador muestra un comportamiento muy similar a los anteriores.

**Batería de 20 contadores tipo *Divide by 2* / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	11,7
40	15,1
45	17,2
50	19,9
55	23
60	26,9
65	30,9
70	35,6
75	41,4
80	48,1

<sup>91</sup> Tabla 33: Resultados obtenidos de las mediciones



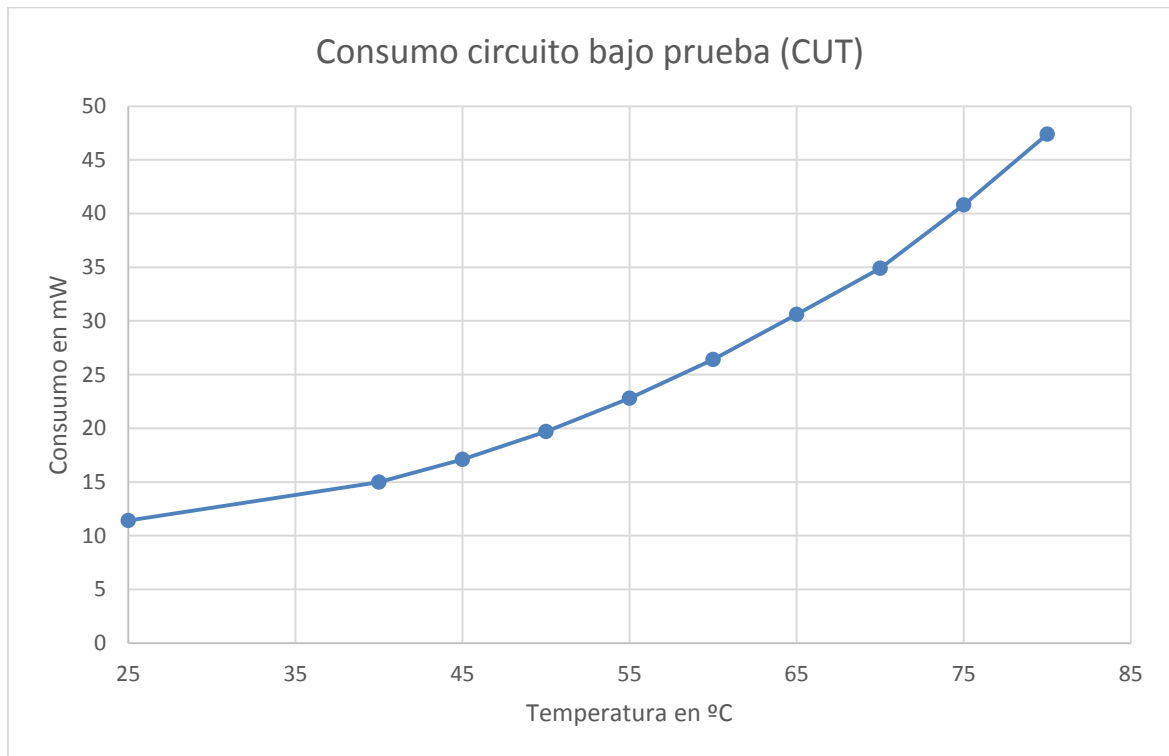
<sup>92</sup> Fig. 39: Representación gráfica del resultado de las mediciones

El comportamiento se mantiene igual en todos los contadores, independientemente del algoritmo utilizado para realizar la cuenta.

**Batería de 20 contadores tipo LFSR / Funcionando a 120 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo (mW)
25	11,4
40	15
45	17,1
50	19,7
55	22,8
60	26,4
65	30,6
70	34,9
75	40,8
80	47,4

<sup>93</sup> Tabla 34: Resultados obtenidos de las mediciones



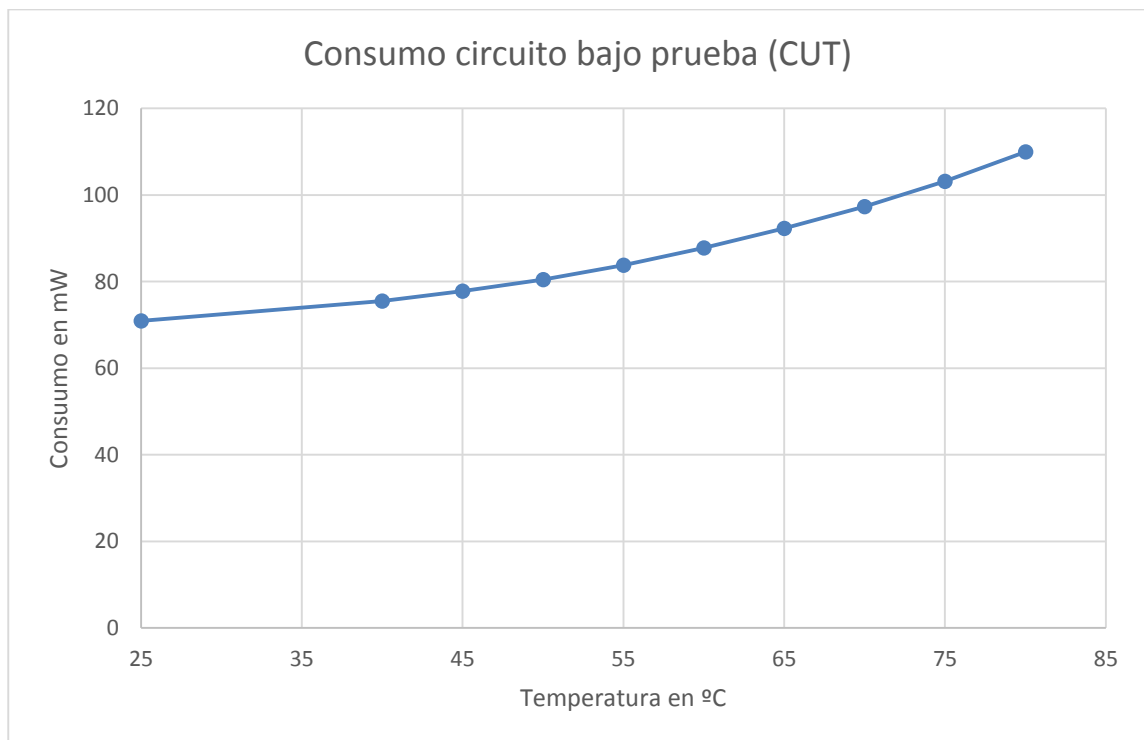
<sup>94</sup> Fig. 40: Representación gráfica del resultado de las mediciones

Una vez más, el consumo se mueve entre los mismos valores y muestra la misma tendencia.

**Multiplicador de 32x32 / Implementado usando LUTs / Funcionando a 66 MHz / Caso combinacional / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	70,9
40	75,5
45	77,8
50	80,5
55	83,8
60	87,8
65	92,3
70	97,3
75	103,2
80	110

<sup>95</sup> Tabla 35: Resultados obtenidos de las mediciones



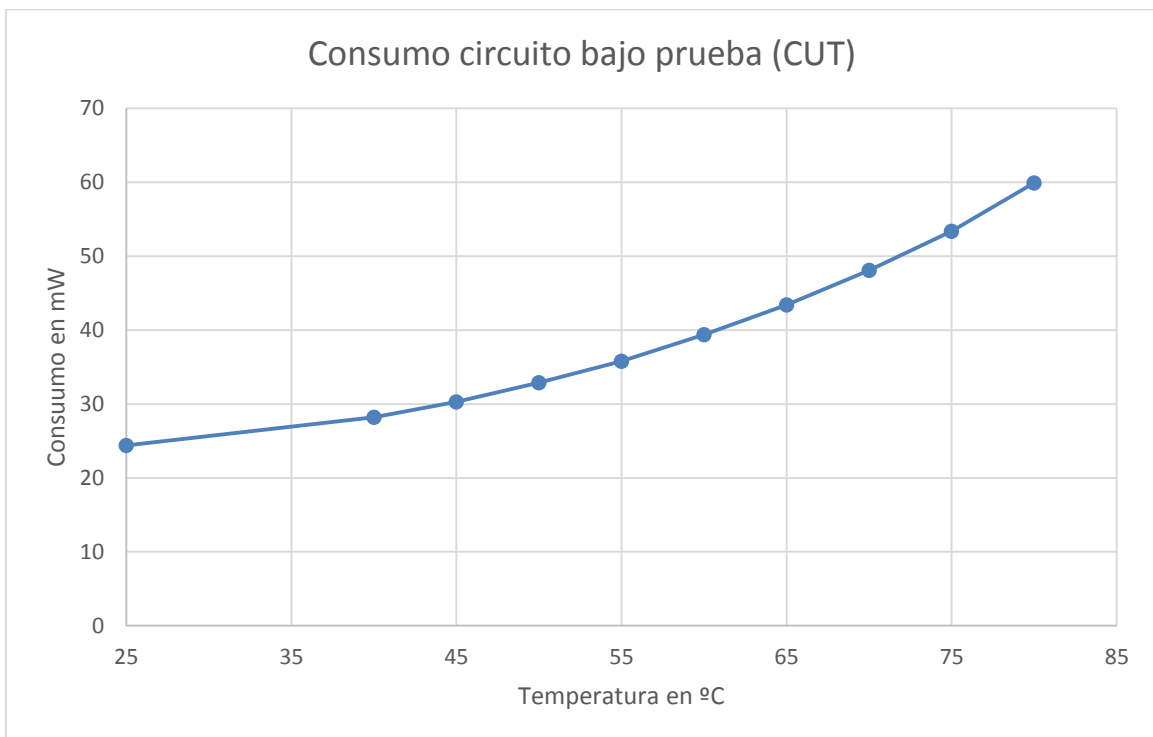
<sup>96</sup> Fig. 41: Representación gráfica del resultado de las mediciones

En este caso, el consumo muestra una tendencia exponencial con respecto a la temperatura.

**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / Caso combinacional / Funcionando a 66 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	24,4
40	28,2
45	30,3
50	32,9
55	35,8
60	39,4
65	43,4
70	48,1
75	53,4
80	59,9

<sup>97</sup> Tabla 36: Resultados obtenidos de las mediciones



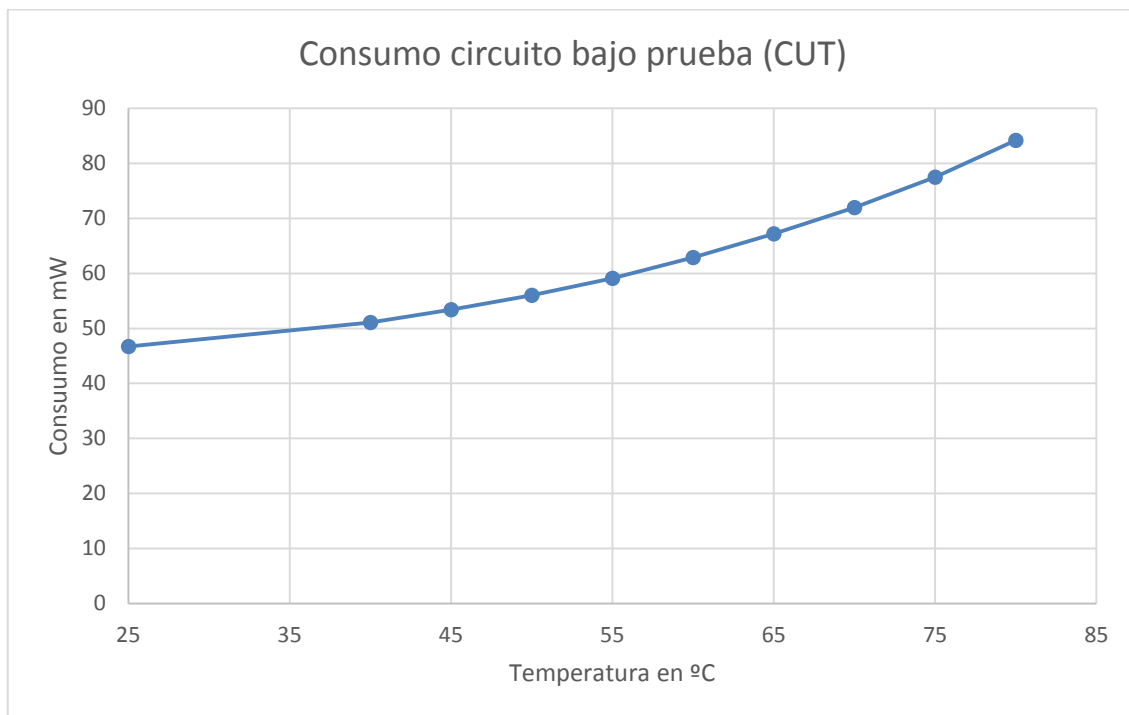
<sup>98</sup> Fig. 42: Representación gráfica del resultado de las mediciones

La implementación mediante multiplicadores embebidos implica un consumo mucho menor, pero la tendencia se mantiene con respecto al caso anterior.

**Multiplicador de 32x32 / Implementado usando LUTs / 5 etapas de pipeline (caso óptimo) /  
Funcionando a 66 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta  
80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	46,7
40	51,1
45	53,4
50	56
55	59,1
60	62,9
65	67,2
70	72
75	77,5
80	84,2

<sup>99</sup> Tabla 37: Resultados obtenidos de las mediciones



<sup>100</sup> Fig. 43: Representación gráfica del resultado de las mediciones

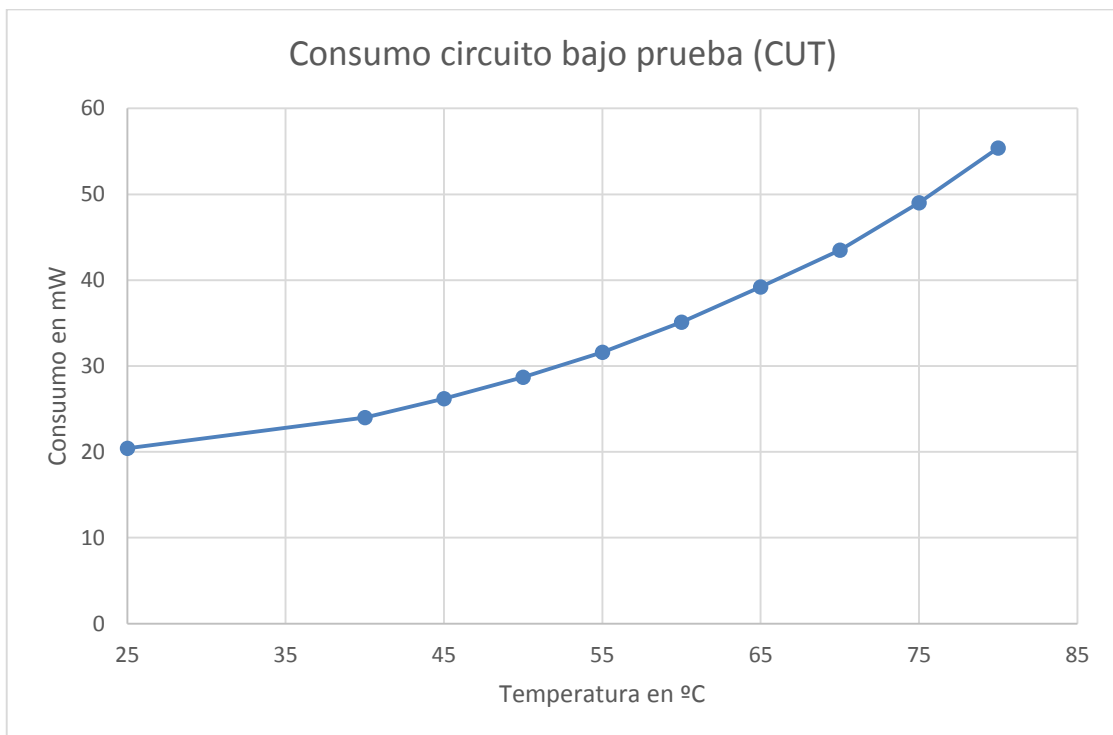
Una vez más, se comprueba cómo el consumo muestra un aumento significativo conforme sube la temperatura.



**Multiplicador de 32x32 / Implementado usando multiplicadores embebidos / 8 etapas de pipeline (caso óptimo) / Funcionando a 66 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	20,4
40	24
45	26,2
50	28,7
55	31,6
60	35,1
65	39,2
70	43,5
75	49
80	55,4

<sup>101</sup> Tabla 38: Resultados obtenidos de las mediciones



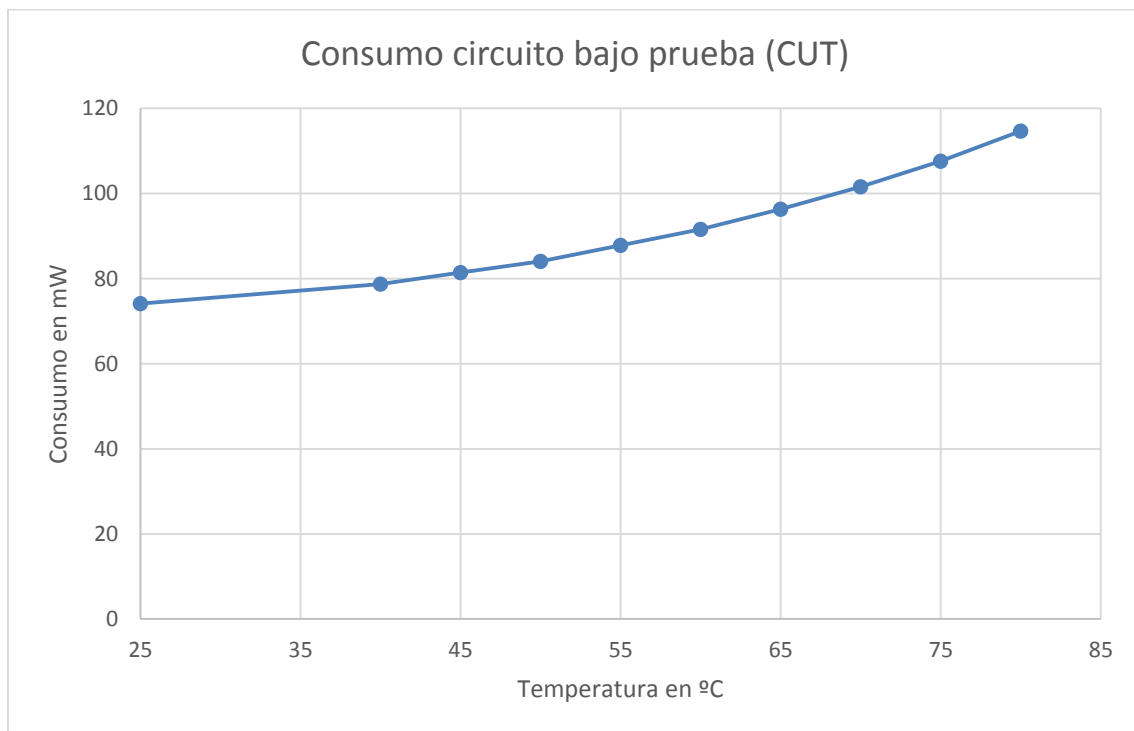
<sup>102</sup> Fig. 44: Representación gráfica del resultado de las mediciones

En este caso, el consumo del circuito mantiene su tendencia exponencial.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos / Caso combinacional / Funcionando a 50 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	74,1
40	78,7
45	81,4
50	84,1
55	87,8
60	91,6
65	96,3
70	101,6
75	107,6
80	114,7

<sup>103</sup> Tabla 39: Resultados obtenidos de las mediciones



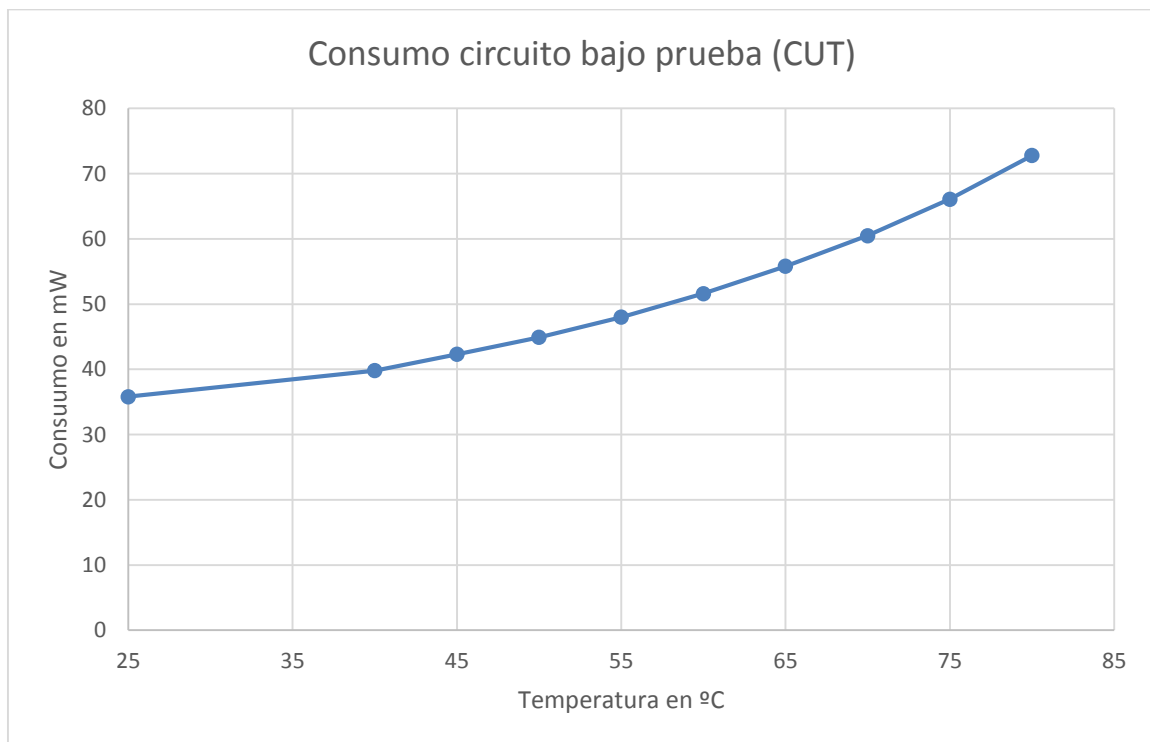
<sup>104</sup> Fig. 45: Representación gráfica del resultado de las mediciones

La tendencia se mantiene similar a los casos anteriores en los que los multiplicadores eran de menor tamaño.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos / 25 etapas de pipeline (caso óptimo) / Funcionando a 50 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	35,8
40	39,8
45	42,3
50	44,9
55	48
60	51,6
65	55,8
70	60,5
75	66,1
80	72,8

<sup>105</sup> Tabla 40: Resultados obtenidos de las mediciones



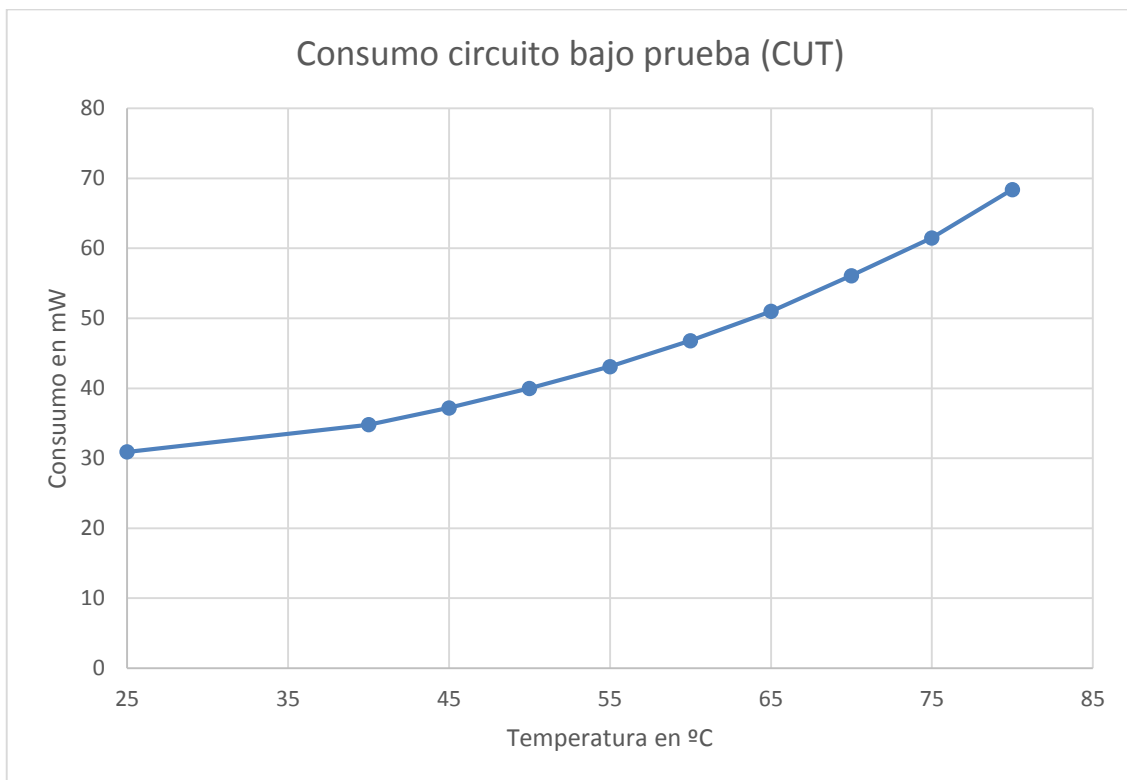
<sup>106</sup> Fig. 46: Representación gráfica del resultado de las mediciones

Nuevamente, la variación del consumo muestra una tendencia similar a la exponencial conforme aumenta la temperatura.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos/ Caso combinacional / Funcionando a 16 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	30,9
40	34,8
45	37,2
50	40
55	43,1
60	46,8
65	51
70	56,1
75	61,5
80	68,4

<sup>107</sup> Tabla 41: Resultados obtenidos de las mediciones



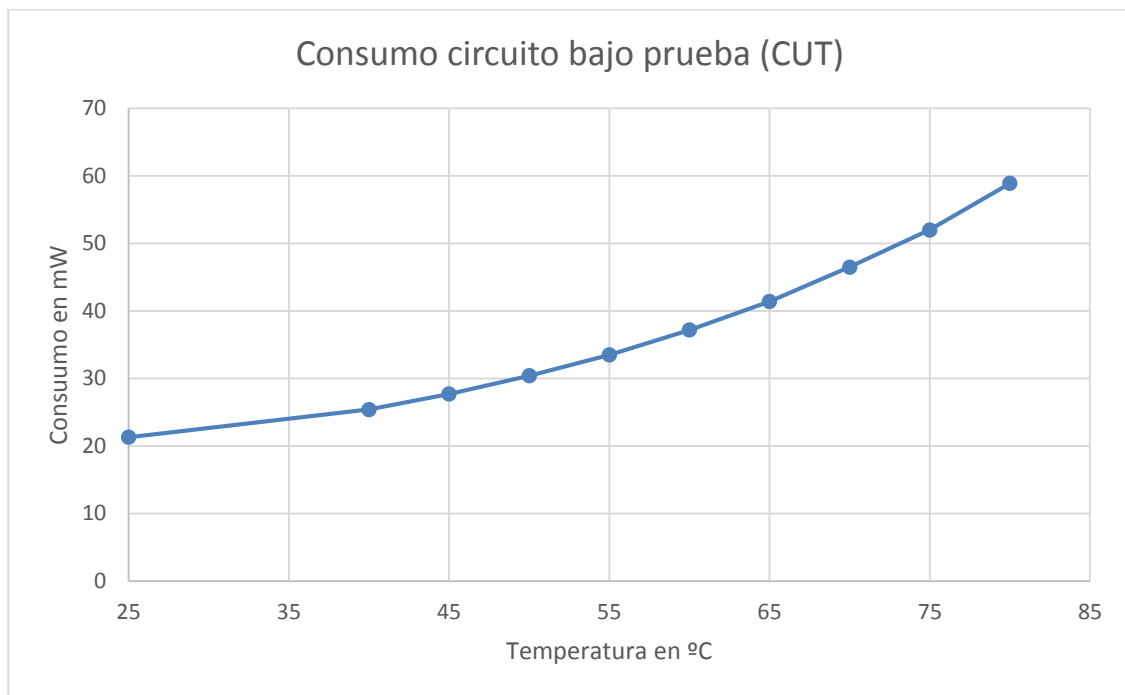
<sup>108</sup> Fig. 47: Representación gráfica del resultado de las mediciones

La tendencia es similar en este caso, con una disminución del consumo debida a la reducción de la frecuencia de funcionamiento del circuito.

**Multiplicador de 64x64 / Implementado usando multiplicadores embebidos/ 25 etapas de pipeline (caso óptimo) / Funcionando a 16 MHz / Variando la temperatura desde 25°C (temperatura ambiente) hasta 80°C en pasos de 5°C (primer paso de 15°C)**

Temperatura (°C)	Consumo total (mW)
25	21,3
40	25,4
45	27,7
50	30,4
55	33,5
60	37,2
65	41,4
70	46,5
75	52
80	58,9

<sup>109</sup> Tabla 42: Resultados obtenidos de las mediciones



<sup>110</sup> Fig. 48: Representación gráfica del resultado de las mediciones

Todos los multiplicadores en todas las circunstancias muestran una dependencia similar entre su consumo y su temperatura.

# Capítulo 5 – Conclusiones y líneas de trabajo futuro

---

En este último capítulo se estudian los resultados presentados a lo largo del anterior en búsqueda de conclusiones en lo referente al comportamiento del consumo con respecto a las otras variables estudiadas.

## 5.1 Comportamiento del consumo con respecto al número de etapas de pipeline

A lo largo de todas las mediciones realizadas en torno al número de etapas de pipeline, pueden establecer las siguientes conclusiones:

- La implementación de *pipeline* en un circuito reduce, en líneas generales, el consumo del mismo con respecto al caso puramente combinacional.
- La reducción del consumo no guarda una relación directa con el número de etapas de *pipeline* implementadas. El consumo decrece rápidamente al principio, pero conforme se divide el circuito en más etapas el consumo se estabiliza o incluso aumenta ligeramente.
- La recomendación de número óptimo de etapas de *pipeline* que hace la herramienta *Xilinx ISE Design Suite 14.6* no se corresponde con el consumo mínimo, por lo que forzosamente contempla otros parámetros como pueden ser velocidad de operación, tamaño o rendimiento.

## 5.2 Comportamiento del consumo con respecto a la frecuencia de funcionamiento de los circuitos

En lo referente a la frecuencia, se han realizado medidas contemplando únicamente cómo ésta afecta al consumo, pero, enlazando con el apartado anterior, también estudiando cómo su variación afecta a circuitos con distinto número de etapas de *pipeline*. Las conclusiones extraídas son las siguientes:

- En términos generales, el consumo aumenta con la frecuencia de tal manera que dicho crecimiento se asemeja considerablemente al caso lineal.
- Para circuitos implementados mediante LUTs, se aprecia que el comportamiento del consumo conforme se aumenta el número de etapas de *pipeline* se mantiene similar en todos los casos independientemente de la frecuencia de funcionamiento del circuito, si bien es cierto que a menor frecuencia, menor es la fluctuación del consumo.
- Para circuitos implementados mediante multiplicadores embebidos, no directamente sobre búsqueda en *Lookup Tables*, la dependencia entre el consumo y el número de etapas de *pipeline* se reduce notablemente conforme se disminuye la frecuencia de operación del circuito.
- El tamaño de los circuitos no afecta a los comportamientos descritos en los puntos anteriores.

### 5.3 Comportamiento del consumo con respecto al algoritmo utilizado en el circuito

En este caso se han utilizado diferentes algoritmos para implementar baterías de 20 contadores. Se ha podido observar que:

- El caso estándar, el del contador binario proporcionado por la herramienta *Xilinx ISE Design Suite 14.6*, consume ligeramente más que los contadores que utilizan otros algoritmos.
- Los contadores basados en los demás algoritmos muestran un consumo muy similar entre sí.
- Se puede establecer que sí existe una dependencia entre el consumo de un circuito u su algoritmo interno, aunque esta dependerá enormemente de las características de cada caso particular y, por ello, resulta imposible de modelar.

### 5.4 Comportamiento del consumo con respecto a la temperatura a la que se encuentra el circuito

Gracias al uso de la estufa de secado *Selecta Digithreat* se ha podido modelar la relación entre la temperatura de un circuito y su consumo, comprobando a su vez las interacciones entre la temperatura y otras magnitudes. Las conclusiones extraídas a este respecto son:

- El consumo de los contadores aumenta significativamente con la temperatura, siguiendo una tendencia que parece ser exponencial según los datos obtenidos e independientemente del algoritmo utilizado.
- En el caso de los multiplicadores, independientemente de su tamaño, estructura interna o etapas de *pipeline*, el consumo crece de manera exponencial conforme lo hace la temperatura, y a un ritmo similar al de los contadores.
- El tamaño de los circuitos no afecta a los puntos anteriormente descritos.

### 5.5 Búsqueda de resultados vs. cálculo de resultados

A lo largo de las diferentes mediciones realizadas se han implementado circuitos tanto mediante *Lookup Tables* como sobre bloques DSP implementados en silicio (multiplicadores embebidos).

El funcionamiento de las LUTs es sencillo. Se trata de una estructura de datos que sustituye a la una tabla que implemente directamente una función lógica, de tal manera que al introducir una entrada en el circuito, en lugar de realizarse la operación correspondiente, se utiliza ese valor de entrada como índice de búsqueda del contenido de una tabla que contiene el resultado que se busca.

Frente a este sistema de búsqueda de resultados en función de un índice, se encuentra el del cálculo directo, o bien lógico o bien aritmético, de la operación especificada en base a las entradas del circuito.

Por lo que se ha podido observar a lo largo de este estudio, la utilización de LUTs siempre acarrea un mayor consumo, independientemente de las demás variables consideradas.

## 5.5 Líneas de trabajo futuro

Este proyecto se centra en estudiar las relaciones entre los diferentes parámetros que conformar las circunstancias particulares de un circuito y el consumo final del mismo. Las líneas de trabajo futuro que puedan desarrollarse a partir de este punto pasan por la contemplación de parámetros adicionales a los trabajados en este estudio, el uso de otro tipo de circuitos, o bien en la adopción de un nuevo enfoque en alguno de los puntos desarrollados.

Existe la posibilidad de trabajar con tecnología distinta a la de las FPGAs, como podría ser las ASICs, y comparar los resultados obtenidos para los casos aquí mostrados con los que hipotéticamente se obtendrían en ese caso.

También cabe la posibilidad de centrar análisis futuros en puntos que en este caso sólo se han mencionado por encima, como pueden ser el tamaño de los circuitos, el número de instancias de los mismos o la implementación mediante LUTs frente a la implementación sobre bloques DSP.

Por último, en este trabajo se ha contemplado la temperatura como parámetro, pero únicamente con temperaturas más altas que la ambiente. Podría resultar interesante el estudio del consumo de los diferentes circuitos al bajar la temperatura de los mismos mediante un sistema de refrigeración, observar como varía el consumo con la bajada de la temperatura y analizar qué consumo presenta a su vez dicho sistema.



## Referencias

- [1] Jan M. Rabaey, "Low Power Design Essentials", 2009
- [2] Vivek De & Shekhar Borkar, "Technology and Design Challenges for Low Power and High Performance", 1999
- [3] Andrés David García García, "Etude sur l'estimation et l'optimisation de la consommation de puissance des circuits logiques programables du type FPGA", 2007
- [4] Massoud Pedram, "Power Minimization in IC Design: Principles and Applications", January 1996
- [5] José Ramón Cancelo, "Modelización del efecto de temperatura en el consumo de electricidad: un ejercicio de búsqueda de especificación en relaciones termodinámicas no lineales", 1996
- [6] Eduardo Boemo, Juan Pablo Oliver & Gabriel Caffarena, "Tracking the Pipelining-Power Rule Among the FPGA Technical Literature", September 2013
- [7] University of Washington, "Pipelining CSE 410 Computer Systems", Spring 2007
- [8] Universidad Tecnológica de Pereira, "Consideraciones de Diseño Estático y Dinámico para Convertidores CC-CC", August 2009
- [9] Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González, Diego Mateo & Francesc Moll, "Diseño de circuitos y sistemas integrados", 2009
- [10] Gustavo Sutter & Eduardo Boemo, "Experiments in Low Power FPGA Design", 2007
- [11] Waed Ibrahim Mahmoud Al-shaqareen, "Pipeline & Data Hazard", November 2012
- [13] Arturo Sosa, "Las Comunicaciones", September 2006
- [14] Vasantha Kumar, N.S. Murthy Sharma, K. Lal Kishore y A. Rajakumari, "Selective Glitch Reduction Technique for Minimizing Peak Dynamic IR Drop", April 2013
- [16] Kaushal Buch, Berkeley University, "Collaboration for Astronomic Signal Processing and Electronics Research", July 2012
- [17] Héctor Quintero y Guillermo Bianchi, "Técnicas de Muestreo", April 2012
- [18] D. Sculley, TUFTS University, "Electronic for Robotics", July 2004
- [19] AVNET, "AVNET Programming Utility User Manual", March 2009
- [20] AVNET, "Xilinx Spartan-6 LX16 Evaluation Kit: Getting Started Guide", 2011
- [21] Xilinx, "Xilinx Spartan-6 Product Brief", 2011
- [22] Xilinx, "Spartan-6 Family Overview", October 2011
- [23] Selecta, "Manual de Usuario Selecta Digitheat"
- [24] Selecta, "Catálogo de Productos Selecta"

## Anexo I: Listado de circuitos y mediciones

### Listado de diseños relativos a la variación del número de etapas de *pipeline*

- Multiplicadores de 32 x 32 bits, consumo medido a 25°C:
  - Usando LUTs, a 66 MHz, lógica combinacional
  - Usando LUTs, a 66 MHz, 1 etapa de *pipeline*
  - Usando LUTs, a 66 MHz, 2 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 3 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 4 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 5 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 6 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 7 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 8 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 9 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 10 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, lógica combinacional
  - Usando multiplicadores embebidos, a 66 MHz, 1 etapa de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 2 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 3 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 4 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 5 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 6 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 7 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 8 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 9 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 66 MHz, 10 etapas de *pipeline*
- Multiplicadores de 64 x 64 bits, consumo medido a 19°C:
  - Usando LUTs, a 66 MHz, lógica combinacional
  - Usando LUTs, a 66 MHz, 1 etapa de *pipeline*
  - Usando LUTs, a 66 MHz, 2 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 3 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 4 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 5 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 6 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 7 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 8 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 9 etapas de *pipeline*
  - Usando LUTs, a 66 MHz, 10 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 50 MHz, lógica combinacional
  - Usando multiplicadores embebidos, a 50 MHz, 1 etapa de *pipeline*
  - Usando multiplicadores embebidos, a 50 MHz, 4 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 50 MHz, 7 etapas de *pipeline*
  - Usando multiplicadores embebidos, a 50 MHz, 10 etapas de *pipeline*

- Usando multiplicadores embebidos, a 50 MHz, 13 etapas de *pipeline*
- Usando multiplicadores embebidos, a 50 MHz, 16 etapas de *pipeline*
- Usando multiplicadores embebidos, a 50 MHz, 19 etapas de *pipeline*
- Usando multiplicadores embebidos, a 50 MHz, 22 etapas de *pipeline*
- Usando multiplicadores embebidos, a 50 MHz, 25 etapas de *pipeline*
- Usando multiplicadores embebidos, a 50 MHz, 28 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, lógica combinacional
- Usando multiplicadores embebidos, a 33 MHz, 1 etapa de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 4 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 7 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 10 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 13 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 16 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 19 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 22 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 25 etapas de *pipeline*
- Usando multiplicadores embebidos, a 33 MHz, 28 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, lógica combinacional
- Usando multiplicadores embebidos, a 16 MHz, 1 etapa de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 4 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 7 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 10 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 13 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 16 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 19 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 22 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 25 etapas de *pipeline*
- Usando multiplicadores embebidos, a 16 MHz, 28 etapas de *pipeline*

### Listado de diseños relativos a la variación de la frecuencia de funcionamiento del circuito

- Multiplicadores de 32 x 32 bits, consumo medido a 19°C:
  - Usando LUTs, lógica combinacional, a 16 MHz
  - Usando LUTs, 1 etapa de *pipeline*, a 16 MHz
  - Usando LUTs, 2 etapas de *pipeline*, a 16 MHz.
  - Usando LUTs, 3 etapas de *pipeline*, a 16 MHz
  - Usando LUTs, 4 etapas de *pipeline*, a 16 MHz.
  - Usando LUTs, 5 etapas de *pipeline*, a 16 MHz.
  - Usando LUTs, 6 etapas de *pipeline*, a 16 MHz.
  - Usando LUTs, 7 etapas de *pipeline*, a 16 MHz
  - Usando LUTs, 8 etapas de *pipeline*, a 16 MHz
  - Usando LUTs, 9 etapas de *pipeline*, a 16 MHz
  - Usando LUTs, 10 etapas de *pipeline*, a 16 MHz
  - Usando multiplicadores embebidos, lógica combinacional a 16 MHz
  - Usando multiplicadores embebidos, 1 etapa de *pipeline* a 16 MHz

- Usando multiplicadores embebidos, 2 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 3 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 4 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 5 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 6 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 7 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 8 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 9 etapas de *pipeline* a 16 MHz
- Usando multiplicadores embebidos, 10 etapas de *pipeline* a 16 MHz
- Usando LUTs, lógica combinacional, a 33 MHz
- Usando LUTs, 1 etapa de *pipeline*, a 33 MHz
- Usando LUTs, 2 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 3 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 4 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 5 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 6 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 7 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 8 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 9 etapas de *pipeline*, a 33 MHz
- Usando LUTs, 10 etapas de *pipeline*, a 33 MHz
- Usando multiplicadores embebidos, lógica combinacional a 33 MHz
- Usando multiplicadores embebidos, 1 etapa de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 2 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 3 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 4 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 5 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 6 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 7 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 8 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 9 etapas de *pipeline* a 33 MHz
- Usando multiplicadores embebidos, 10 etapas de *pipeline* a 33 MHz
- Usando LUTs, lógica combinacional, a 50 MHz
- Usando LUTs, 1 etapa de *pipeline*, a 50 MHz
- Usando LUTs, 2 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 3 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 4 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 5 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 6 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 7 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 8 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 9 etapas de *pipeline*, a 50 MHz
- Usando LUTs, 10 etapas de *pipeline*, a 50 MHz
- Usando multiplicadores embebidos, lógica combinacional a 50 MHz.
- Usando multiplicadores embebidos, 1 etapa de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 2 etapas de *pipeline* a 50 MHz

- Usando multiplicadores embebidos, 3 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 4 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 5 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 6 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 7 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 8 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 9 etapas de *pipeline* a 50 MHz
- Usando multiplicadores embebidos, 10 etapas de *pipeline* a 50 MHz
- Batería de 20 contadores binarios, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 60 MHz, consumo medido a 20°C

- Batería de 20 contadores tipo *Zero Hot*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 120 MHz, consumo medido a 20°C

### Listado de diseños relativos a la variación del algoritmo utilizado dentro del circuito

- Batería de 20 contadores binarios, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores binarios, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Gray*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *LFSR*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 60 MHz, consumo medido a 20°C

- Batería de 20 contadores tipo *One Hot*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *One Hot*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Zero Hot*, a 120 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 15 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 30 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 45 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 60 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 75 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 90 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 105 MHz, consumo medido a 20°C
- Batería de 20 contadores tipo *Divide by 2*, a 120 MHz, consumo medido a 20°C

### Listado de diseños relativos a la variación de la temperatura de la FPGA

- Batería de 20 contadores binarios, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Batería de 20 contadores tipo *Gray*, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C

- Consumo medido a 80°C
- Batería de 20 contadores tipo *LFSR*, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Batería de 20 contadores tipo *One Hot*, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Batería de 20 contadores tipo *Zero Hot*, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Batería de 20 contadores tipo *Divide by 2*, a 120 MHz:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C



- Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Multiplicador de 32 x 32 bits, usando LUTs, a 66 MHz, lógica combinacional:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C
    - Consumo medido a 70°C
    - Consumo medido a 75°C
    - Consumo medido a 80°C
- Multiplicador de 32 x 32 bits, usando multiplicadores embebidos, a 66 MHz, lógica combinacional:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C
    - Consumo medido a 70°C
    - Consumo medido a 75°C
    - Consumo medido a 80°C
- Multiplicador de 32 x 32 bits, usando LUTs, a 66 MHz, 5 etapas de *pipeline*:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C
    - Consumo medido a 70°C
    - Consumo medido a 75°C
    - Consumo medido a 80°C
- Multiplicador de 32 x 32 bits, usando multiplicadores embebidos, a 66 MHz, 8 etapas de *pipeline*:
    - Consumo medido a 25°C (temperatura ambiente)

- Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C
- Multiplicador de 64 x 64 bits, usando multiplicadores embebidos, a 50 MHz, lógica combinacional:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C
    - Consumo medido a 70°C
    - Consumo medido a 75°C
    - Consumo medido a 80°C
- Multiplicador de 64 x 64 bits, usando multiplicadores embebidos, a 50 MHz, 25 etapas de *pipeline*:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C
    - Consumo medido a 70°C
    - Consumo medido a 75°C
    - Consumo medido a 80°C
- Multiplicador de 64 x 64 bits, usando multiplicadores embebidos, a 16 MHz, lógica combinacional:
    - Consumo medido a 25°C (temperatura ambiente)
    - Consumo medido a 40°C
    - Consumo medido a 45°C
    - Consumo medido a 50°C
    - Consumo medido a 55°C
    - Consumo medido a 60°C
    - Consumo medido a 65°C

- Consumo medido a 70°C
- Consumo medido a 75°C
- Consumo medido a 80°C
  
- Multiplicador de 64 x 64 bits, usando multiplicadores embebidos, a 16 MHz, 25 etapas de *pipeline*:
  - Consumo medido a 25°C (temperatura ambiente)
  - Consumo medido a 40°C
  - Consumo medido a 45°C
  - Consumo medido a 50°C
  - Consumo medido a 55°C
  - Consumo medido a 60°C
  - Consumo medido a 65°C
  - Consumo medido a 70°C
  - Consumo medido a 75°C
  - Consumo medido a 80°C

## Anexo II: Presupuesto

### 1) Ejecución Material

- Compra de ordenador personal (Software incluido)..... 2.000 €
- Alquiler de impresora láser durante 6 meses ..... 50 €
- Material de oficina ..... 100 €
- *AVNET Evaluation Kit* ..... 150 €
- Estufa de secado *Selecta Digitheat* ..... 1500 €
- Total de ejecución material..... 3800€

### 2) Gastos generales

- 21 % sobre Ejecución Material..... 798 €

### 3) Beneficio Industrial

- 6 % sobre Ejecución Material..... 228 €

### 4) Honorarios Proyecto

- 590 horas a 15 € / hora ..... 8.850 €

### 5) Material fungible

- Gastos de impresión ..... 60 €
- Encuadernación ..... 200 €

### 6) Subtotal del presupuesto

- Subtotal Presupuesto..... 13936 €

### 7) I.V.A. aplicable

- 21% Subtotal Presupuesto..... 2926,56€

### 8) Total presupuesto

- Total Presupuesto ..... 16862,56 €

Madrid, Diciembre de 2015

El Ingeniero Jefe de Proyecto

Fdo.: Unai Montero Arratibel

Ingeniero de Telecomunicación

## Anexo III: Pliego de condiciones

### Pliego de condiciones

Este documento contiene las condiciones legales que guiarán la realización, en este proyecto, de un **Estudio de Técnicas Low-Power Design en FPGAs**. En lo que sigue, se supondrá que el proyecto ha sido encargado por una empresa cliente a una empresa consultora con la finalidad de realizar dicho sistema. Dicha empresa ha debido desarrollar una línea de investigación con objeto de elaborar el proyecto. Esta línea de investigación, junto con el posterior desarrollo de los programas está amparada por las condiciones particulares del siguiente pliego.

Supuesto que la utilización industrial de los métodos recogidos en el presente proyecto ha sido decidida por parte de la empresa cliente o de otras, la obra a realizar se regulará por las siguientes:

### Condiciones generales

1. La modalidad de contratación será el concurso. La adjudicación se hará, por tanto, a la proposición más favorable sin atender exclusivamente al valor económico, dependiendo de las mayores garantías ofrecidas. La empresa que somete el proyecto a concurso se reserva el derecho a declararlo desierto.

2. El montaje y mecanización completa de los equipos que intervengan será realizado totalmente por la empresa licitadora.

3. En la oferta, se hará constar el precio total por el que se compromete a realizar la obra y el tanto por ciento de baja que supone este precio en relación con un importe límite si este se hubiera fijado.

4. La obra se realizará bajo la dirección técnica de un Ingeniero Superior de Telecomunicación, auxiliado por el número de Ingenieros Técnicos y Programadores que se estime preciso para el desarrollo de la misma.

5. Aparte del Ingeniero Director, el contratista tendrá derecho a contratar al resto del personal, pudiendo ceder esta prerrogativa a favor del Ingeniero Director, quien no estará obligado a aceptarla.

6. El contratista tiene derecho a sacar copias a su costa de los planos, pliego de condiciones y presupuestos. El Ingeniero autor del proyecto autorizará con su firma las copias solicitadas por el contratista después de confrontarlas.

7. Se abonará al contratista la obra que realmente ejecute con sujeción al proyecto que sirvió de base para la contratación, a las modificaciones autorizadas por la superioridad o a las órdenes que con arreglo a sus facultades le hayan comunicado por escrito al Ingeniero Director de obras siempre que dicha obra se haya ajustado a los preceptos de los pliegos de condiciones, con arreglo a los cuales, se harán las modificaciones y la valoración de las diversas unidades sin que el importe total pueda exceder de los presupuestos aprobados. Por consiguiente, el número de unidades que se consignan en el proyecto o en el presupuesto, no podrá servirle de fundamento para entablar reclamaciones de ninguna clase, salvo en los casos de rescisión.

8. Tanto en las certificaciones de obras como en la liquidación final, se abonarán los trabajos realizados por el contratista a los precios de ejecución material que figuran en el presupuesto para cada unidad de la obra.

9. Si excepcionalmente se hubiera ejecutado algún trabajo que no se ajustase a las condiciones de la contrata pero que sin embargo es admisible a juicio del Ingeniero Director de obras, se dará conocimiento a la Dirección, proponiendo a la vez la rebaja de precios que el Ingeniero estime justa y si la Dirección resolviera aceptar la obra, quedará el contratista obligado a conformarse con la rebaja acordada.

10. Cuando se juzgue necesario emplear materiales o ejecutar obras que no figuren en el presupuesto de la contrata, se evaluará su importe a los precios asignados a otras obras o materiales análogos si los hubiere y cuando no, se discutirán entre el Ingeniero Director y el contratista, sometiéndolos a la aprobación de la Dirección. Los nuevos precios convenidos por uno u otro procedimiento, se sujetarán siempre al establecido en el punto anterior.

11. Cuando el contratista, con autorización del Ingeniero Director de obras, emplee materiales de calidad más elevada o de mayores dimensiones de lo estipulado en el proyecto, o sustituya una clase de fabricación por otra que tenga asignado mayor precio o ejecute con mayores dimensiones cualquier otra parte de las obras, o en general, introduzca en ellas cualquier modificación que sea beneficiosa a juicio del Ingeniero Director de obras, no tendrá derecho sin embargo, sino a lo que le correspondería si hubiera realizado la obra con estricta sujeción a lo proyectado y contratado.

12. Las cantidades calculadas para obras accesorias, aunque figuren por partida alzada en el presupuesto final (general), no serán abonadas sino a los precios de la contrata, según las condiciones de la misma y los proyectos particulares que para ellas se formen, o en su defecto, por lo que resulte de su medición final.

13. El contratista queda obligado a abonar al Ingeniero autor del proyecto y director de obras así como a los Ingenieros Técnicos, el importe de sus respectivos honorarios facultativos por formación del proyecto, dirección técnica y administración en su caso, con arreglo a las tarifas y honorarios vigentes.

14. Concluida la ejecución de la obra, será reconocida por el Ingeniero Director que a tal efecto designe la empresa.

15. La garantía definitiva será del 4% del presupuesto y la provisional del 2%.

16. La forma de pago será por certificaciones mensuales de la obra ejecutada, de acuerdo con los precios del presupuesto, deducida la baja si la hubiera.

17. La fecha de comienzo de las obras será a partir de los 15 días naturales del replanteo oficial de las mismas y la definitiva, al año de haber ejecutado la provisional, procediéndose si no existe reclamación alguna, a la reclamación de la fianza.

18. Si el contratista al efectuar el replanteo, observase algún error en el proyecto, deberá comunicarlo en el plazo de quince días al Ingeniero Director de obras, pues transcurrido ese plazo será responsable de la exactitud del proyecto.

19. El contratista está obligado a designar una persona responsable que se entenderá con el Ingeniero Director de obras, o con el delegado que éste designe, para todo relacionado con ella. Al ser el Ingeniero Director de obras el que interpreta el proyecto, el contratista deberá consultarle cualquier duda que surja en su realización.

20. Durante la realización de la obra, se girarán visitas de inspección por personal facultativo de la empresa cliente, para hacer las comprobaciones que se crean oportunas. Es obligación del contratista, la conservación de la obra ya ejecutada hasta la recepción de la misma, por lo que el deterioro parcial o total de ella, aunque sea por agentes atmosféricos u otras causas, deberá ser reparado o reconstruido por su cuenta.

21. El contratista, deberá realizar la obra en el plazo mencionado a partir de la fecha del contrato, incurriendo en multa, por retraso de la ejecución siempre que éste no sea debido a causas de fuerza mayor. A la terminación de la obra, se hará una recepción provisional previo reconocimiento y examen por la dirección técnica, el depositario de efectos, el interventor y el jefe de servicio o un representante, estampando su conformidad el contratista.

22. Hecha la recepción provisional, se certificará al contratista el resto de la obra, reservándose la administración el importe de los gastos de conservación de la misma hasta su recepción definitiva y la fianza durante el tiempo señalado como plazo de garantía. La recepción definitiva se hará en las mismas condiciones que la provisional, extendiéndose el acta correspondiente. El Director Técnico propondrá a la Junta Económica la devolución de la fianza al contratista de acuerdo con las condiciones económicas legales establecidas.

23. Las tarifas para la determinación de honorarios, reguladas por orden de la Presidencia del Gobierno el 19 de Octubre de 1961, se aplicarán sobre el denominado en la actualidad "Presupuesto de Ejecución de Contrata" y anteriormente llamado "Presupuesto de Ejecución Material" que hoy designa otro concepto.

### **Condiciones particulares**

La empresa consultora, que ha desarrollado el presente proyecto, lo entregará a la empresa cliente bajo las condiciones generales ya formuladas, debiendo añadirse las siguientes condiciones particulares:

1. La propiedad intelectual de los procesos descritos y analizados en el presente trabajo, pertenece por entero a la empresa consultora representada por el Ingeniero Director del Proyecto.

2. La empresa consultora se reserva el derecho a la utilización total o parcial de los resultados de la investigación realizada para desarrollar el siguiente proyecto, bien para su publicación o bien para su uso en trabajos o proyectos posteriores, para la misma empresa cliente o para otra.

3. Cualquier tipo de reproducción aparte de las reseñadas en las condiciones generales, bien sea para uso particular de la empresa cliente, o para cualquier otra aplicación, contará con autorización expresa y por escrito del Ingeniero Director del Proyecto, que actuará en representación de la empresa consultora.

4. En la autorización se ha de hacer constar la aplicación a que se destinan sus reproducciones así como su cantidad.

5. En todas las reproducciones se indicará su procedencia, explicitando el nombre del proyecto, nombre del Ingeniero Director y de la empresa consultora.

6. Si el proyecto pasa la etapa de desarrollo, cualquier modificación que se realice sobre él, deberá ser notificada al Ingeniero Director del Proyecto y a criterio de éste, la empresa consultora decidirá aceptar o no la modificación propuesta.

7. Si la modificación se acepta, la empresa consultora se hará responsable al mismo nivel que el proyecto inicial del que resulta el añadirla.

8. Si la modificación no es aceptada, por el contrario, la empresa consultora declinará toda responsabilidad que se derive de la aplicación o influencia de la misma.

9. Si la empresa cliente decide desarrollar industrialmente uno o varios productos en los que resulte parcial o totalmente aplicable el estudio de este proyecto, deberá comunicarlo a la empresa consultora.

10. La empresa consultora no se responsabiliza de los efectos laterales que se puedan producir en el momento en que se utilice la herramienta objeto del presente proyecto para la realización de otras aplicaciones.

11. La empresa consultora tendrá prioridad respecto a otras en la elaboración de los proyectos auxiliares que fuese necesario desarrollar para dicha aplicación industrial, siempre que no haga explícita renuncia a este hecho. En este caso, deberá autorizar expresamente los proyectos presentados por otros.

12. El Ingeniero Director del presente proyecto, será el responsable de la dirección de la aplicación industrial siempre que la empresa consultora lo estime oportuno. En caso contrario, la persona designada deberá contar con la autorización del mismo, quien delegará en él las responsabilidades que ostente.