

UNIVERSIDAD AUTÓNOMA DE MADRID

ESCUELA POLITÉCNICA SUPERIOR

---



PROYECTO FIN DE CARRERA

**CONVERTIDOR CONMUTADO  
PARA CORRECCIÓN DEL  
FACTOR DE POTENCIA  
MEDIANTE FPGA**

Ingeniería de Telecomunicación

Santiago Monteso Fernández  
Diciembre 2015



# **CONVERTIDOR CONMUTADO PARA CORRECCIÓN DEL FACTOR DE POTENCIA MEDIANTE FPGA**

AUTOR: Santiago Monteso Fernández  
TUTOR: Ángel de Castro Martín

HCTLab  
Dpto. de Ingeniería Informática  
Escuela Politécnica Superior  
Universidad Autónoma de Madrid  
Diciembre 2015



# Resumen

La motivación de este proyecto es el empleo de técnicas digitales y de tratamiento digital de señal mediante FPGA aplicadas al control de sistemas de tiempo real. En concreto, en este proyecto se realiza un control digital en lazo cerrado de un convertidor AC/DC con corrección del factor de potencia o PFC. El diseño e implementación se realizan paso a paso llevando a cabo las comprobaciones oportunas y complementando las diferentes etapas con los fundamentos teóricos necesarios. Se presta especial atención a la programación del dispositivo digital, diseño del controlador en VHDL y pruebas físicas finales con el sistema en lazo cerrado (doble lazo de control, tensión y corriente).

Se presentan los fundamentos sobre factor de potencia y se realiza un estudio de la electrónica y de la topología de potencia. Se diseña un control digital en lazo cerrado, empleando técnicas en el dominio de la frecuencia, que cumpla las especificaciones en el dominio analógico y digital. Se diseña paso a paso el lazo interno de corriente y el lazo externo de tensión. Se realizan numerosas simulaciones circuitales de las diferentes etapas para comprobar el correcto desempeño del sistema. Se implementa el control digital en lenguaje VHDL y se realizan simulaciones digitales, tanto de los módulos individuales como de conjunto (lazos de tensión y corriente).

El control obtenido teóricamente, y comprobado mediante simulaciones circuitales y digitales, se implementa físicamente en una FPGA para controlar un convertidor de potencia con corrección de factor de potencia basado en topología *Boost*. Se realizan exhaustivas pruebas con carga en el laboratorio, tanto del lazo de corriente como del lazo de tensión ante transitorios de carga, para comprobar el funcionamiento del control en el convertidor real.

Como soporte hardware para realizar el control del sistema se emplea una tarjeta de evaluación Nexys 4 DDR, la cual integra una FPGA de tipo Artix 7 que incluye los ADC necesarios para realizar el proyecto. Se diseña el código necesario para el control de los ADC. Además, se diseña, simula y fabrican aquellos montajes adicionales para el acondicionamiento de señales y medidas analógicas y digitales que sean necesarias como interfaz entre el circuito de potencia y la placa con la FPGA.

Se realiza un programa monitor externo con una interfaz gráfica GUI que muestra las principales variables del convertidor y permite la modificación de parámetros internos del control en tiempo real. Este programa se realiza en un lenguaje de alto nivel. Se implementa el protocolo de comunicaciones RS-232 mediante UART entre la FPGA y el PC. Así mismo, se realiza un sistema de visualización de las variables del ADC en tiempo real mediante *displays* de siete segmentos.

Finalmente, se presentan las conclusiones extraídas a lo largo del proyecto junto con las propuestas del trabajo futuro.

# Palabras clave

Corrección de Factor de Potencia, PFC, Convertidor de Potencia, Control digital, VHDL, FPGA, GUI, Calidad Red Eléctrica.

# Abstract

The motivation for this project is the use of digital technology and digital signal processing using FPGA applied to real-time systems control. Specifically, in this project, a digital control is performed for an AC / DC converter in closed loop with power factor correction PFC. The design and implementation are performed step by step by carrying out the necessary checks and supporting the different stages with the necessary theoretical foundations. Focus on programming digital device, controller design in VHDL and physical tests with the closed-loop system (dual loop control, voltage and current).

The fundamentals of power factor and presented and a study of the electronic and power topology is performed. A digital control is designed in closed loop, using techniques in the frequency domain, which meets the specifications in the analog and digital domain. It is designed step by step the inner current loop and outer voltage loop. Numerous circuit simulations of the different steps are performed to verify proper system performance. A digital control is implemented in VHDL for both loops and digital simulations, for individual modules and for entire system (voltage and current loops), are performed.

The control obtained theoretically, and verified by computer simulations of the circuit, is finally physically implemented in an FPGA to control a power converter with power factor correction topology based on Boost topology. Extensive load tests in the laboratory, both for the current loop and for the voltage loop, are performed in order to test load transients and to check the operation of the actual converter control against load transients.

As hardware support for control system, an evaluation card Nexys 4 DDR is used, which integrates an FPGA type Artix 7 including internally the ADC required for the project. The code to control the ADC is designed. In addition, it is designed, simulated and fabricated assemblies for those additional signal conditioning and analog and digital measures necessary as the interface between the power circuit and the FPGA board.

An external monitor program with a graphical interface GUI that shows the main variables of the converter and allows modification of internal parameters of the real-time control is performed. This program is made in a high level language. The RS-232 is used and an UART is implemented to perform communications between the FPGA and the PC. Also, a display system to show variables in real time from the ADC is performed by seven segment displays.

Finally, conclusions for the entire project and proposals for future work are presented.

# Keywords

Power Factor Correction, PFC, Power Converter, Digital Control, VHDL, FPGA, GUI, Power Quality.

*La imaginación es más importante que el conocimiento.  
El conocimiento es limitado y la imaginación  
circunda el mundo.*

Albert Einstein



# Agradecimientos

En primer lugar, me gustaría dar las gracias a mi tutor, Angel de Castro Martín por el excelente trato recibido y su disponibilidad para atenderme y ayudarme en la realización de este proyecto.

Me gustaría también agradecer el trato recibido por parte del departamento HCTLab y el uso de sus instalaciones.



# Índice de contenidos

RESUMEN .....	I
PALABRAS CLAVE .....	II
ABSTRACT .....	III
KEYWORDS .....	IV
AGRADECIMIENTOS .....	VII
ÍNDICE DE CONTENIDOS.....	IX
ÍNDICE DE TABLAS.....	XI
ÍNDICE DE FIGURAS.....	XIII
GLOSARIO DE TÉRMINOS .....	XIX
<b>1. INTRODUCCIÓN .....</b>	<b>- 1 -</b>
1.1 MOTIVACIÓN DEL PROYECTO .....	- 1 -
1.2 OBJETIVOS DEL PROYECTO.....	- 2 -
1.3 METODOLOGÍA .....	- 3 -
1.4 ESTRUCTURA DE LA MEMORIA.....	- 4 -
<b>2. CONCEPTOS SOBRE FACTOR DE POTENCIA.....</b>	<b>- 7 -</b>
2.1 INTRODUCCIÓN .....	- 7 -
2.2 FUNDAMENTOS SOBRE FACTOR DE POTENCIA .....	- 7 -
<b>3. FUENTES DE ALIMENTACIÓN.....</b>	<b>- 17 -</b>
3.1 INTRODUCCIÓN .....	- 17 -
3.2 FUENTES DE ALIMENTACIÓN CONVENCIONALES .....	- 18 -
3.3 FUENTES DE ALIMENTACIÓN CONMUTADAS .....	- 23 -
<b>4. MODELADO Y CONTROL ANALÓGICO.....</b>	<b>- 37 -</b>
4.1 INTRODUCCIÓN .....	- 37 -
4.2 LAZO INTERNO DE CORRIENTE .....	- 39 -
4.2.1 Modelo promediado del lazo de corriente .....	- 40 -
4.2.1 Fundamentos de control de convertidores conmutados.....	- 41 -
4.2.2 Diseño del regulador .....	- 43 -
4.2.3 Comprobación de los resultados del lazo de corriente.....	- 57 -
4.3 LAZO EXTERNO DE TENSIÓN .....	- 64 -
4.3.1 Modelo promediado del lazo de tensión.....	- 64 -
4.3.2 Diseño del regulador .....	- 67 -
4.3.3 Comprobación de los resultados del lazo de tensión .....	- 78 -
4.4 CONCLUSIONES PARA EL CONTROL ANALÓGICO .....	- 98 -
<b>5. CONTROL DIGITAL.....</b>	<b>- 99 -</b>
5.1 INTRODUCCIÓN .....	- 99 -
5.2 DISCRETIZACIÓN DEL CONTROL ANALÓGICO.....	- 100 -
5.2.1 Discretización del regulador del lazo de corriente .....	- 102 -
5.2.2 Discretización del regulador del lazo de tensión.....	- 105 -
5.2.3 Representación en el plano Z de los reguladores.....	- 108 -
5.3 SIMULACIÓN CIRCUITAL DE LOS REGULADORES DISCRETOS .....	- 110 -
5.3.1 Regulador discreto del lazo de corriente.....	- 110 -

5.3.2 Regulador discreto del lazo de tensión .....	- 119 -
<b>6. IMPLEMENTACIÓN DEL CONTROL DIGITAL EN VHDL .....</b>	<b>- 135 -</b>
6.1 INTRODUCCIÓN .....	- 135 -
6.2 IMPLEMENTACIÓN DE LOS REGULADORES EN VHDL .....	- 135 -
6.3 FUNDAMENTOS DE COMA FIJA EN VHDL .....	- 136 -
6.4 REGULADOR DE CORRIENTE EN VHDL .....	- 137 -
6.4.1 Simulación individual del regulador de corriente.....	- 139 -
6.5 REGULADOR DE TENSIÓN EN VHDL .....	- 141 -
6.5.1 Simulación individual del regulador de tensión .....	- 142 -
6.6 SIMULACIÓN DEL SISTEMA COMPLETO EN VHDL .....	- 144 -
6.6.1 Resultados del lazo de corriente en VHDL.....	- 148 -
6.6.2 Resultados del lazo de tensión en VHDL .....	- 150 -
<b>7. MONITORIZACIÓN Y MEDIDAS.....</b>	<b>- 153 -</b>
7.1 INTRODUCCIÓN .....	- 153 -
7.2 MANEJO E IMPLEMENTACIÓN DEL ADC.....	- 153 -
7.2.1 Resultados experimentales de las medidas del ADC.....	- 162 -
7.3 MONITORIZACIÓN MEDIANTE DISPLAY LED.....	- 163 -
7.3.1 Resultados experimentales del display LED .....	- 163 -
7.4 MONITORIZACIÓN MEDIANTE GUI .....	- 165 -
7.4.1 Sistema UART.....	- 165 -
7.4.2 Interfaz gráfica (GUI) .....	- 171 -
7.4.3 Resultados experimentales para la GUI .....	- 172 -
<b>8. RESULTADOS EXPERIMENTALES .....</b>	<b>- 173 -</b>
8.1 INTRODUCCIÓN .....	- 173 -
8.2 MONTAJE EMPLEADO.....	- 173 -
8.3 RESULTADOS DEL LAZO DE CORRIENTE .....	- 177 -
8.4 RESULTADOS DEL LAZO DE TENSIÓN .....	- 180 -
8.4.1 Resultados en régimen permanente .....	- 180 -
8.4.2 Resultados en régimen transitorio .....	- 183 -
8.5 RESULTADOS Y CONCLUSIONES DE LAS PRUEBAS .....	- 187 -
<b>9. CONCLUSIONES Y TRABAJO FUTURO.....</b>	<b>- 189 -</b>
<b>REFERENCIAS BIBLIOGRÁFICAS .....</b>	<b>- 191 -</b>
<b>A. PRESUPUESTO .....</b>	<b>- 195 -</b>
<b>B. PLIEGO DE CONDICIONES.....</b>	<b>- 197 -</b>

# Índice de tablas

TABLA 2.1 FACTOR DE POTENCIA Y POTENCIAS PARA LAS DIFERENTES FORMAS DE ONDA. ....	- 15 -
TABLA 3.1 CARACTERÍSTICAS PRINCIPALES DE LA FUENTE DE ALIMENTACIÓN CONVENCIONAL.....	- 19 -
TABLA 3.2 CARACTERÍSTICAS PRINCIPALES DE LA FUENTE DE ALIMENTACIÓN CONVENCIONAL.....	- 21 -
TABLA 3.3 LÍMITES PARA EQUIPOS DE CLASE D SEGÚN NORMA [UNE-EN 61000-3-2]. ....	- 23 -
TABLA 3.4 CARACTERÍSTICAS PRINCIPALES DE LA FUENTE DE ALIMENTACIÓN DE TIPO <i>BOOST</i> CON PFC. ....	- 31 -
TABLA 4.1 CARACTERÍSTICAS PRINCIPALES DE LA FUENTE DE ALIMENTACIÓN CON PFC DEL TIPO <i>BOOST</i> . ....	- 40 -
TABLA 4.2 CARACTERÍSTICAS DEL LAZO INTERNO DE CORRIENTE. ....	- 43 -
TABLA 4.3 RETARDO INTRODUCIDO POR EL PWM Y EL TIEMPO DE CÁLCULO. ....	- 44 -
TABLA 4.4 COMPONENTES PRINCIPALES DEL CIRCUITO DE MEDIDA DE CORRIENTE. ....	- 46 -
TABLA 4.5 CARACTERÍSTICAS FRECUENCIALES DEL CIRCUITO DE MEDIDA DE CORRIENTE. ....	- 47 -
TABLA 4.6 CARACTERÍSTICAS PRINCIPALES DE LA CONVERSIÓN ANALÓGICA-DIGITAL. ....	- 49 -
TABLA 4.7 CARACTERÍSTICAS DEL REGULADOR DE CORRIENTE.....	- 52 -
TABLA 4.8 PRESTACIONES DEL LAZO INTERNO DE CORRIENTE.....	- 55 -
TABLA 4.9 CARACTERÍSTICAS DE FUENTE DE ALIMENTACIÓN CONVENCIONAL Y CON PFC. ....	- 63 -
TABLA 4.10 CARACTERÍSTICAS PRINCIPALES DE LA FUENTE DE ALIMENTACIÓN CONMUTADA CON PFC.....	- 64 -
TABLA 4.11 CARACTERÍSTICAS DEL MODELO PROMEDIADO DEL LAZO INTERNO DE CORRIENTE.....	- 66 -
TABLA 4.12 CARACTERÍSTICAS DEL LAZO EXTERNO DE CORRIENTE. ....	- 67 -
TABLA 4.13 POLOS DE LA PLANTA DEL LAZO DE TENSIÓN EN FUNCIÓN DE LA CARGA. ....	- 73 -
TABLA 4.14 PARÁMETROS DEL REGULADOR DEL LAZO DE TENSIÓN. ....	- 73 -
TABLA 4.15 DESEMPEÑO DEL REGULADOR DEL LAZO DE TENSIÓN CON CARGA DEL 100 %. ....	- 76 -
TABLA 4.16 DESEMPEÑO DEL REGULADOR DEL LAZO DE TENSIÓN CON CARGA DEL 5 %. ....	- 77 -
TABLA 4.17 ESCALÓN POSITIVO DE CARGA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN.....	- 80 -
TABLA 4.18 ESCALÓN NEGATIVO DE CARGA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN. ....	- 83 -
TABLA 4.19 COMPARATIVA DE LAS FUENTES DE ALIMENTACIÓN Y LAZOS DE CONTROL.....	- 87 -
TABLA 4.20 ESCALÓN POSITIVO DE TENSIÓN DE ENTRADA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN.....	- 88 -
TABLA 4.21 ESCALÓN NEGATIVO DE TENSIÓN DE ENTRADA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN. ....	- 90 -
TABLA 4.22 PRESTACIONES DEL LAZO EXTERNO DE TENSIÓN INCLUYENDO FILTRO <i>NOTCH</i> . ....	- 96 -
TABLA 4.23 RESULTADOS COMPARATIVOS DE LAS FUENTES DE ALIMENTACIÓN. ....	- 98 -
TABLA 5.1 RELACIÓN ENTRE LA VARIABLE S Y LA VARIABLE Z EMPLEANDO DIFERENTES MÉTODOS.....	- 101 -
TABLA 5.2 PARÁMETROS DEL REGULADOR ANALÓGICO DEL LAZO DE CORRIENTE. ....	- 102 -
TABLA 5.3 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE CORRIENTE. ....	- 103 -
TABLA 5.4 PARÁMETROS DEL REGULADOR ANALÓGICO DEL LAZO DE TENSIÓN.....	- 105 -
TABLA 5.5 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE TENSIÓN. ....	- 105 -
TABLA 5.6 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE TENSIÓN. ....	- 108 -
TABLA 5.7 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE TENSIÓN. ....	- 109 -
TABLA 5.8 RESULTADOS COMPARATIVOS DE LAS FUENTES DE ALIMENTACIÓN. ....	- 118 -
TABLA 5.9 ESCALONES DE POTENCIA PARA PRUEBAS DEL LAZO DE TENSIÓN. ....	- 120 -
TABLA 5.10 ESCALONES DE POTENCIA PARA EL LAZO EXTERNO DE TENSIÓN DISCRETO. ....	- 124 -
TABLA 5.11 ESCALÓN POSITIVO DE TENSIÓN DE ENTRADA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN. REGULADOR DISCRETO. ....	- 129 -
TABLA 5.12 ESCALÓN NEGATIVO DE TENSIÓN DE ENTRADA PARA LA SIMULACIÓN DEL LAZO EXTERNO DE TENSIÓN. REGULADOR DISCRETO. ....	- 130 -
TABLA 5.13 COMPARATIVA DE LOS RESULTADOS INCLUYENDO EL CONTROL DISCRETO.....	- 132 -
TABLA 6.1 CODIFICACIÓN EN COMA FIJA SEGÚN LA LIBRERÍA <i>SFIXED</i> .....	- 136 -
TABLA 6.2 OPERACIONES EN COMA FIJA SEGÚN LA LIBRERÍA <i>SFIXED</i> . ....	- 137 -
TABLA 6.3 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE CORRIENTE. ....	- 138 -
TABLA 6.4 DETALLE DE LA IMPLEMENTACIÓN EN VHDL DEL REGULADOR DE CORRIENTE.....	- 138 -
TABLA 6.5 PARÁMETROS DEL REGULADOR DISCRETO DEL LAZO DE TENSIÓN. ....	- 141 -
TABLA 6.6 DETALLE DE LA IMPLEMENTACIÓN EN VHDL DEL REGULADOR DE TENSIÓN. ....	- 142 -
TABLA 6.7 DECLARACIÓN DE LA INTERFAZ EN VHDL DEL CONVERTIDOR <i>BOOST</i> . ....	- 145 -
TABLA 6.8 DECLARACIÓN DE LA INTERFAZ EN VHDL DEL REGULADOR. ....	- 146 -
TABLA 6.9 DECLARACIÓN DE LA INTERFAZ EN VHDL DEL ADC. ....	- 147 -
TABLA 6.10 DECLARACIÓN DE LA INTERFAZ EN VHDL DEL SISTEMA.....	- 147 -

TABLA 6.11 DECLARACIÓN DE LA INTERFAZ EN VHDL DEL <i>TEST BENCH</i> .....	- 148 -
TABLA 7.1 PRINCIPALES SEÑALES DE CONTROL DEL XADC .....	- 155 -
TABLA 7.2 INTERFAZ E INICIALIZACIÓN DEL XADC.....	- 156 -
TABLA 7.3 RESUMEN DE TIEMPOS DEL ADC. ....	- 160 -
TABLA 7.4 PRUEBAS DE MEDIDAS DEL ADC.....	- 162 -
TABLA 7.5 VARIABLES VISUALIZADAS EN EL <i>DISPLAY</i> DE 7 SEGMENTOS. ....	- 163 -
TABLA 7.6 RESUMEN DE CARACTERÍSTICAS DE LA UART. ....	- 166 -
TABLA 7.7 DECLARACIÓN DE LA INTERFAZ EN VHDL DE LA UART.....	- 167 -
TABLA 8.1 RESULTAMOS SIMULACIÓN ESCALÓN DE CARGA DEL 70 %. ....	- 184 -
TABLA 8.2 COMPARATIVA DE LOS RESULTADOS EXPERIMENTALES DE LABORATORIO.....	- 187 -
TABLA 8.3 RESULTADOS PARA ESCALONES DE CARGA DEL 70 %, SIMULADOS Y EXPERIMENTALES. ....	- 187 -

# Índice de figuras

FIGURA 2.1 ESQUEMA GENERAL DE UNA FUENTE DE ALIMENTACIÓN.....	- 7 -
FIGURA 2.2 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. ONDAS SENOIDALES SIN DESFASE.....	- 9 -
FIGURA 2.3 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. ONDAS SENOIDALES CON TERCER ARMÓNICO Y SIN DESFASE.....	- 10 -
FIGURA 2.4 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. CORRIENTE CUADRADA Y SIN DESFASE.....	- 11 -
FIGURA 2.5 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. ONDAS SENOIDALES CON DESFASE.....	- 12 -
FIGURA 2.6 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. ONDAS SENOIDALES CON TERCER ARMÓNICO Y CON DESFASE.....	- 13 -
FIGURA 2.7 GRÁFICA SUPERIOR: TENSIÓN (ROJO) Y CORRIENTE (AZUL) DE ENTRADA. GRÁFICA INFERIOR: POTENCIA INSTANTÁNEA DE LA ENTRADA. CORRIENTE CUADRADA Y CON DESFASE.....	- 14 -
FIGURA 2.8 EVOLUCIÓN DE LA CORRIENTE CONSUMIDA DE LA RED EN FUNCIÓN DEL FACTOR DE POTENCIA. SE INDICAN EN LA CURVA LOS CASOS CONCRETOS ESTUDIADOS.....	- 15 -
FIGURA 3.1 DIAGRAMA DE BLOQUES DE UN CONVERTIDOR DE POTENCIA.....	- 17 -
FIGURA 3.2 ESQUEMA DE UNA FUENTE DE ALIMENTACIÓN CONVENCIONAL CON FILTRO CAPACITIVO.....	- 18 -
FIGURA 3.3 CIRCUITO DE UNA FUENTE DE ALIMENTACIÓN CONVENCIONAL CON FILTRO CAPACITIVO.....	- 19 -
FIGURA 3.4 GRÁFICA SUPERIOR: TENSIÓN DEL SECUNDARIO DEL TRANSFORMADOR (AZUL) Y TENSIÓN DE SALIDA (ROJO). GRÁFICA INFERIOR: DETALLE DE LA TENSIÓN DE SALIDA. FUENTE CONVENCIONAL.....	- 20 -
FIGURA 3.5 GRÁFICA SUPERIOR: CORRIENTE DE ENTRADA. GRÁFICA INFERIOR: TENSIÓN DE ENTRADA EN EL PRIMARIO DEL TRANSFORMADOR (ROJO) Y TENSIÓN DE SALIDA (AZUL). FUENTE CONVENCIONAL.....	- 20 -
FIGURA 3.6 GRÁFICA SUPERIOR: COMPONENTES EN FRECUENCIA DE LA CORRIENTE DE ENTRADA. GRÁFICA INFERIOR: COMPONENTES EN FRECUENCIA DE LA TENSIÓN DE ENTRADA. FUENTE CONVENCIONAL.....	- 21 -
FIGURA 3.7 CLASIFICACIÓN DE LOS EQUIPOS SEGÚN LA NORMA [UNE-EN 61000-3-2] (ADAPTADA DE [EPMSA10]). EN AZUL SE INDICA EL CAMINO SEGUIDO.....	- 22 -
FIGURA 3.8 ESQUEMA GENERAL DE UNA FUENTE DE ALIMENTACIÓN CON PFC.....	- 24 -
FIGURA 3.9 ESQUEMA GENERAL DE UNA FUENTE DE ALIMENTACIÓN CON PFC BASADA EN CONVERTIDOR DC/DC DE TIPO ELEVADOR O <i>BOOST</i> .....	- 25 -
FIGURA 3.10 ESQUEMA GENERAL DE UN CONVERTIDOR DC/DC DE TIPO ELEVADOR O <i>BOOST</i> .....	- 26 -
FIGURA 3.11 PRINCIPALES FORMAS DE ONDA PARA UN CONVERTIDOR DC/DC DE TIPO ELEVADOR O <i>BOOST</i> .....	- 26 -
FIGURA 3.12 PRINCIPALES FORMAS DE ONDA PARA UN PFC DE TIPO <i>BOOST</i> .....	- 28 -
FIGURA 3.13 POTENCIA INSTANTÁNEA (ROJO) Y POTENCIA MEDIA (AZUL) EN LA ENTRADA PARA UN PFC DE TIPO <i>BOOST</i> .....	- 29 -
FIGURA 3.14 ESQUEMA GENERAL DE UNA FUENTE DE ALIMENTACIÓN CON PFC CON CONVERTIDOR DC/DC ADICIONAL EN LA SALIDA PARA REDUCIR EL RIZADO DE TENSIÓN EN LA CARGA.....	- 30 -
FIGURA 3.15 EVOLUCIÓN DE RIZADO DE LA CORRIENTE EN LA BOBINA EN FUNCIÓN DE LA TENSIÓN DE ENTRADA.....	- 31 -
FIGURA 3.16 ESQUEMA GENERAL DE UN SISTEMA DE CONTROL CON REALIMENTACIÓN.....	- 32 -
FIGURA 3.17 DIAGRAMA DE BLOQUES DE UN REGULADOR PID.....	- 33 -
FIGURA 3.18 ACCIÓN DE CONTROL PARA UN REGULADOR PI.....	- 34 -
FIGURA 3.19 ESQUEMA GENERAL DEL CONTROL DE UNA FUENTE DE ALIMENTACIÓN CONMUTADA.....	- 35 -
FIGURA 3.20 ESQUEMA DE CONTROL DE UN CONVERTIDOR TIPO <i>BOOST</i> PARA PFC (EN AZUL EL LAZO DE CORRIENTE Y EN NARANJA EL LAZO DE TENSIÓN).....	- 36 -
FIGURA 4.1 PASOS SEGUIDOS EN EL DISEÑO DEL CONTROL DE UN CONVERTIDOR CONMUTADO DC/DC.....	- 38 -
FIGURA 4.2 ESQUEMA DE CONTROL DE UN CONVERTIDOR TIPO <i>BOOST</i> PARA PFC (EN AZUL EL LAZO DE CORRIENTE Y EN NARANJA EL LAZO DE TENSIÓN).....	- 38 -
FIGURA 4.3 GRÁFICA SUPERIOR: RAMPAS PORTADORAS DEL PWM (AZUL) Y ONDA MODULADORA (ROJO). GRÁFICA INFERIOR: SALIDA DEL PWM (NEGRO) Y TENSIÓN MODULADORA (ROJO).....	- 39 -
FIGURA 4.4 DIAGRAMA DE BLOQUES PARA LA GENERACIÓN DEL DISPARO PWM DEL TRANSISTOR DEL <i>BOOST</i> .....	- 39 -
FIGURA 4.5 MODELO PROMEDIADO PARA EL LAZO INTERNO DE CORRIENTE.....	- 41 -
FIGURA 4.6 ESQUEMA GENERAL DE UN SISTEMA DE CONTROL INCLUYENDO PERTURBACIONES EN LA TENSIÓN DE ENTRADA Y EN LA CARGA.....	- 42 -

FIGURA 4.7 RESPUESTA EN FRECUENCIA DE UN SISTEMA DE CONTROL INCLUYENDO EL LAZO ABIERTO (MAGENTA) Y EL LAZO CERRADO (AZUL).	- 43 -
FIGURA 4.8 RESPUESTA EN FRECUENCIA DE $D(s)$ . MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 44 -
FIGURA 4.9 CIRCUITO DE MEDIDA DE CORRIENTE. PARTE DE POTENCIA (SUPERIOR) Y PARTE DE SEÑAL (INFERIOR).	- 45 -
FIGURA 4.10 REGULADOR DE 15 V A 6 V (SUPERIOR) Y MONTAJE DEL CIRCUITO DE MEDIDA DE CORRIENTE (INFERIOR).	- 46 -
FIGURA 4.11 RESPUESTA EN FRECUENCIA DEL CIRCUITO DE MEDIDA DE CORRIENTE. MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 47 -
FIGURA 4.12 DIAGRAMA DE BLOQUES DEL LAZO INTERNO DE CORRIENTE.	- 48 -
FIGURA 4.13 GRÁFICA DEL CONTADOR DEL PWM DIGITAL (DPWM).	- 49 -
FIGURA 4.14 RESPUESTA EN FRECUENCIA DE $G_i(s)$ REAL (AZUL), IDEAL CON SOLO BOBINA (ROJO) Y REAL CON EL 50 % DE CARGA (VERDE). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 50 -
FIGURA 4.15 RESPUESTA EN FRECUENCIA DE $G_i(s)$ REAL (AZUL), IDEAL CON SOLO BOBINA (ROJO) Y REAL CON EL 5 % DE CARGA (VERDE). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 51 -
FIGURA 4.16 RESPUESTA EN FRECUENCIA DE $R_i(s)$ . MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 53 -
FIGURA 4.17 RESPUESTA EN FRECUENCIA DEL REGULADOR DE CORRIENTE (ROJO) Y DE LA PLANTA (AZUL). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 54 -
FIGURA 4.18 RESPUESTA EN FRECUENCIA DEL LAZO CERRADO CON SOLO BOBINA (ROJO) Y DEL COMPLETO (AZUL). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 55 -
FIGURA 4.19 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO (ROJO) Y DEL LAZO CERRADO (AZUL). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 56 -
FIGURA 4.20 DIAGRAMA DE BLOQUES DEL LAZO INTERNO DE CORRIENTE INCLUYENDO PREREGULACIÓN.	- 57 -
FIGURA 4.21 CIRCUITO PARA EL CÁLCULO DEL CICLO DE TRABAJO DE LA PREREGULACIÓN.	- 58 -
FIGURA 4.22 CIRCUITO CONMUTADO DEL CONVERTIDOR <i>BOOST</i> PARA EL LAZO INTERNO DE CORRIENTE.	- 58 -
FIGURA 4.23 CORRIENTE POR LA BOBINA. CON PRE-REGULACIÓN.	- 59 -
FIGURA 4.24 TENSIÓN DE ENTRADA (SUPERIOR) Y CORRIENTE DE ENTRADA (INFERIOR). CON PRE-REGULACIÓN.	- 59 -
FIGURA 4.25 TENSIÓN DE SALIDA. CON PRE-REGULACIÓN.	- 60 -
FIGURA 4.26 GRÁFICA SUPERIOR: TENSIÓN DE SALIDA (AZUL) Y TENSIÓN DE ENTRADA (ROJO). GRÁFICA INFERIOR: CICLO DE TRABAJO FINAL. CON PRE-REGULACIÓN.	- 60 -
FIGURA 4.27 GRÁFICA SUPERIOR: DETALLE CORRIENTE POR LA BOBINA. GRÁFICA INFERIOR: ONDA PWM DE DISPARO DEL TRANSISTOR. CON PRE-REGULACIÓN.	- 61 -
FIGURA 4.28 GRÁFICA SUPERIOR: ONDA MODULADORA. GRÁFICA CENTRAL: CICLO DE TRABAJO DADO POR LA PRE-REGULACIÓN. GRÁFICA INFERIOR: CICLO DE TRABAJO DADO POR EL REGULADOR. CON PRE-REGULACIÓN.	- 61 -
FIGURA 4.29 CORRIENTE DE ENTRADA (SUPERIOR) Y CICLO DE TRABAJO. SIN PRE-REGULACIÓN.	- 62 -
FIGURA 4.30 CORRIENTE DE ENTRADA (SUPERIOR) Y CICLO DE TRABAJO. CON PRE-REGULACIÓN.	- 62 -
FIGURA 4.31 ESPECTRO EN FRECUENCIA DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y CORRIENTE DE ENTRADA (INFERIOR). CON PRE-REGULACIÓN.	- 63 -
FIGURA 4.32 DIAGRAMA DE BLOQUES DEL LAZO EXTERNO DE TENSIÓN (NARANJA) Y DEL LAZO INTERNO DE CORRIENTE (AZUL).	- 65 -
FIGURA 4.33 DIAGRAMA DE BLOQUES EQUIVALENTE DEL LAZO EXTERNO DE TENSIÓN (NARANJA) Y DEL LAZO INTERNO DE CORRIENTE (AZUL) EN BAJA FRECUENCIA.	- 65 -
FIGURA 4.34 MODELO PROMEDIADO DEL LAZO EXTERNO DE TENSIÓN.	- 66 -
FIGURA 4.35 DIAGRAMA DE BLOQUES DEL MODELO PROMEDIADO DEL LAZO EXTERNO DE TENSIÓN.	- 67 -
FIGURA 4.36 CIRCUITO DE MEDIDA DE TENSIÓN (SUPERIOR) Y RESPUESTA EN FRECUENCIA (INFERIOR).	- 68 -
FIGURA 4.37 RESPUESTA EN FRECUENCIA DE $G_v(s)$ ANTE VARIACIONES EN LA TENSIÓN DE ENTRADA. MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 70 -
FIGURA 4.38 RESPUESTA EN FRECUENCIA DE $G_v(s)$ CON CARGA DEL 100 % (ROJO) Y DEL 50 % (VERDE). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 71 -
FIGURA 4.39 RESPUESTA EN FRECUENCIA DE $G_v(s)$ CON CARGA DEL 100 % (ROJO) Y DEL 5 % (VERDE). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 72 -
FIGURA 4.40 RESPUESTA EN FRECUENCIA DE LA PLANTA (AZUL) Y DEL REGULADOR DE TENSIÓN (ROJO). MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 74 -
FIGURA 4.41 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO DE TENSIÓN CON CARGA DEL 100 %. MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 75 -
FIGURA 4.42 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO DE TENSIÓN CON CARGA DEL 5 %. MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 76 -
FIGURA 4.43 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO (ROJO) Y LAZO CERRADO (AZUL) DE TENSIÓN DE TENSIÓN. MAGNITUD (SUPERIOR) Y FASE (INFERIOR).	- 77 -

FIGURA 4.44 CIRCUITO CONMUTADO COMPLETO DEL LAZO DE TENSIÓN Y DEL LAZO DE CORRIENTE INCLUYENDO PRE-REGULACIÓN. ....	- 78 -
FIGURA 4.45 CIRCUITO EMPLEADO EN EL CÁLCULO DE LA PRE-REGULACIÓN. ....	- 79 -
FIGURA 4.46 EVOLUCIÓN DE LA CORRIENTE EN LA BOBINA. ESCALÓN DE CARGA POSITIVO. ....	- 80 -
FIGURA 4.47 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE CARGA POSITIVO. ....	- 80 -
FIGURA 4.48 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE CARGA POSITIVO. ....	- 81 -
FIGURA 4.49 GRÁFICA SUPERIOR: EVOLUCIÓN DE LA TENSIÓN DE SALIDA (AZUL) Y DE LA TENSIÓN RECTIFICADA (ROJO). GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO. ESCALÓN DE CARGA POSITIVO. ....	- 81 -
FIGURA 4.50 GRÁFICA SUPERIOR: EVOLUCIÓN DE LA ONDA MODULADORA. GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO DADO POR LA PRE-REGULACIÓN. GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO DADO POR EL REGULADOR. ESCALÓN DE CARGA POSITIVO. ....	- 82 -
FIGURA 4.51 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA REFERENCIA DE CORRIENTE DADA POR EL REGULADOR EXTERNO DE TENSIÓN. ESCALÓN DE CARGA POSITIVO. ....	- 82 -
FIGURA 4.52 EVOLUCIÓN DE LA REFERENCIA SENOIDAL DE LA CORRIENTE DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE CARGA POSITIVO. ....	- 83 -
FIGURA 4.53 EVOLUCIÓN DE LA CORRIENTE EN LA BOBINA. ESCALÓN DE CARGA NEGATIVO. ....	- 84 -
FIGURA 4.54 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE CARGA NEGATIVO. ....	- 84 -
FIGURA 4.55 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE CARGA NEGATIVO. ....	- 85 -
FIGURA 4.56 GRÁFICA SUPERIOR: EVOLUCIÓN DE LA TENSIÓN DE SALIDA (AZUL) Y DE LA TENSIÓN RECTIFICADA (ROJO). GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO. ESCALÓN DE CARGA NEGATIVO. ....	- 85 -
FIGURA 4.57 GRÁFICA SUPERIOR: EVOLUCIÓN DE LA ONDA MODULADORA. GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO DADO POR LA PRE-REGULACIÓN. GRÁFICA INFERIOR: EVOLUCIÓN DEL CICLO DE TRABAJO DADO POR EL REGULADOR. ESCALÓN DE CARGA NEGATIVO. ....	- 86 -
FIGURA 4.58 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA REFERENCIA DE CORRIENTE DADA POR EL REGULADOR EXTERNO DE TENSIÓN. ESCALÓN DE CARGA NEGATIVO. ....	- 86 -
FIGURA 4.59 RESPUESTA EN FRECUENCIA DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). SE APRECIA LA COMPONENTE DE 100 HZ EN LA CORRIENTE DE ENTRADA. ....	- 87 -
FIGURA 4.60 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. ....	- 89 -
FIGURA 4.61 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. ....	- 89 -
FIGURA 4.62 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. ....	- 90 -
FIGURA 4.63 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. ....	- 91 -
FIGURA 4.64 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. ....	- 91 -
FIGURA 4.65 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. ....	- 92 -
FIGURA 4.66 RESPUESTA EN FRECUENCIA DE $G_{NOTCH}(s)$ . MAGNITUD (SUPERIOR) Y FASE (INFERIOR). ....	- 93 -
FIGURA 4.67 DIAGRAMA DE BLOQUES DEL MODELO PROMEDIADO DEL LAZO EXTERNO DE TENSIÓN INCLUYENDO UN FILTRO <i>NOTCH</i> . ....	- 94 -
FIGURA 4.68 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO DE TENSIÓN. MAGNITUD (SUPERIOR) Y FASE (INFERIOR). LAZO DE TENSIÓN CON FILTRO <i>NOTCH</i> . ....	- 94 -
FIGURA 4.69 RESPUESTA EN FRECUENCIA DEL LAZO ABIERTO (ROJO) Y DEL LAZO CERRADO (AZUL) DE TENSIÓN. MAGNITUD (SUPERIOR) Y FASE (INFERIOR). LAZO DE TENSIÓN CON FILTRO <i>NOTCH</i> . ....	- 95 -
FIGURA 4.70 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA REFERENCIA DE CORRIENTE DADA POR EL LAZO EXTERNO DE TENSIÓN (INFERIOR). LAZO DE TENSIÓN CON FILTRO <i>NOTCH</i> . ....	- 96 -
FIGURA 4.71 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). LAZO DE TENSIÓN CON FILTRO <i>NOTCH</i> . ....	- 96 -
FIGURA 4.72 RESPUESTA EN FRECUENCIA DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR) CON FILTRO <i>NOTCH</i> . SE APRECIA CLARAMENTE LA DISMINUCIÓN DE LA COMPONENTE DE 100 HZ EN LA CORRIENTE DE ENTRADA. ....	- 97 -

FIGURA 5.1 DIAGRAMA DE BLOQUES DEL PROCESO DE DISEÑO E IMPLEMENTACIÓN DE UN REGULADOR DISCRETO. ....	- 99 -
FIGURA 5.2 MÉTODOS DE INTEGRACIÓN DISCRETA. RECTANGULAR (IZQUIERDA) Y TRAPEZOIDAL (DERECHA). ....	- 100 -
FIGURA 5.3 DIAGRAMA RTL DEL REGULADOR DISCRETO DEL LAZO INTERNO DE CORRIENTE. ....	- 103 -
FIGURA 5.4 RESPUESTA EN FRECUENCIA DE $Ri(z)$ DISCRETO. MAGNITUD (SUPERIOR) Y FASE (INFERIOR). ....	- 104 -
FIGURA 5.5 DIAGRAMA RTL DEL REGULADOR DISCRETO DEL LAZO EXTERNO DE TENSIÓN. ....	- 106 -
FIGURA 5.6 RESPUESTA EN FRECUENCIA DE $Rv(z)$ DISCRETO. MAGNITUD (SUPERIOR) Y FASE (INFERIOR). ....	- 107 -
FIGURA 5.7 POLOS Y CEROS DEL REGULADOR DE CORRIENTE EN EL PLANO Z. ....	- 108 -
FIGURA 5.8 POLOS Y CEROS DEL REGULADOR DE TENSIÓN EN EL PLANO Z. ....	- 109 -
FIGURA 5.9 CIRCUITO PARA LA PRE-REGULACIÓN INCLUYENDO EL ADC. ....	- 110 -
FIGURA 5.10 DIAGRAMA CIRCUITAL PARA EL LAZO INTERNO DE CORRIENTE DISCRETO. ....	- 111 -
FIGURA 5.11 CORRIENTE DE SALIDA DEL RECTIFICADOR PARA CONTROL DISCRETO. ....	- 111 -
FIGURA 5.12 CORRIENTE Y TENSIÓN DE RED PARA CONTROL DISCRETO. ....	- 112 -
FIGURA 5.13 TENSIÓN DE SALIDA PARA CONTROL DISCRETO. ....	- 112 -
FIGURA 5.14 GRÁFICA SUPERIOR: TENSIÓN DE SALIDA (AZUL) Y TENSIÓN DE ENTRADA (ROJO). GRÁFICA INFERIOR: CICLO DE TRABAJO (VALOR MEDIO). ....	- 113 -
FIGURA 5.15 GRÁFICA SUPERIOR: CICLO DE TRABAJO TOTAL. GRÁFICA CENTRAL: CICLO DE TRABAJO DE LA PRE-REGULACIÓN. GRÁFICA INFERIOR: CICLO DE TRABAJO DEL PI. ....	- 113 -
FIGURA 5.16 ESPECTRO EN FRECUENCIA DE LA TENSIÓN Y CORRIENTE DE ENTRADA. ....	- 114 -
FIGURA 5.17 EFECTO DEL RIZADO DE LA TENSIÓN DE SALIDA EN LA PRE-REGULACIÓN. ....	- 115 -
FIGURA 5.18 CORRIENTE DE SALIDA DEL RECTIFICADOR PARA CONTROL DISCRETO (PRE-REGULACIÓN $V_O=CTE$ ). ....	- 115 -
FIGURA 5.19 CORRIENTE Y TENSIÓN DE RED PARA CONTROL DISCRETO (PRE-REGULACIÓN $V_O=CTE$ ). ....	- 116 -
FIGURA 5.20 TENSIÓN DE SALIDA PARA CONTROL DISCRETO (PRE-REGULACIÓN $V_O=CTE$ ). ....	- 116 -
FIGURA 5.21 GRÁFICA SUPERIOR: TENSIÓN DE SALIDA (AZUL) Y TENSIÓN DE ENTRADA (ROJO). GRÁFICA INFERIOR: CICLO DE TRABAJO (VALOR MEDIO). PRE-REGULACIÓN $V_O=CTE$ . ....	- 117 -
FIGURA 5.22 GRÁFICA SUPERIOR: CICLO DE TRABAJO TOTAL. GRÁFICA CENTRAL: CICLO DE TRABAJO DE LA PRE-REGULACIÓN. GRÁFICA INFERIOR: CICLO DE TRABAJO DEL PI. PRE-REGULACIÓN $V_O=CTE$ . ....	- 117 -
FIGURA 5.23 ESPECTRO EN FRECUENCIA DE LA TENSIÓN Y CORRIENTE DE ENTRADA (PRE-REGULACIÓN $V_O=CTE$ ). ....	- 118 -
FIGURA 5.24 DIAGRAMA CIRCUITAL PARA EL LAZO EXTERNO DE TENSIÓN DISCRETO. ....	- 119 -
FIGURA 5.25 ESQUEMA EMPLEADO EN LA PRE-REGULACIÓN CON TENSIÓN DE SALIDA CONSTANTE. ....	- 120 -
FIGURA 5.26 EVOLUCIÓN DE LA CORRIENTE DE LA BOBINA DURANTE UN ESCALÓN DE CARGA POSITIVO. REGULADOR DISCRETO. ....	- 121 -
FIGURA 5.27 EVOLUCIÓN DE LA TENSIÓN (SUPERIOR) Y CORRIENTE (INFERIOR) DE ENTRADA DURANTE UN ESCALÓN DE CARGA POSITIVO. REGULADOR DISCRETO. ....	- 121 -
FIGURA 5.28 TENSIÓN DE SALIDA (SUPERIOR) Y CORRIENTE EN LA BOBINA (INFERIOR) DURANTE UN ESCALÓN DE CARGA POSITIVO. REGULADOR DISCRETO. ....	- 122 -
FIGURA 5.29 TENSIÓN DE SALIDA Y DE ENTRADA (SUPERIOR) JUNTO CON CICLO DE TRABAJO (INFERIOR) DURANTE UN ESCALÓN DE CARGA POSITIVO. REGULADOR DISCRETO. ....	- 122 -
FIGURA 5.30 GRÁFICA SUPERIOR: CICLO DE TRABAJO TOTAL. GRÁFICA CENTRAL: CICLO DE TRABAJO DE LA PRE-REGULACIÓN. GRÁFICA INFERIOR: CICLO DE TRABAJO DEL PI. ESCALÓN CARGA POSITIVO. REGULADOR DISCRETO. ....	- 123 -
FIGURA 5.31 GRÁFICA SUPERIOR: TENSIÓN DE SALIDA. GRÁFICA INFERIOR: REFERENCIA DADA POR EL PI DE TENSIÓN. ESCALÓN CARGA POSITIVO. REGULADOR DISCRETO. ....	- 123 -
FIGURA 5.32 GRÁFICA SUPERIOR: CORRIENTE DE REFERENCIA PARA EL LAZO INTERNO DE CORRIENTE. GRÁFICA INFERIOR: TENSIÓN DE ENTRADA RECTIFICADA. ESCALÓN CARGA POSITIVO. REGULADOR DISCRETO. ....	- 124 -
FIGURA 5.33 EVOLUCIÓN DE LA CORRIENTE DE LA BOBINA DURANTE UN ESCALÓN DE CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 125 -
FIGURA 5.34 EVOLUCIÓN DE LA TENSIÓN (SUPERIOR) Y CORRIENTE (INFERIOR) DE ENTRADA DURANTE UN ESCALÓN DE CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 125 -
FIGURA 5.35 TENSIÓN DE SALIDA (SUPERIOR) Y CORRIENTE EN LA BOBINA (INFERIOR) DURANTE UN ESCALÓN DE CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 126 -
FIGURA 5.36 TENSIÓN DE SALIDA Y DE ENTRADA (SUPERIOR) JUNTO CON CICLO DE TRABAJO (INFERIOR) DURANTE UN ESCALÓN DE CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 126 -
FIGURA 5.37 GRÁFICA SUPERIOR: CICLO DE TRABAJO TOTAL. GRÁFICA CENTRAL: CICLO DE TRABAJO DE LA PRE-REGULACIÓN. GRÁFICA INFERIOR: CICLO DE TRABAJO DEL PI. ESCALÓN CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 127 -
FIGURA 5.38 GRÁFICA SUPERIOR: TENSIÓN DE SALIDA. GRÁFICA INFERIOR: REFERENCIA DADA POR EL PI DE TENSIÓN. ESCALÓN CARGA NEGATIVO. REGULADOR DISCRETO. ....	- 127 -
FIGURA 5.39 GRÁFICA SUPERIOR: ESPECTRO EN FRECUENCIA DE LA TENSIÓN DE ENTRADA. GRÁFICA INFERIOR: ESPECTRO EN FRECUENCIA DE LA CORRIENTE DE ENTRADA. REGULADOR DISCRETO. ....	- 128 -

FIGURA 5.40 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. REGULADOR DISCRETO.....	- 129 -
FIGURA 5.41 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. REGULADOR DISCRETO.....	- 129 -
FIGURA 5.42 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN POSITIVO. REGULADOR DISCRETO.....	- 130 -
FIGURA 5.43 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. REGULADOR DISCRETO. ....	- 131 -
FIGURA 5.44 EVOLUCIÓN DE LA TENSIÓN DE ENTRADA (SUPERIOR) Y DE LA CORRIENTE DE ENTRADA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. REGULADOR DISCRETO. ....	- 131 -
FIGURA 5.45 EVOLUCIÓN DE LA TENSIÓN DE SALIDA (SUPERIOR) Y DE LA CORRIENTE DE LA BOBINA (INFERIOR). ESCALÓN DE TENSIÓN NEGATIVO. REGULADOR DISCRETO. REGULADOR DISCRETO. ....	- 132 -
FIGURA 6.1 FORMATO DE UN NÚMERO CODIFICADO EN COMA FIJA SEGÚN LA LIBRERÍA <i>SFIXED</i> .....	- 136 -
FIGURA 6.2 DIAGRAMA RTL DEL REGULADOR DISCRETO DEL LAZO INTERNO DE CORRIENTE. ....	- 137 -
FIGURA 6.3 RESPUESTA AL ESCALÓN DEL REGULADOR DE CORRIENTE DISCRETO EN COMA FLOTANTE. ....	- 139 -
FIGURA 6.4 RESPUESTA AL ESCALÓN DEL REGULADOR DE CORRIENTE DISCRETO EN COMA FIJA VHDL.....	- 140 -
FIGURA 6.5 DIAGRAMA RTL DEL REGULADOR DISCRETO DEL LAZO INTERNO DE TENSIÓN. ....	- 141 -
FIGURA 6.6 RESPUESTA AL ESCALÓN DEL REGULADOR DE CORRIENTE DISCRETO EN COMA FLOTANTE. ....	- 143 -
FIGURA 6.7 RESPUESTA AL ESCALÓN DEL REGULADOR DE CORRIENTE DISCRETO EN COMA FIJA VHDL.....	- 144 -
FIGURA 6.8 DIAGRAMA DE BLOQUES DE LOS COMPONENTES DE LA SIMULACIÓN VHDL. ....	- 145 -
FIGURA 6.9 RESULTADOS DE LA SIMULACIÓN DEL LAZO DE CORRIENTE EN VHDL. SIN PRE-REGULACIÓN. ....	- 149 -
FIGURA 6.10 RESULTADOS DE LA SIMULACIÓN DEL LAZO DE CORRIENTE EN VHDL. CON PRE-REGULACIÓN. ....	- 150 -
FIGURA 6.11 RESULTADOS DE LA SIMULACIÓN DEL LAZO DE TENSIÓN EN VHDL. ESCALÓN DE CARGA POSITIVO DEL 50 %.....	- 151 -
FIGURA 6.12 RESULTADOS DE LA SIMULACIÓN DEL LAZO DE TENSIÓN EN VHDL. ESCALÓN DE CARGA NEGATIVO DEL 50 %.....	- 151 -
FIGURA 7.1 DIAGRAMA DE BLOQUES DEL CONVERTOR XADC DE XILINX (ADAPTADA DE [XILINX-UG480]).....	- 153 -
FIGURA 7.2 INTERFAZ DEL CONVERTOR XADC DE XILINX (ADAPTADA DE [XILINX-UG480]).....	- 154 -
FIGURA 7.3 CRONOGRAMA DE LAS SEÑALES DE CONTROL DEL XADC.....	- 155 -
FIGURA 7.4 MÁQUINA DE ESTADOS PARA CONTROL DEL ADC (CONVERSIÓN Y LECTURA).....	- 157 -
FIGURA 7.5 MÁQUINA DE ESTADOS PARA CONTROL DEL BUS DEL ADC (LECTURA).....	- 158 -
FIGURA 7.6 MÁQUINA DE ESTADOS PARA CONTROL DEL BUS DEL ADC (ESCRITURA). ....	- 158 -
FIGURA 7.7 GRÁFICA DEL CONTADOR DEL PWM DIGITAL (DPWM) CON DETALLE DEL ADC.....	- 159 -
FIGURA 7.8 EVOLUCIÓN DE LAS SEÑALES DEL ADC DURANTE LOS PROCESOS DE CONVERSIÓN Y LECTURA. ....	- 159 -
FIGURA 7.9 EVOLUCIÓN SEÑALES ADC DURANTE LOS PROCESOS DE CONVERSIÓN Y LECTURA (DETALLE). ....	- 160 -
FIGURA 7.10 TENSIÓN DE SALIDA (SUPERIOR) Y TENSIÓN DE ENTRADA RECTIFICADA (INFERIOR).....	- 161 -
FIGURA 7.11 GRÁFICA DEL CONTADOR DEL PWM DIGITAL (DPWM) CON DETALLE DEL DIEZMADO. ....	- 161 -
FIGURA 7.12 DIAGRAMA DE BLOQUES DE LAS CONVERSIONES REALIZADAS PARA EL <i>DISPLAY</i> . ....	- 163 -
FIGURA 7.13 MONTAJE EMPLEADO EN LAS PRUEBAS DEL DISPLAY DE 7 SEGMENTOS. ....	- 164 -
FIGURA 7.14 RESULTADO DE LAS PRUEBAS DEL DISPLAY DE 7 SEGMENTOS. ....	- 164 -
FIGURA 7.15 DIAGRAMA GENERAL DEL SISTEMA DE MONITORIZACIÓN IMPLEMENTADO. ....	- 165 -
FIGURA 7.16 DIAGRAMA DE BLOQUES DE LA UART. ....	- 166 -
FIGURA 7.17 CRONOGRAMA DE LAS SEÑALES DE CONTROL DEL XADC.....	- 166 -
FIGURA 7.18 CONECTOR RS-232 Y SIGNIFICADO DE LOS PINES. ....	- 167 -
FIGURA 7.19 TRAMA DE COMUNICACIONES ENTRE LA FPGA Y EL PC POR RS-232. ....	- 168 -
FIGURA 7.20 RESULTADOS DE LA SIMULACIÓN DE LA UART. ....	- 168 -
FIGURA 7.21 RESULTADOS DE LA SIMULACIÓN DE LA UART. DETALLE.....	- 169 -
FIGURA 7.22 TRAMA COMPLETA ENVIADA POR RS-232. ....	- 169 -
FIGURA 7.23 DETALLE PALABRA INICIAL DE LA TRAMA ENVIADA POR RS-232.....	- 170 -
FIGURA 7.24 DETALLE DE LA DURACIÓN DE UN BIT DE LA TRAMA ENVIADA POR RS-232. ....	- 170 -
FIGURA 7.25 DIAGRAMA DE BLOQUES DEL FILTRADO EN LA FPGA DE LOS DATOS ENVIADOS RS-232. ....	- 171 -
FIGURA 7.26 DIAGRAMA RTL DEL REGULADOR DISCRETO DEL LAZO INTERNO DE CORRIENTE.....	- 172 -
FIGURA 8.1 MONTAJE GENERAL EMPLEADO EN LAS PRUEBAS. ....	- 173 -
FIGURA 8.2 PLACA DEL CONVERTIDOR ELEVADOR <i>BOOST</i> PARA PFC. ....	- 174 -
FIGURA 8.3 CIRCUITO DE MEDIDA DE CORRIENTE DE ENTRADA. ....	- 174 -
FIGURA 8.4 PLACA NEXYS 4 DDR CON FPGA ARTIX 7. ....	- 175 -
FIGURA 8.5 CIRCUITO ELÉCTRICO DEL BANCO DE RESISTENCIAS. ....	- 175 -

FIGURA 8.6 MONTAJE DEL BANCO DE RESISTENCIAS MOSTRANDO SU CARGA MÁXIMA.....	- 176 -
FIGURA 8.7 EQUIPOS AUXILIARES EMPLEADOS EN LAS PRUEBAS. ....	- 176 -
FIGURA 8.8 CORRIENTE POR LA BOBINA. CON PRE-REGULACIÓN Y PLENA CARGA.....	- 177 -
FIGURA 8.9 TENSIÓN DE SALIDA. CON PRE-REGULACIÓN Y PLENA CARGA.....	- 177 -
FIGURA 8.10 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL). ....	- 178 -
FIGURA 8.11 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL). DETALLE.....	- 178 -
FIGURA 8.12 CORRIENTE DE ENTRADA MEDIDA (VERDE) Y MEDIDA CON PINZA (MARRÓN). ....	- 179 -
FIGURA 8.13 CORRIENTE DE ENTRADA (VERDE) Y CICLO DE TRABAJO PROMEDIADO (AZUL). DETALLE. ....	- 179 -
FIGURA 8.14 CORRIENTE POR LA BOBINA. CON PRE-REGULACIÓN Y PLENA CARGA. DOBLE LAZO. ....	- 180 -
FIGURA 8.15 TENSIÓN DE SALIDA. CON PRE-REGULACIÓN Y PLENA CARGA. DOBLE LAZO. ....	- 180 -
FIGURA 8.16 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL) CON 100 % DE CARGA. ....	- 181 -
FIGURA 8.17 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL) Y 100 % DE CARGA. DETALLE. ....	- 181 -
FIGURA 8.18 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL) CON 70 % DE CARGA. ....	- 182 -
FIGURA 8.19 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL) Y 50 % DE CARGA. DETALLE. ....	- 182 -
FIGURA 8.20 CORRIENTE DE ENTRADA (VERDE) Y CICLO DE TRABAJO PROMEDIADO (AZUL) Y 100 % CARGA. ....	- 183 -
FIGURA 8.21 TENSIÓN DE SALIDA Y CORRIENTE DE ENTRADA ANTE ESCALÓN POSITIVO DE CARGA DEL 70 %.....	- 184 -
FIGURA 8.22 TENSIÓN DE SALIDA Y CORRIENTE DE ENTRADA ANTE ESCALÓN NEGATIVO DE CARGA DEL 70 %. ....	- 184 -
FIGURA 8.23 CORRIENTE DE ENTRADA (VERDE), CORRIENTE PINZA (MARRÓN) Y TENSIÓN DE SALIDA (AZUL). ....	- 185 -
FIGURA 8.24 CORRIENTE DE ENTRADA (VERDE), CORRIENTE PINZA (MARRÓN) Y TENSIÓN DE SALIDA (AZUL). ....	- 185 -
FIGURA 8.25 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL). ....	- 186 -
FIGURA 8.26 CORRIENTE DE ENTRADA (VERDE) Y TENSIÓN DE SALIDA (AZUL). DETALLE.....	- 186 -

# Glosario de términos

<b>μC</b>	MicroControlador
<b>AC</b>	Alternating Current Direct Current (CA en español)
<b>AC/DC</b>	Convertidor Alterna-Continua
<b>ADC</b>	Analog to Digital Converter
<b>AM</b>	Amplitude Modulation
<b>AO</b>	Amplificador Operacional
<b>ASM</b>	Algorithmic State machine
<b>AT</b>	Alta tensión
<b>BCM</b>	Boundary Conduction Mode
<b>BT</b>	Baja tensión
<b>BW</b>	Band Width (ancho de banda)
<b>CA</b>	Corriente Alterna
<b>CAD</b>	Computer Aided Design
<b>CAN</b>	Controller Area Network
<b>CC</b>	Corriente Continua
<b>CCM</b>	Continuous Conduction Mode
<b>DAC</b>	Digital to Analog Converter
<b>DAT</b>	Distorsión Armónica Total
<b>DB</b>	Dead band
<b>DC</b>	Direct Current (CC en español)
<b>DC/AC</b>	Convertidor Continua- Alterna
<b>DCM</b>	Discontinuous Conduction Mode
<b>DDR</b>	Doble Data Rate (referida normalmente a SDRAM)
<b>DPWM</b>	Digital Pulse-Width Modulation
<b>DRP</b>	Dynamic Reconfiguration Port (XADC)
<b>DSP</b>	Digital Signal Processor (o Digital Signal Processing)
<b>EN</b>	European Normative (European Standard)
<b>EOC</b>	End Of Conversion

<b>FACTS</b>	Flexible AC Transmission Systems
<b>FFT</b>	Fast Fourier Transform
<b>FIFO</b>	Estructura de datos tipo cola (First Input – First Output)
<b>FPGA</b>	Field Programmable Gate Array
<b>GUI</b>	Graphic User Interface
<b>HCTLab</b>	Human Computer Technology Lab
<b>HDL</b>	Hardware Description Language
<b>IEC</b>	International Electrotechnical Commission
<b>IEE</b>	Institution of Electrical Engineers
<b>IEEE</b>	Institution of Electrical and Electronics Engineers
<b>IGBT</b>	Insolated Gate Bipolar Transistor
<b>IGCT</b>	Integrated Gate-Commutated Thyristor
<b>LED</b>	Light Emitting Diode
<b>FILO</b>	Estructura de datos tipo pila (First Input – Last Output)
<b>LSB</b>	Least Significant Bit
<b>MIMO</b>	Multiple Inputs - Multiple Outputs
<b>MOSFET</b>	Metal-Oxide-Semiconductor Field-Effect-Transistor
<b>MSB</b>	Most Significant Bit
<b>MSPS</b>	Mega Samples Per Second
<b>MT</b>	Media tensión
<b>MTBF</b>	Mean Time Between Failures
<b>PCB</b>	Printed Circuit Board
<b>PCC</b>	Punto de Conexión Común de la red
<b>PF</b>	Power Factor
<b>PFC</b>	Power Factor Correction
<b>PI</b>	Control Proporcional-Integral
<b>PID</b>	Control Proporcional-Integral-Derivativo
<b>PLL</b>	Phase-Locked Loop
<b>PR</b>	Proportional – Resonat Controller
<b>PU</b>	Sistema por unidad
<b>PWM</b>	Pulse-Width Modulation

<b>RAM</b>	Random Access Memory
<b>RMS</b>	Root Mean Square
<b>RS-232</b>	Protocolo serie de comunicaciones RS-232
<b>RTL</b>	Register Transfer Logic
<b>S&amp;H</b>	Sample and Hold
<b>SDRAM</b>	Synchronous Dynamic RAM
<b>SHE</b>	Selective Harmonic Elimination
<b>SISO</b>	Single Input - Single Output
<b>SPWM</b>	Sinusoidal Pulse-Width Modulation
<b>THD</b>	Total Harmonic Distortion
<b>TIC</b>	Tecnologías de la Información y las Comunicaciones
<b>UAM</b>	Universidad Autónoma de Madrid
<b>UART</b>	Universal Asynchronous Receiver-Transmitter
<b>USB</b>	Universal Serial Bus
<b>VA</b>	Voltamperio (unidad de potencia aparente)
<b>VAr</b>	Voltamperio Reactivo (unidad de potencia reactiva)
<b>VCO</b>	Voltage Controlled Oscillator
<b>VHDL</b>	Very High Speed Integrated Circuit - HDL
<b>VHDL-AMS</b>	VHDL – Analog and Mixed Signal extensions
<b>ZOH</b>	Zero Order Hold



# 1. Introducción

## 1.1 Motivación del proyecto

En la actualidad, el interés por la calidad en la red eléctrica es un área de creciente exigencia, tanto por parte de los equipos conectados a la red eléctrica como por parte de las compañías suministradoras.

Una de las cargas más comunes conectadas a la red son las fuentes de alimentación relacionadas con los equipos de las tecnologías de la información y de las comunicaciones (TIC), siendo una parte fundamental de estos equipos encargándose de suministrarles la energía necesaria para su funcionamiento. Estas fuentes de alimentación están sometidas a fuertes requisitos en relación con las perturbaciones que pueden inyectar en la red eléctrica y del factor de potencia de las mismas, el cual da un valor cuantitativo del uso eficiente de la red.

Por este motivo, ha sido necesario incrementar la complejidad de las topologías y de los sistemas de control en tiempo real de estas fuentes empleando avanzadas técnicas digitales y de tratamiento de señal. Salvo en el caso de pequeñas potencias o cuando las perturbaciones en la tensión de salida deban ser muy reducidas, en cuyo caso se emplean fuentes lineales, el tipo de fuentes de alimentación AC/DC más empleado en la actualidad son las fuentes conmutadas en alta frecuencia, con o sin aislamiento. Este tipo de fuentes tiene un elevado rendimiento y posibilita la implementación de complejos lazos de control que permiten obtener unas altas prestaciones. Estas fuentes de alimentación emplean transistores trabajando en corte y saturación a modo de interruptores. Controlando el ciclo de trabajo (proporción entre el tiempo de encendido y de apagado) se regula la tensión de salida y la corriente.

Uno de los principales inconvenientes de las fuentes de alimentación tradicionales basadas en rectificador más condensador es su elevada distorsión en la corriente de entrada y su bajo factor de potencia lo cual provoca un uso poco eficiente de la red eléctrica. Por su parte, las fuentes conmutadas en alta frecuencia posibilitan el control de la corriente de entrada mejorando el factor de potencia, aunque como contrapartida la corriente presenta componentes armónicas en alta frecuencia que es necesario controlar y filtrar.

Debido al incremento en las potencias manejadas, a la existencia de equipos en la red cada vez más críticos y al aumento del número de este tipo de fuentes de alimentación, las normativas internacionales están siendo cada vez más exigentes en relación al máximo nivel de perturbación admisible que se puede introducir en la red eléctrica [UNE-EN 61000-3-2].

Para mejorar el factor de potencia y reducir la distorsión de la corriente consumida por las fuentes de alimentación, una de las técnicas más empleadas es la denominada corrección del factor de potencia (*PFC* en inglés). Mediante esta técnica se pretende que la corriente consumida de la red sea lo más senoidal posible y en fase con la tensión de red con objeto de disminuir la distorsión y mejorar el factor de potencia. Para implementar esta técnica se recurre a topologías de potencia más avanzadas y a complejos lazos de control.

En este proyecto se diseña e implementa una fuente de alimentación conmutada con control digital que realiza la función de corrección del factor de potencia (pre-regulador). Una de las ventajas de emplear un control digital es la posibilidad de añadir funcionalidades adicionales al sistema tales como incluir comunicaciones con el exterior con, por ejemplo, programas de monitorización o la modificación sencilla mediante software del algoritmo de control (la modificación de un control analógico implicaría el rediseño y fabricación del circuito de control). Como inconvenientes del control digital cabe citar la mayor complejidad y las limitaciones propias del tratamiento digital de señales.

En este proyecto se diseña e implementa el controlador digital de la fuente de alimentación en una FPGA (*Field Programmable Gate Array*) empleando el lenguaje de descripción hardware VHDL. Se implementa también un sistema de monitorización. Las FPGA son dispositivos digitales que contienen una matriz de bloques lógicos cuya interconexión y funcionalidad se puede programar. Son elementos muy rápidos y versátiles, pudiendo procesar gran cantidad de información en paralelo y permitiendo incluir ciertas funcionalidades adicionales de tratamiento digital de señal mediante hardware.

## 1.2 Objetivos del proyecto

El objetivo de este proyecto es el empleo de técnicas digitales y de tratamiento digital de señales aplicadas al control sistemas de tiempo real. El control diseñado se programa en lenguaje VHDL y se implementa en una FPGA que integra internamente los ADC.

En concreto, en este proyecto se pretende realizar un control digital en lazo cerrado de un convertidor AC/DC con corrección del factor de potencia, de tipo *Boost*, y comprobación en un prototipo de laboratorio. Este control implica el diseño e implementación de dos lazos de control. Un lazo interno rápido de corriente encargado de seguir la referencia senoidal de corriente (proporcional a la tensión de entrada) y un lazo externo lento de tensión encargado de ajustar la magnitud de la corriente de entrada en función de la potencia demandada por la carga.

Adicionalmente se diseña e implementa un programa de monitorización basado en RS-232 con interfaz gráfica de usuario o GUI para la visualización y modificación de las variables internas del control desde un PC, habiéndose implementado también la interfaz UART en la FPGA necesaria para este protocolo de comunicaciones.

El control diseñado se prueba en un prototipo físico en el laboratorio y se comprueba que los resultados experimentales coinciden con los cálculos teóricos y simulaciones, tanto circuitales como en VHDL.

## 1.3 Metodología

El proyecto se dividirá en las siguientes fases:

- a) Recopilación y búsqueda de bibliografía, antecedentes e información teórica necesaria para la realización del proyecto.
- b) Análisis y diseño del lazo cerrado de control digital, lazo de corriente y tensión, del convertidor conmutado.
- c) Simulación circuital del lazo cerrado de control digital del convertidor conmutado.
- d) Estudio, diseño y puesta en marcha del hardware empleado y circuitos de medida.
- e) Implementación y simulación del código VHDL para la programación de la FPGA.
- f) Verificación del funcionamiento mediante simulación digital hardware de la FPGA y comprobación de los ADC.
- g) Pruebas físicas mediante la placa de desarrollo, pruebas de campo, con el osciloscopio e instrumentación de laboratorio.
- h) Implementación y verificación del funcionamiento de las comunicaciones RS-232 mediante UART en la FPGA.
- i) Realización de la interfaz gráfica de usuario (GUI) y comprobación de su funcionamiento conectándola a la FPGA.
- j) Memoria del proyecto fin de carrera reflejando el trabajo y los resultados obtenidos durante la realización del proyecto.

### **Medios a utilizar**

Para la realización del proyecto se contará con:

- Ordenadores PC Pentium *DualCore* y *QuadCore* para diseño y programación de la FPGA utilizada.
- Osciloscopio para el análisis de señales digitales y analógicas, fuente de alimentación DC y AC, multímetro y equipos de instrumentación disponibles en el laboratorio del grupo HTCLab.

- Tarjeta de desarrollo Nexys 4 DDR para la verificación de los prototipos realizados.
- Tarjeta convertidor conmutado *Boost* para corrección del factor de potencia.
- Banco de resistencias ajustable de hasta 300 W para probar los escalones de carga.
- Software: Xilinx ISE para la elaboración del código y la programación de FPGA. Herramienta de simulación ModelSim para la verificación mediante simulaciones. Programas de simulación de circuitos tipo PSpice o PSIM. Herramientas de cálculo tipo Matlab o Mathcad para la realización de los modelos de sistemas de control y estudios de funciones de transferencia.

## 1.4 Estructura de la memoria

El presente trabajo se estructura en nueve capítulos:

- **Capítulo 1: Introducción.** Este capítulo presenta la motivación, los objetivos, la metodología y la estructura del proyecto, exponiendo una breve introducción a los principales conceptos implicados.
- **Capítulo 2: Conceptos sobre factor de potencia.** Este capítulo presenta los fundamentos relativos al factor de potencia y su importancia en las perturbaciones y corriente demandada a la red, que es la motivación del desarrollo realizado a lo largo del proyecto.
- **Capítulo 3: Fuentes de alimentación.** En este capítulo se presentan los fundamentos de las fuentes de alimentación lineales y conmutadas así como de los convertidores DC/DC. A continuación se presenta la topología *Boost* utilizada en este proyecto y se detallan los circuitos de medida de tensión y corriente diseñados para este proyecto.
- **Capítulo 4: Modelado y control analógico.** En este capítulo se presentan los fundamentos del control analógico (dominio  $s$ ) en el dominio de la frecuencia empleando modelos promediados, desarrollándose el diseño del lazo de control interno de corriente y el lazo externo de tensión. Se diseña el control y se comprueban los resultados paso a paso mediante numerosas simulaciones circuitales, tanto del lazo de corriente como del lazo de tensión, comprobando su comportamiento en régimen permanente y ante escalones de carga y de tensión de entrada.
- **Capítulo 5: Control digital.** En este capítulo se presentan las técnicas de control digital y se discretiza (dominio  $z$ ) el control analógico hallado en el capítulo anterior. Se simulan y analizan los resultados del lazo de tensión y del lazo de corriente mediante técnicas circuitales incluyendo los ADC y los reguladores en el dominio digital  $z$ . Se comparan los resultados con los resultados obtenidos en el capítulo anterior.

- **Capítulo 6: Implementación del control digital en VHDL.** En este capítulo se describe la implementación en VHDL de los reguladores discretizados en el capítulo anterior. En primer lugar se realizan simulaciones individuales de los reguladores. A continuación se realiza en VHDL un simulador completo del sistema incluyendo los ADC, los reguladores, el convertidor *Boost*, la tensión de red y la carga comprobando los resultados con los obtenidos anteriormente.
- **Capítulo 7: Monitorización y medidas.** En este capítulo se presenta el control de los ADC integrados en la FPGA mediante VHDL. Se realizan exhaustivas pruebas para comprobar el comportamiento de la lectura de los ADC, punto crítico para el correcto funcionamiento del sistema. Se implementa en VHDL un sistema de visualización de las variables internas del regulados y medidas del los ADC en el display de siete segmentos de la placa. Se implementa una UART en VHDL para permitir las comunicaciones mediante RS-232 entre la FPGA y un programa de monitorización o GUI. Se desarrolla el programa de monitorización y realizan numerosas pruebas para comprobar su correcto funcionamiento.
- **Capítulo 8: Resultados experimentales.** En este capítulo se presentan los resultados experimentales obtenidos en la pruebas de laboratorio para el control implementado en la FPGA y controlando el circuito *Boost*. Se analizan los resultados obtenidos para el lazo de tensión y de corriente sometiendo al sistema a escalones de carga, comparando los resultados obtenidos con los hallados en capítulos anteriores. Se comprueba también el funcionamiento de los programas de monitorización.
- **Capítulo 9: Conclusiones y trabajos futuros** En este capítulo se sintetizan las conclusiones extraídas del proyecto realizado y se presentan las futuras líneas de investigación derivadas del mismo.



# 2. Conceptos sobre factor de potencia

## 2.1 Introducción

A lo largo de este proyecto se realiza el estudio teórico, diseño e implementación una fuente de alimentación conmutada con corrección del factor de potencia mediante un control digital realizado con FPGA.

Antes de analizar en capítulos posteriores las diferentes topologías y soluciones para conseguir aumentar la calidad de la energía consumida de la red eléctrica es necesario presentar en cierto detalle el concepto de factor de potencia y su relación con la distorsión en la corriente consumida y el desfase entre la tensión y la corriente de entrada.

## 2.2 Fundamentos sobre factor de potencia

El factor de potencia en su definición más amplia, incluyendo sistemas con distorsión, relaciona el desfase entre la corriente y la tensión de entrada así como la distorsión de las mismas.

En la Figura 2.1 se muestra el esquema general de una carga de AC conectada a la red monofásica

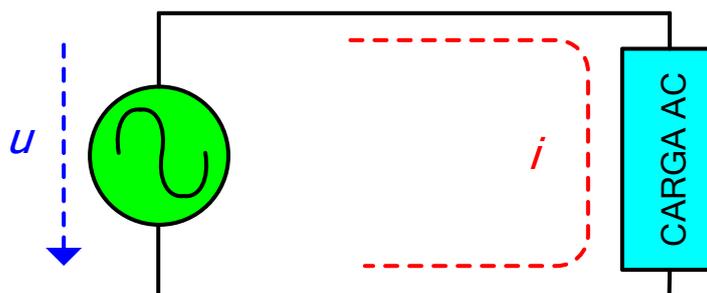


Figura 2.1 Esquema general de una fuente de alimentación.

La expresión matemática que define el factor de potencia se recoge en la siguiente expresión para el sistema monofásico de la figura anterior

$$PF = \frac{\text{Potencia activa}}{\text{Potencia aparente}} = \frac{\frac{1}{T} \int_t^{t+T} u(t)i(t) dt}{\sqrt{\frac{1}{T} \int_t^{t+T} u^2(t) dt} \cdot \sqrt{\frac{1}{T} \int_t^{t+T} i^2(t) dt}} = \frac{P}{U_{ef} I_{ef}} \quad (2.1)$$

En el caso de que la tensión de red sea senoidal, impedancia de red pequeña, la fórmula anterior se puede expresar de la siguiente manera

$$PF = \frac{I_{1,ef}}{I_{ef}} \cos(\theta) = k_d \cdot k_\theta \quad (2.2)$$

donde  $k_d$  es el término debido a la distorsión y  $k_\theta$  el término de desplazamiento debido al desfase entre la tensión y la corriente.

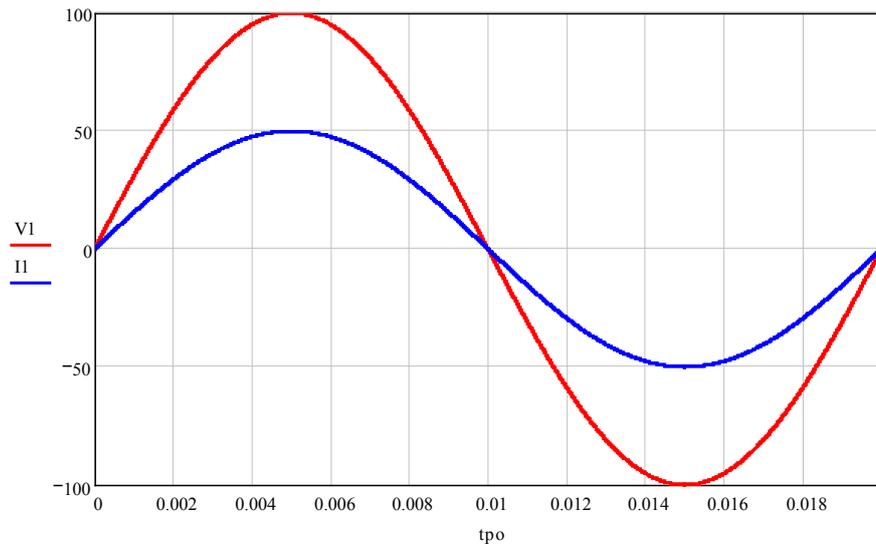
Tal y como se aprecia en la fórmula anterior, en el caso de sistemas no distorsionados, el factor de potencia se corresponde con el tradicional desfase  $\cos(\vartheta)$  entre la tensión y la corriente del sistema de corriente alterna [Mohan00][Martínez06].

Con objeto de apreciar la influencia en el factor de potencia del término debido al desfase entre la tensión y corriente y del término debido a la distorsión se mostrará el factor de potencia en 6 casos diferentes:

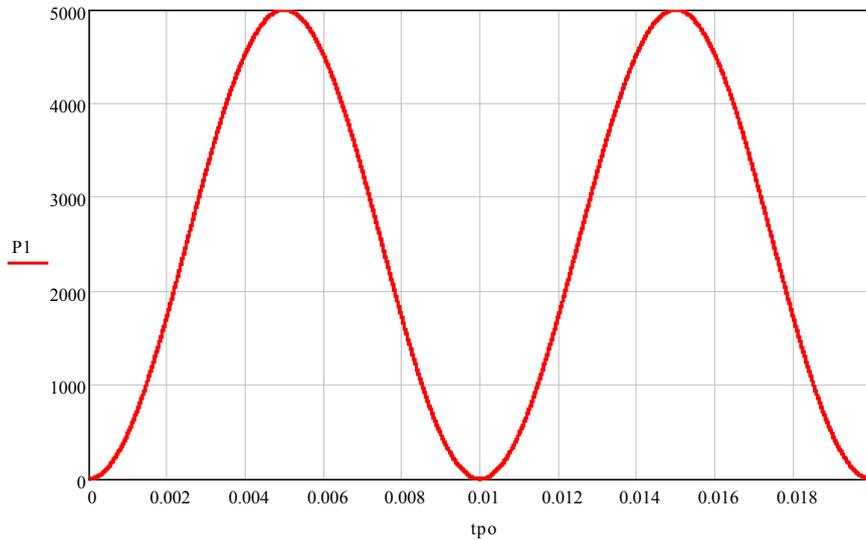
- Caso 1: Corriente senoidal sin desfase.
- Caso 2: Corriente senoidal con tercer armónico y sin desfase.
- Caso 3: Corriente cuadrada sin desfase.
- Caso 4: Corriente senoidal con desfase de 30° entre la componente fundamental de tensión y corriente.
- Caso 5: Corriente senoidal con tercer armónico y con desfase de 30° entre la componente fundamental de tensión y corriente.
- Caso 6: Corriente cuadrada con desfase de 30° entre la componente fundamental de tensión y corriente.

El objetivo de analizar estos diferentes casos es apreciar claramente cómo influye en el factor de potencia el término debido a la distorsión y el término debido al desfase entre tensión y corriente el factor de potencia. En todos los casos se considera que la tensión de red es ideal de 100 V de pico y 50 Hz.

En las diferentes figuras se muestra la tensión (rojo) y corriente de entrada (azul) para dos ciclos de red de 50 Hz así como la potencia instantánea demandada de la red.



Tensión y corriente de entrada



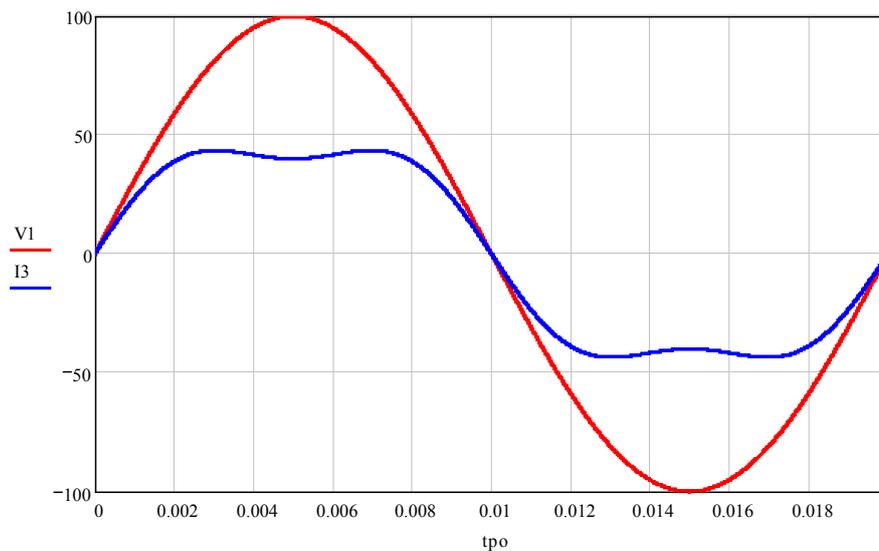
Potencia instantánea de entrada

**Figura 2.2** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Ondas senoidales sin desfase.

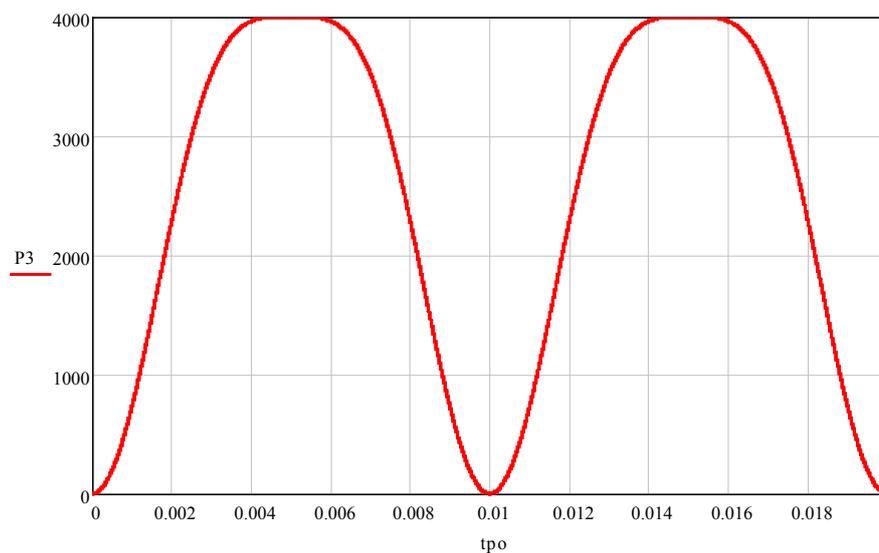
En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y corriente senoidal sin desfase ni distorsión. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 1$ , tal y como se aprecia en la figura.

Para las formas de onda anteriores se obtiene  $k_d = 1$  y  $k_\theta = 1$  siendo en este caso máximo el término debido a la distorsión y máximo el término debido al desplazamiento.



Tensión y corriente de entrada



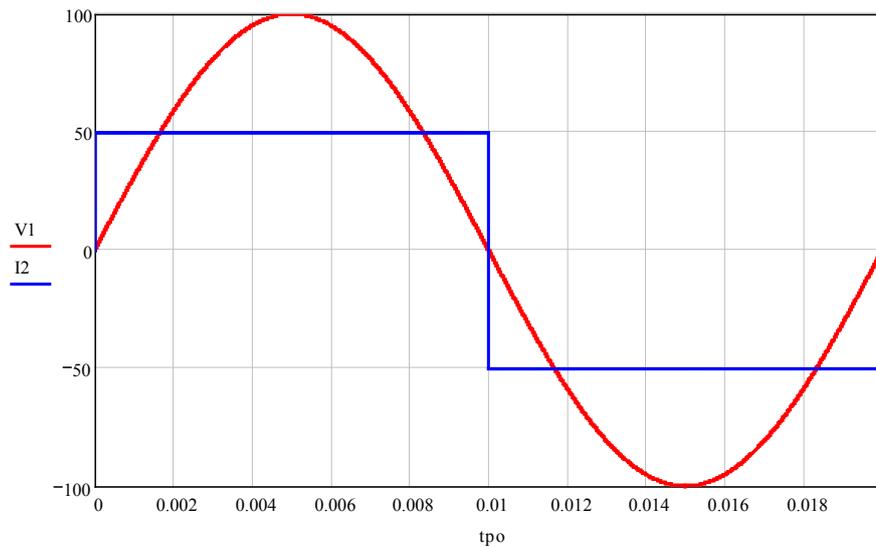
Potencia instantánea de entrada

**Figura 2.3** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Ondas senoidales con tercer armónico y sin desfase.

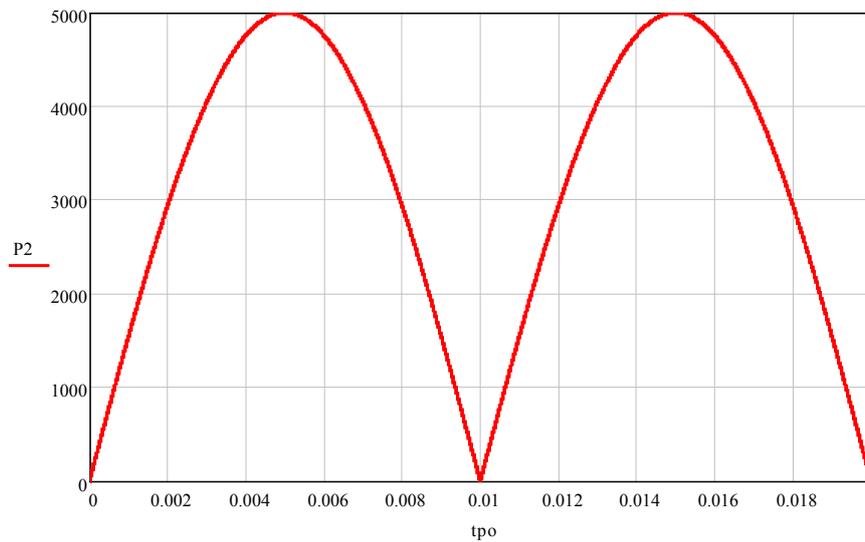
En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y corriente senoidal sin desfase con tercer armónico. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 0,981$  tal y como se aprecia en las figuras.

Para las formas de onda anteriores se obtiene  $k_d = 0,981$  y  $k_\theta = 1$  siendo en este caso predominante el término debido a la distorsión.



Tensión y corriente de entrada



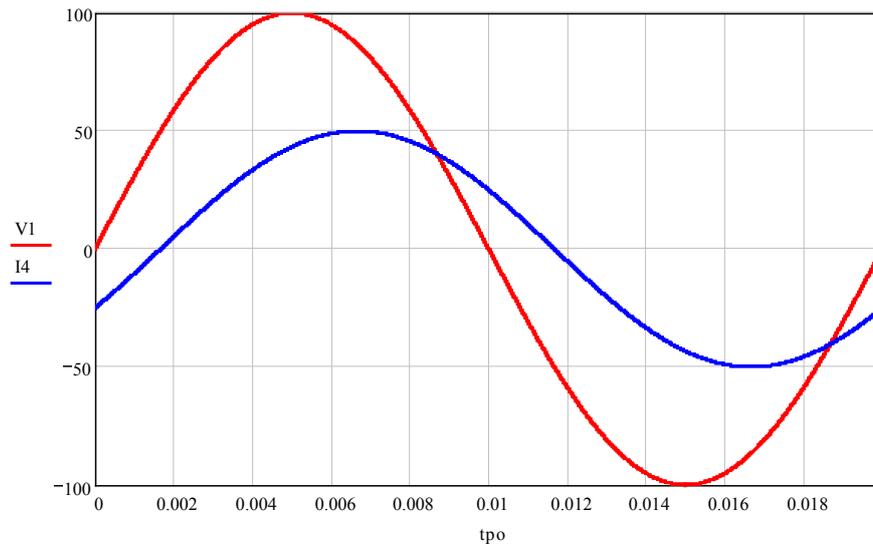
Potencia instantánea de entrada

**Figura 2.4** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Corriente cuadrada y sin desfase.

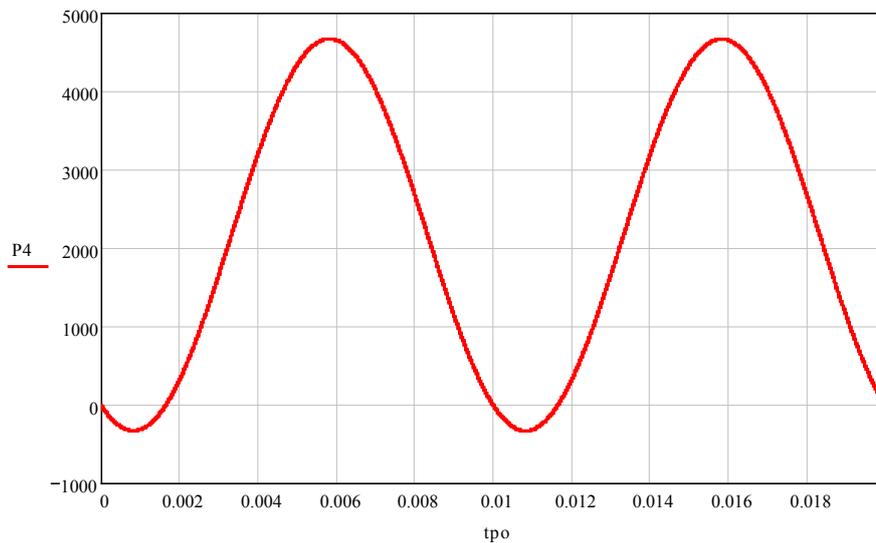
En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y corriente cuadrada sin desfase. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 0,9$  tal y como se aprecia en las figuras.

Para las formas de onda anteriores se obtiene  $k_d = 0,9$  y  $k_\theta = 1$  siendo en este caso predominante el término debido a la distorsión.



Tensión y corriente de entrada



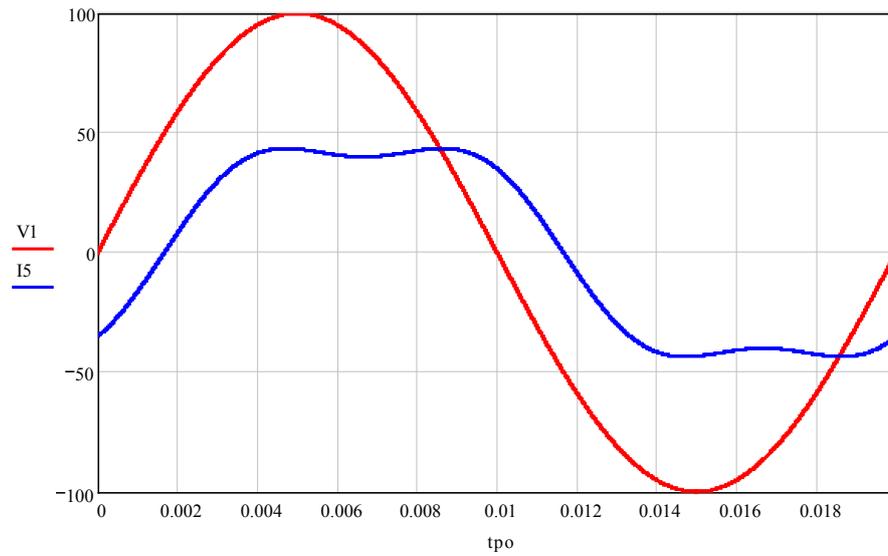
Potencia instantánea de entrada

**Figura 2.5** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Ondas senoidales con desfase.

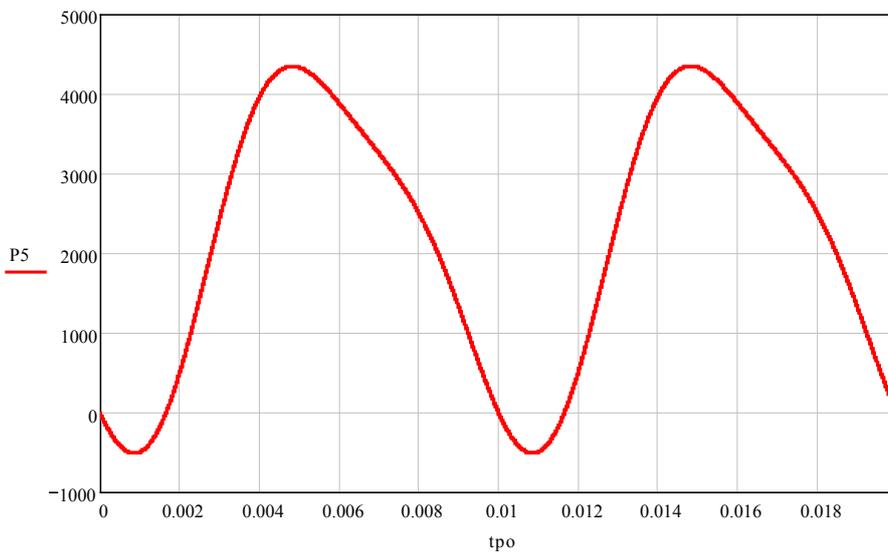
En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y senoidal ideal sin desfase. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 0,866$  tal y como se aprecia en las figuras.

Para las formas de onda anteriores se obtiene  $k_d = 1$  y  $k_\theta = 0,866$  siendo en este caso predominante el término debido al desplazamiento.



Tensión y corriente de entrada



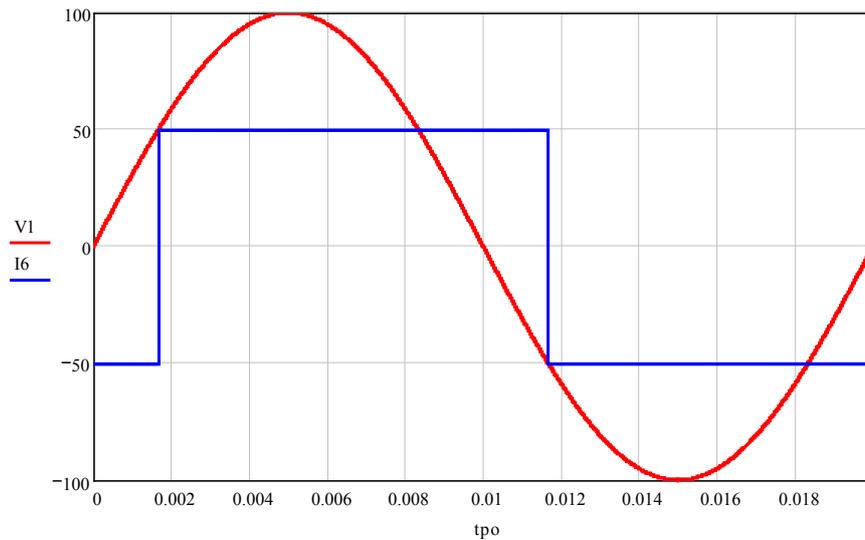
Potencia instantánea de entrada

**Figura 2.6** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Ondas senoidales con tercer armónico y con desfase.

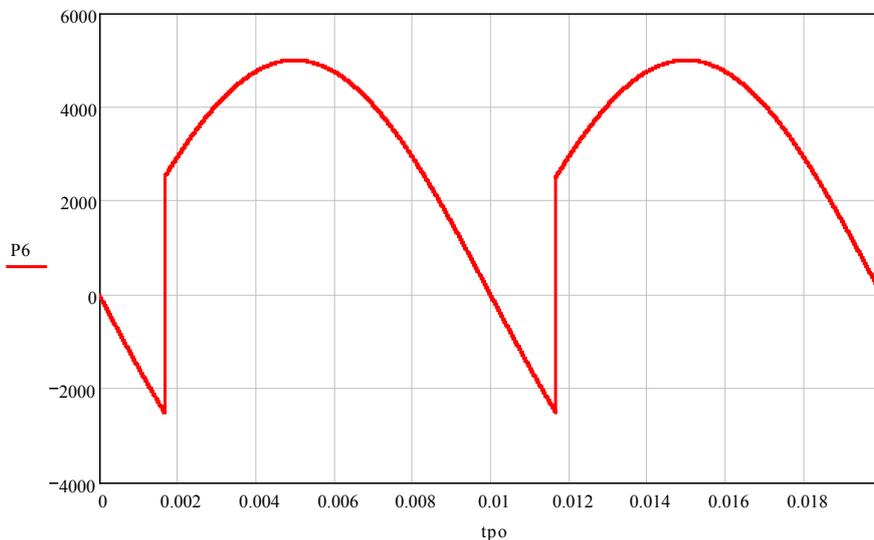
En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y corriente senoidal con desfase y con tercer armónico. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 0,849$  tal y como se aprecia en las figuras.

Para las formas de onda anteriores se obtiene  $k_d = 0,981$  y  $k_\theta = 0,866$  siendo en este caso predominante el término debido al desplazamiento.



Tensión y corriente de entrada



Potencia instantánea de entrada

**Figura 2.7** Gráfica superior: Tensión (rojo) y corriente (azul) de entrada. Gráfica inferior: Potencia instantánea de la entrada. Corriente cuadrada y con desfase.

En la figura anterior se muestra la forma de la corriente y la tensión de entrada en el caso de tensión senoidal y corriente senoidal con desfase y con tercer armónico. Se muestra también de la potencia instantánea consumida en la entrada.

En este caso se obtiene un factor de potencia igual a  $PF = 0,78$  tal y como se aprecia en las figuras.

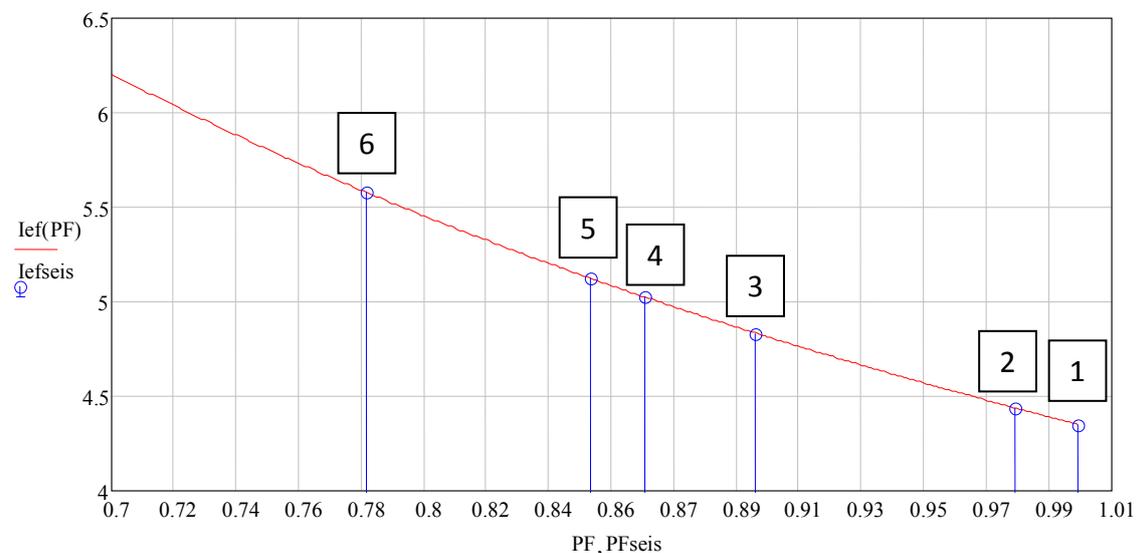
Para las formas de onda anteriores se obtiene  $k_d = 0,9$  y  $k_\theta = 0,866$  siendo en este caso predominante el término debido a la distorsión.

En la Tabla 2.1 se resumen los resultados obtenidos para las diferentes formas de onda analizadas.

FACTOR DE POTENCIA Y COEFICIENTES DE DISTORSIÓN Y DESFASE			
	$k_d$	$k_\theta$	PF
Caso 1: Senoidal y desfase 0°	1	1	1
Caso 2: Con 3 <sup>er</sup> armónico y desfase 0°	0,981	1	0,981
Caso 3: Cuadrada y desfase 0°	0,9	1	0,9
Caso 4: Senoidal y desfase 30°	1	0,866	0,866
Caso 5: Con 3 <sup>er</sup> armónico y desfase 30°	0,981	0,866	0,849
Caso 6: Cuadrada y desfase 30°	0,9	0,866	0,78

**Tabla 2.1** Factor de Potencia y potencias para las diferentes formas de onda.

Para apreciar el efecto perjudicial que un bajo factor de potencia produce en la red, en la Figura 2.8 se muestra la variación de la corriente eficaz consumida de la red en el caso general y para cada uno de los casos anteriores suponiendo una carga de potencia 1 kW y una tensión de entrada de 230 V eficaces.



**Figura 2.8** Evolución de la corriente consumida de la red en función del factor de potencia. Se indican en la curva los casos concretos estudiados.

Se aprecia claramente como aunque la potencia activa consumida por la carga es la misma en todos los casos (1 kW) la corriente eficaz demandada a la red alterna aumenta significativamente al disminuir el factor de potencia con el consiguiente desaprovechamiento de los conductores y pérdidas asociadas.



# 3. Fuentes de alimentación

## 3.1 Introducción

En la actualidad el empleo de la electrónica de potencia es parte fundamental de la mayoría de los sistemas eléctricos y electrónicos, estando usadas, entre otros, en las topologías empleadas en las fuentes de alimentación encargadas de suministrar la energía necesaria (principalmente DC) para el funcionamiento de los equipos.

El importante avance en los semiconductores de potencia (MOSFET, IGBT, IGCT) junto con la potencia alcanzada por los dispositivos de control ( $\mu$ C, DSP, FPGA) han permitido el empleo de topologías de potencia y complejos lazos de control impensables hace unos años.

Un convertidor de potencia está formado por una etapa de potencia que incluye semiconductores y componentes magnéticos (entre otros), y que es la que maneja la energía, junto con una etapa de control analógica (amplificadores operacionales) o digital (microcontrolador, DSP o FPGA) que mide diversos parámetros del circuito y actúa sobre la etapa de potencia para conseguir unos patrones de comportamiento en la salida. Entre ambas etapas se colocan etapas intermedias que adaptan y aíslan las señales de los dos bloques anteriores. Por otra parte, los equipos actuales suelen incorporar complejos sistemas de comunicaciones con el exterior (RS-232, USB, Ethernet) con objeto de monitorizar el estado del convertidor y modificar variables internas del control. En la Figura 3.1 se resumen estos conceptos [Martínez06].

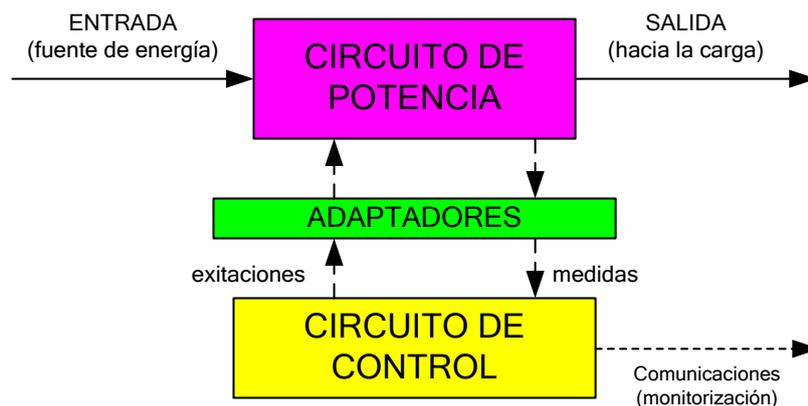


Figura 3.1 Diagrama de bloques de un convertidor de potencia.

Una vez presentados en el capítulo anterior los conceptos básicos relativos al factor de potencia y su importancia en el uso eficiente de los recursos de la red eléctrica, en este capítulo se presentan los fundamentos de las fuentes de alimentación.

En primer lugar se analizan brevemente las fuentes de alimentación convencionales basadas en rectificador de doble onda y filtro capacitivo resaltando sus ventajas e inconvenientes.

Posteriormente se presentan en cierto detalle los fundamentos de las fuentes de alimentación conmutadas basadas en topologías cuyos semiconductores trabajan en la zona de corte o saturación, siendo estas topologías la base para las fuentes de alimentación con corrección del factor de potencia.

## 3.2 Fuentes de alimentación convencionales

A lo largo de mucho tiempo, la principal topología empleada en la etapa de entrada de las fuentes de alimentación ha sido la constituida por un rectificador de doble onda junto con un filtro capacitivo. Este tipo de fuentes de alimentación suelen ser complementadas con una etapa de salida basada en un regulador lineal para conseguir un ajuste más fino, con menor rizado, de la tensión de salida.

En la actualidad este tipo de fuentes de alimentación siguen usándose en múltiples aplicaciones donde no se requieren características especiales. El motivo del amplio uso de este tipo de fuentes es debido principalmente a su robustez y su bajo coste. Su principal inconveniente es su bajo factor de potencia y alta distorsión en la corriente demandada de la red conteniendo armónicos perjudiciales de bajo orden.

En la Figura 3.2 se muestra un esquema del circuito empleado en estas fuentes de alimentación basadas en rectificador más filtro capacitivo.

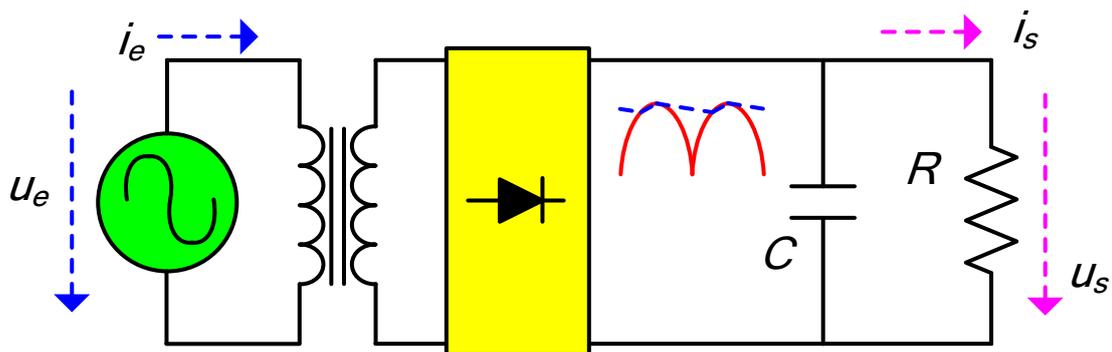


Figura 3.2 Esquema de una fuente de alimentación convencional con filtro capacitivo.

En la figura anterior se muestra en rojo la forma de la tensión rectificada y en azul la tensión de salida debido al efecto del condensador. Para obtener el nivel de tensión de salida deseado se emplea un transformador para ajustar la tensión de entrada (no regulada). En las simulaciones se supone que los componentes son ideales.

Con objeto de mostrar el bajo factor de potencia de este tipo de fuentes y el alto contenido armónico de la tensión de entrada se muestra un ejemplo de fuente de alimentación similar a la que se diseñara posteriormente mediante fuentes conmutadas y con corrección del factor de potencia. Las características de la fuente son se recogen en la Tabla 3.1

FUENTE DE ALIMENTACIÓN CONVENCIONAL	
Tensión de entrada ( $V_{ef}$ )	230
Tensión de entrada rectificador ( $V_{ef}$ )	$400 \cdot 1,05 / \text{raíz}(2)$
Relación transformador	1:1,3
Frecuencia de red (Hz)	50
Tensión de salida (V)	400
Potencia de salida (W)	300
Rizado tensión de salida (%)	10

**Tabla 3.1** Características principales de la fuente de alimentación convencional.

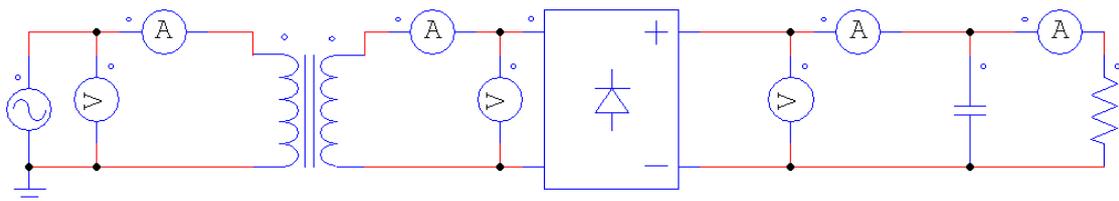
Con estos datos la resistencia de carga equivalente está dada por la expresión

$$R = \frac{V_0^2}{P_s} = \frac{400^2}{300} = 533,3 \Omega \quad (3.1)$$

Por su parte, el condensador de salida se calcula suponiendo que este se descarga a corriente constante (peor caso)

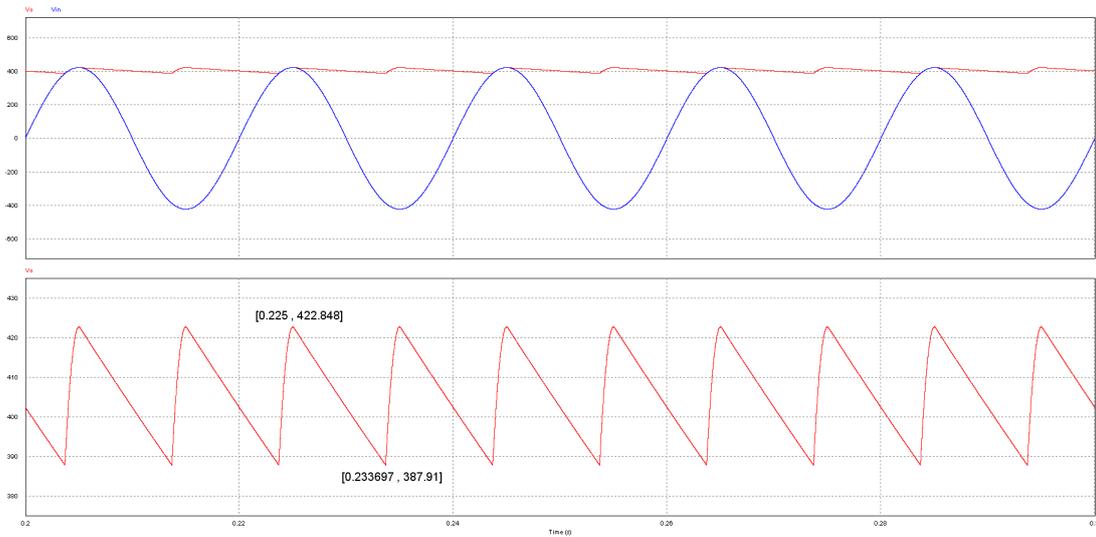
$$C = \frac{I_{\text{carga}} \cdot \Delta t}{\Delta V_0} = \frac{0,75A \cdot 10\text{ms}}{400V \cdot 0,1} = 187,5 \mu\text{F} \quad (3.2)$$

En la Figura 3.3 se muestra el circuito empleado en la simulación donde se ha empleado un transformador ideal 1:1,3 en la entrada del rectificador. El empleo de este transformador de baja frecuencia (pesado, voluminoso y caro) es uno de los principales inconvenientes de este tipo de fuentes convencionales, aparte del bajo factor de potencia, carecer de regulación y una fuerte distorsión en la corriente de entrada.



**Figura 3.3** Circuito de una fuente de alimentación convencional con filtro capacitivo.

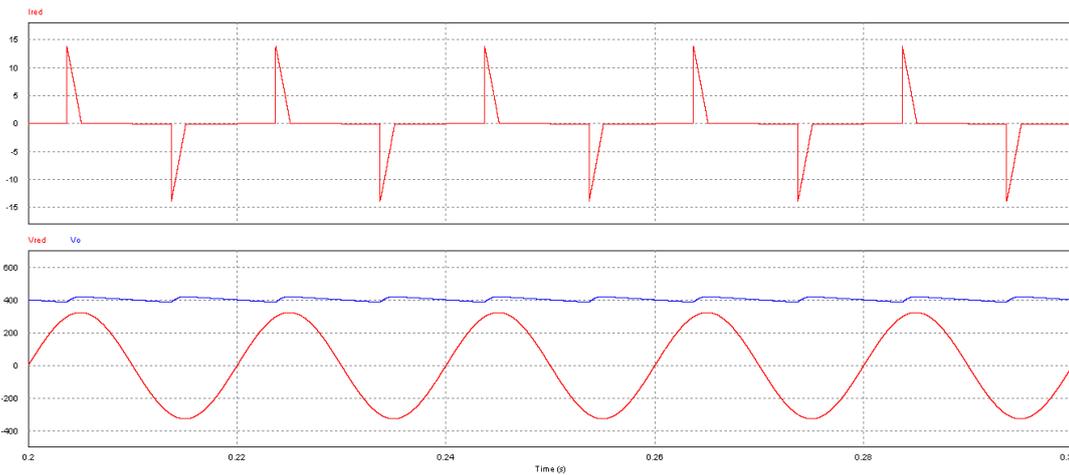
Por su parte, en la Figura 3.4 se muestra la forma de onda que presenta la tensión de salida en el condensador de salida que coincide con los 400 V de valor medio calculados y un rizado de 35 V (9 %).



**Figura 3.4** Gráfica superior: Tensión del secundario del transformador (azul) y tensión de salida (rojo). Gráfica inferior: Detalle de la tensión de salida. Fuente convencional.

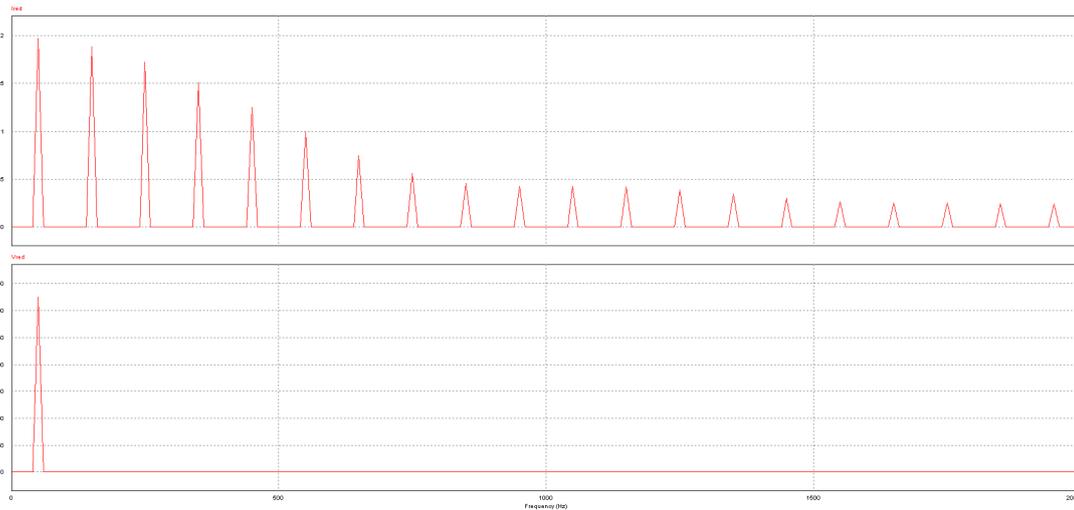
Mientras que la forma de onda de la tensión de salida presenta el comportamiento deseado, en las figuras siguientes se muestra que la corriente demandada de la red presenta una fuerte distorsión lo cual provocará, entre otras cosas, un bajo valor del factor de potencia.

En la Figura 3.5 se muestra la forma de la corriente y tensión de entrada en el primario del transformador (rojo) junto con la tensión de salida (azul).



**Figura 3.5** Gráfica superior: Corriente de entrada. Gráfica inferior: Tensión de entrada en el primario del transformador (rojo) y tensión de salida (azul). Fuente convencional.

Por otra parte, en la Figura 3.6 se muestra el espectro en frecuencia de la corriente y tensión de entrada. Se aprecia el fuerte contenido armónico de la corriente de entrada.



**Figura 3.6** Gráfica superior: Componentes en frecuencia de la corriente de entrada. Gráfica inferior: Componentes en frecuencia de la tensión de entrada. Fuente convencional.

A partir de las simulaciones anteriores se han hallado los valores del factor de potencia, distorsión armónica, potencia activa y potencia aparente.

Con estos valores se comparará en capítulos posteriores el desempeño de este tipo de fuentes convencionales con el desempeño de las fuentes conmutadas con corrección del factor de potencia.

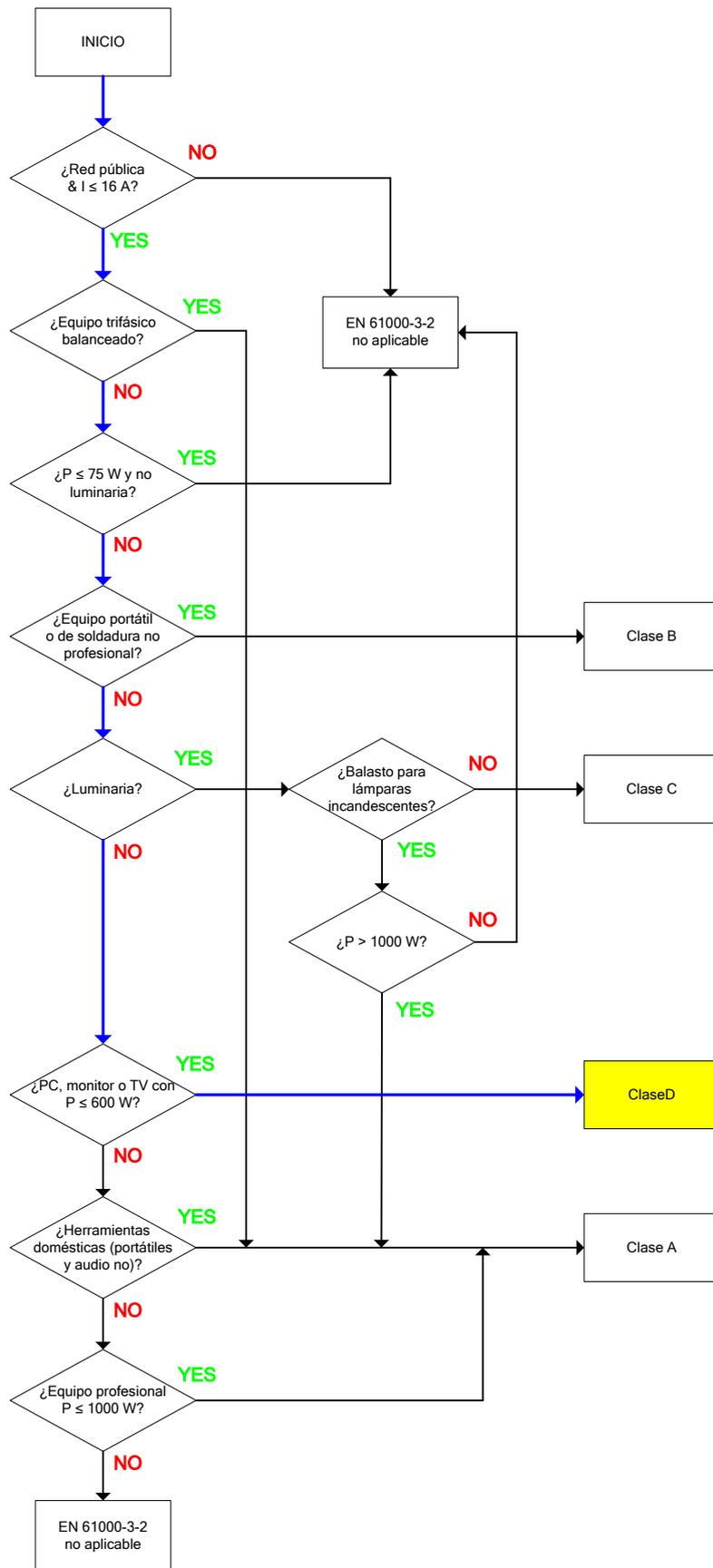
Estos resultados se muestran en la Tabla 3.2 apreciándose que la potencia activa en la salida se corresponde con lo calculado teóricamente más (un 3% más debido al rizado y una ligera mayor tensión de salida). Se aprecia claramente la fuerte distorsión armónica y el bajo valor del factor de potencia.

Esto conllevará una intensidad eficaz por la línea de casi el doble del valor en el caso de ser factor de potencia unidad. El principal factor causante de este bajo factor de potencia es el factor de distorsión de la corriente de entrada.

FUENTE DE ALIMENTACIÓN CONVENCIONAL	
Factor de potencia (pu)	0,4424
Distorsión armónica (%)	194,1
Potencia activa (W)	309,3
Potencia aparente (VA)	699,9

**Tabla 3.2** Características principales de la fuente de alimentación convencional.

La norma [UNE-EN 61000-3-2] especifica los valores admisibles para la corriente de entrada en equipos con consumos de corriente de red inferiores a 16 A. En la figura siguiente se muestra la clasificación de estos equipos [EPMSA10] basada en la citada norma [UNE-EN 61000-3-2]



**Figura 3.7** Clasificación de los equipos según la norma [UNE-EN 61000-3-2] (adaptada de [EPMSA10]). En azul se indica el camino seguido.

La fuente de alimentación bajo estudio se puede identificar con los equipos clasificados en la norma como clase D que es de las más exigentes. A continuación se dan los criterios de la norma [UNE-EN61000-3-2] para equipos de clase D:

**Los equipos que tengan una potencia especificada igual o inferior a 600 W de los tipos siguientes:**

- **Ordenadores personales y pantallas de ordenadores personales.**
- **Receptores de televisión.**
- **Frigoríficos y congeladores que tengan uno o más controladores de velocidad variable para controlar los motores de compresión.**

Por otra parte, en la Tabla 3.3 se dan los límites especificados en la norma para equipos de clase D.

Límites para equipos de clase D (norma [UNE-EN 61000-3-2])		
Orden del armónico n	Corriente armónica máxima admisible por vatio (mA/W)	Corriente armónica máxima admisible (A)
3	3,4	2,30
5	1,9	1,14
7	1,0	0,77
9	0,5	0,40
11	0,35	0,33
13 ≤ n ≤ 39 (sólo impares)	3,85 / n	igual que límites clase A

**Tabla 3.3** Límites para equipos de clase D según norma [UNE-EN 61000-3-2].

Partiendo de los datos de la tabla anterior se aprecia claramente que este tipo de fuentes no cumplen con la normativa actual, en caso de ser aplicable en función del uso de la fuente de clase D.

### 3.3 Fuentes de alimentación conmutadas

Una vez vistas las ventajas e inconvenientes de las fuentes de alimentación tradicionales, en este apartado se presentan los fundamentos de las fuentes de alimentación conmutadas basadas en topologías *Boost* (elevador) con rectificador de entrada prestando especial atención a su relación con el factor de potencia.

La situación ideal para una fuente de alimentación conectada a red es aquella en la cual se tiene un factor de potencia unidad sin distorsión armónica ni desfase entre tensión y corriente. Este caso se corresponde con aquel en el cual la carga vista a la salida del rectificador es una resistencia  $R_{eq}$  que consume una potencia igual a la de la carga  $R_o$  conectada a la salida de la fuente de alimentación [Erickson01].

Para conseguir este efecto de resistencia equivalente es necesario incluir un circuito intermedio entre la resistencia de carga y el rectificador conectado a red.

Entre las soluciones pasivas que intentan mejorar el factor de potencia se encuentra la inclusión de filtros inductivos que mejoren el factor de potencia, aunque este tipo de soluciones no consiguen la mejora necesaria exigida por la normativa actual y es necesario emplear soluciones más complejas.

En la Figura 3.8 se muestra el esquema básico de una fuente de alimentación con corrección del factor de potencia para conseguir la resistencia equivalente que garantice el factor de potencia unidad. En azul se muestra el circuito intermedio que debe garantizar el factor de potencia unidad.

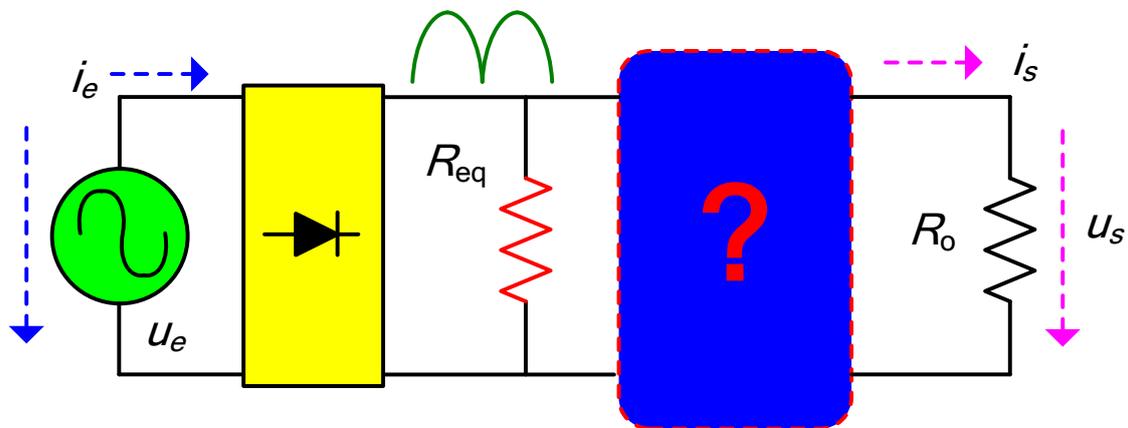
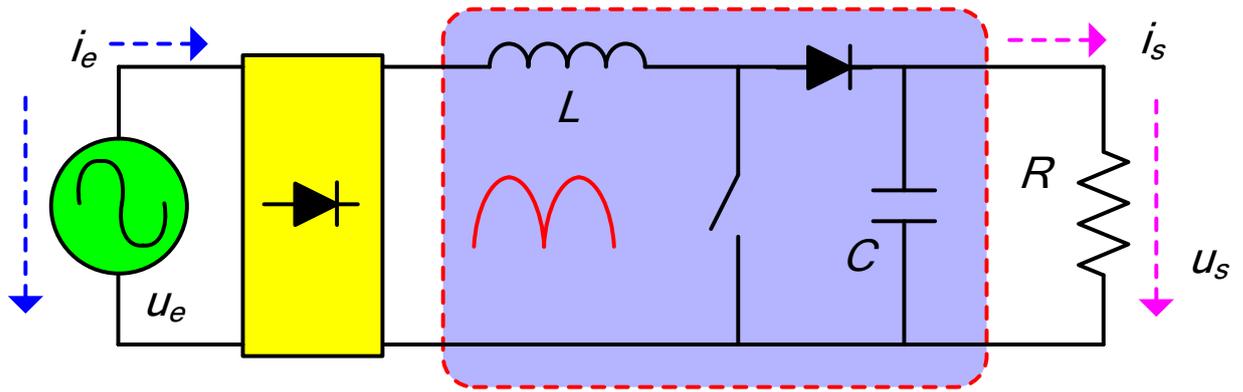


Figura 3.8 Esquema general de una fuente de alimentación con PFC.

Para realizar la función del circuito intermedio se suelen emplear circuitos conmutados en alta frecuencia empleando diferentes topologías como los convertidores DC/DC tipo *Flyback* o *Buck-Boost* [Erickson01][Mohan00], las cuales deben poder garantizar la tensión de salida incluso con tensión de entrada próxima a cero como corresponde a la tensión rectificadora de alterna (no válida la topología *Buck*).

En el trabajo realizado en este proyecto se empleará un convertidor de tipo elevador o *Boost* sin aislamiento. En caso de requerirse aislamiento es conveniente incluir este aislamiento en la etapa de alta frecuencia empleando, por ejemplo, convertidores tipo *Flyback* debido a la reducción del tamaño de los componentes magnéticos que se consigue (el convertidor *Flyback* posee también otro tipo de ventajas para el control).

En la Figura 3.9 se muestra el esquema básico de una fuente de alimentación con corrección del factor de potencia basada en un convertidor DC/DC elevador (en azul).



**Figura 3.9** Esquema general de una fuente de alimentación con PFC basada en convertidor DC/DC de tipo elevador o *Boost*.

Las principales características funcionales de este tipo de convertidor DC/DC son las siguientes:

- La tensión de salida es siempre mayor que la tensión de entrada, pudiendo funcionar con tensión de entrada cercana a cero.
- No posee aislamiento galvánico.
- Circuito simple y robusto con sólo un transistor y un diodo como semiconductores.
- Sólo incluye un único componente magnético, la bobina de entrada.
- Filtrado inherente de la corriente de entrada debido a la bobina.
- Imposibilidad de cese de la corriente de entrada ante cualquier anomalía.
- Transistor referenciado a masa lo cual simplifica el circuito de disparo o *driver*.
- Circuito sin pérdidas en el caso ideal o con rendimiento muy alto (superiores al 90 %) en el caso de existir pérdidas.
- Control complejo por ser un sistema de fase no mínima (cero en el semiplano derecho).
- Funcionamiento en modo continuo (CCM) o discontinuo (DCM).

A continuación se exponen los fundamentos de los convertidores elevador o *Boost* sobre los cuales se basará la fuente de alimentación con corrección de factor de potencia presentada en este trabajo.

En la Figura 3.10 se muestra el circuito básico de una un convertidor DC/DC en su configuración como elevador o *Boost*.

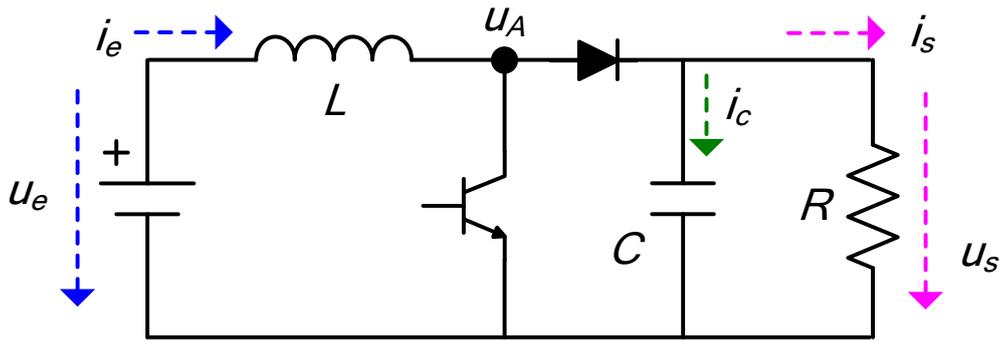


Figura 3.10 Esquema general de un convertidor DC/DC de tipo elevador o Boost.

En el funcionamiento básico de este circuito, el transistor y el diodo trabajan en corte y saturación obteniéndose las formas de onda mostradas en la figura siguiente para la tensión en el transistor y corriente en la bobina (CCM).

El transistor está disparado un tiempo  $D \cdot T_{sw}$  donde  $T_{sw}$  es el periodo de conmutación y  $d$  es el ciclo de trabajo.

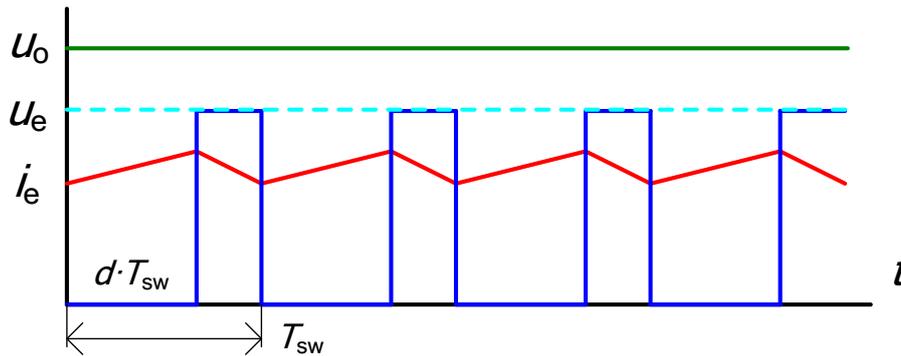


Figura 3.11 Principales formas de onda para un convertidor DC/DC de tipo elevador o Boost.

Para este tipo de convertidores existen dos modos de funcionamiento en función de la corriente que circula por la bobina:

- Modo de conducción continuo (CCM): La corriente por la bobina siempre es mayor de cero.
- Modo de conducción discontinuo (DCM): La corriente por la bobina es mayor que cero en ciertos intervalos e igual a cero en otros.

A lo largo de este trabajo se empleará el modo de conducción continuo (CCM) siendo la corriente por la bobina siempre mayor que cero.

Para calcular la relación entre la tensión de salida y la tensión de entrada se aplica el criterio de tensión media nula en la bobina en régimen permanente, o corriente media nula en el condensador, (esto no se cumple durante los transitorios).

$$V_{\text{bobina}}(\text{medio}) = V_e \cdot DT_{\text{SW}} + (V_e - V_o) \cdot (1 - D)T_{\text{SW}} = 0 \quad (3.3)$$

donde  $D$  es el ciclo de trabajo y es igual a  $D = t_{\text{on}}/T_{\text{SW}}$ .

Aplicando la expresión anterior se llega a la siguiente relación para calcular la tensión de salida en función de la tensión de entrada y del ciclo de trabajo

$$V_o = V_e \cdot \frac{1}{1 - D} \quad (3.4)$$

Observando la expresión anterior se aprecia que es posible obtener la tensión de salida deseada incluso con tensiones de entrada muy bajas empleando un ciclo de trabajo próximo a la unidad.

En el caso de los correctores de factor de potencia, la tensión de entrada no es una tensión continua, sino que es una tensión alterna rectificadora que oscila su valor entre cero y su valor de pico.

Por este motivo el ciclo de trabajo variará en consecuencia para obtener un valor medio de la tensión de salida aproximadamente constante.

En la Figura 3.12 se muestra la forma de onda de la tensión de entrada y salida junto con el ciclo de trabajo esperado.

Se aprecia claramente como el ciclo de trabajo es máximo cuando la tensión de entrada es mínima y mínimo cuando la tensión de entrada es máxima.

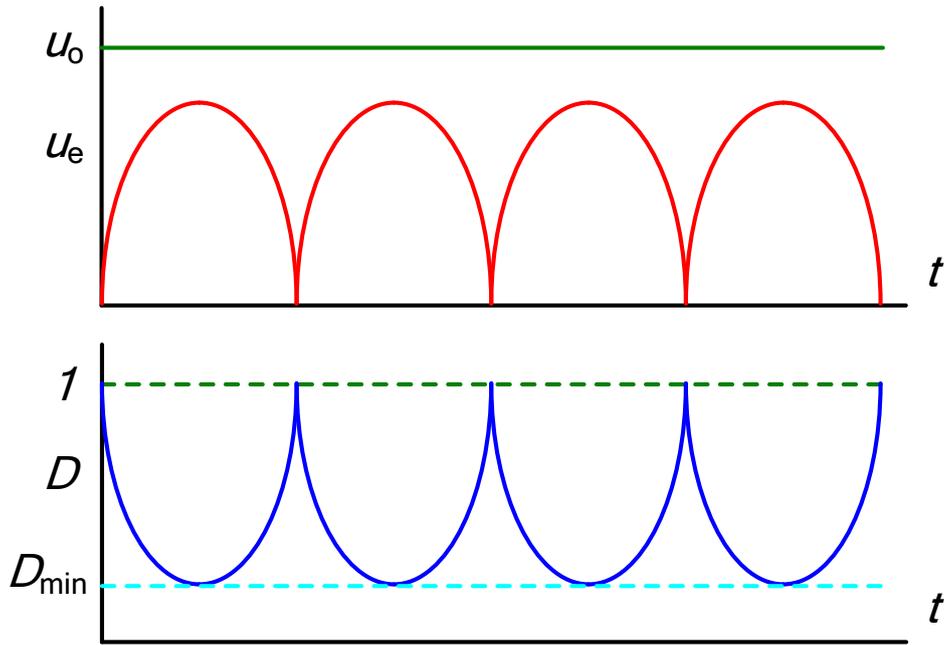


Figura 3.12 Principales formas de onda para un PFC de tipo Boost.

Suponiendo que la tensión de entrada es senoidal, la expresión del ciclo de trabajo es

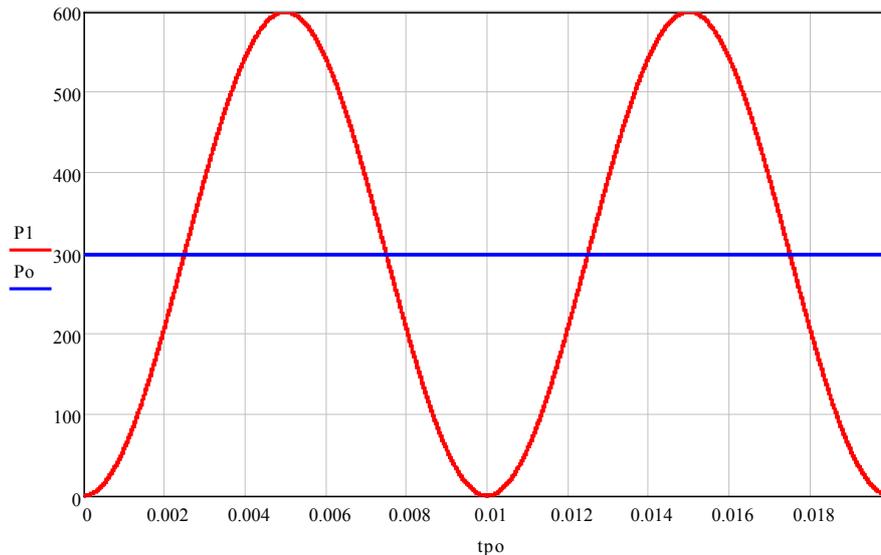
$$D = 1 - \frac{V_e \text{sen}(\omega t)}{V_o} \quad (3.5)$$

Siendo su valor mínimo el obtenido cuando la tensión entrada es máxima e igual a su valor e pico

$$D_{\min} = 1 - \frac{V_{e,\text{pico}}}{V_o} = 1 - \frac{230\sqrt{2}}{400} = 0,187 \quad (3.6)$$

Hasta el momento se ha supuesto que el valor medio de la tensión de salida era constante e igual a los 400 V deseados. No obstante, el valor medio de la tensión de salida no puede ser constante por el motivo que se expone a continuación.

La potencia de entrada para una tensión senoidal de entrada y una tensión de entrada también senoidal proporcionada por el circuito de corrección e factor de potencia se muestra en la figura siguiente junto con la potencia media de salida.



**Figura 3.13** Potencia instantánea (rojo) y potencia media (azul) en la entrada para un PFC de tipo *Boost*.

A partir de la figura anterior, se aprecia claramente como la potencia de entrada oscila con una frecuencia del doble de la de red siendo su valor medio la potencia activa de salida dado que el convertidor DC/DC no consume potencia en el caso ideal (o pequeñas pérdidas).

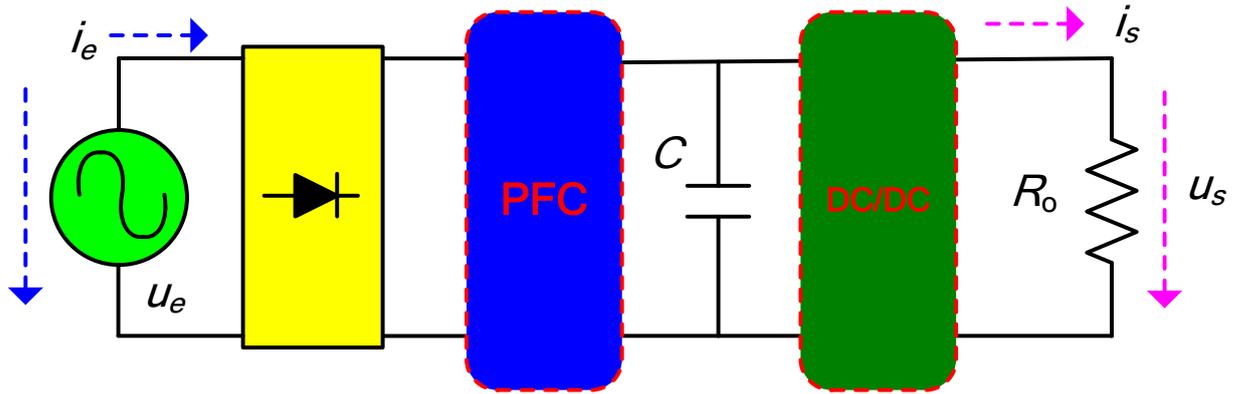
Por este motivo es necesario que la fluctuación en la potencia de entrada se traslade también a la salida y que la tensión de salida presente cierto rizado al doble de la frecuencia de red almacenando la energía oscilante en un condensador.

Cuando la potencia de entrada es mayor que la potencia media de salida la energía sobrante se almacena en el condensador de salida incrementando ligeramente su tensión.

Por otra parte, cuando la potencia de entrada es menor que la potencia media de salida la energía faltante en la carga es proporcionada por el condensador reduciendo ligeramente su tensión.

No obstante, seleccionando convenientemente el condensador de salida es posible reducir este rizado aun valor aceptable para la aplicación en concreto, o mediante el uso de una segunda etapa DC/DC eliminar este rizado en la etapa final.

En la figura siguiente se muestra el diagrama general de un convertidor con PFC y etapa final DC/DC para disminuir el rizado de la tensión de salida.



**Figura 3.14** Esquema general de una fuente de alimentación con PFC con convertidor DC/DC adicional en la salida para reducir el rizado de tensión en la carga.

Si se supone que el condensador es suficientemente elevado y que la tensión de salida presenta poco rizado, la mayor parte de la oscilación en la potencia de salida será la debida a la corriente de salida y estará dada por la siguiente expresión

$$I_o = \frac{V_{e,pico}^2}{U_o R_{eq}} \sin^2(\omega t) = \frac{V_{e,pico}^2}{U_o R_{eq}} \frac{1}{2} [1 - \cos(2\omega t)] = \frac{P_o}{U_o} [1 - \cos(2\omega t)] \quad (3.7)$$

$$P_{ac} = \frac{V_{e,pico}^2 \cdot I_{e,pico}^2}{2} = P_o = U_o \cdot I_o = 300 \text{ W} \quad (3.8)$$

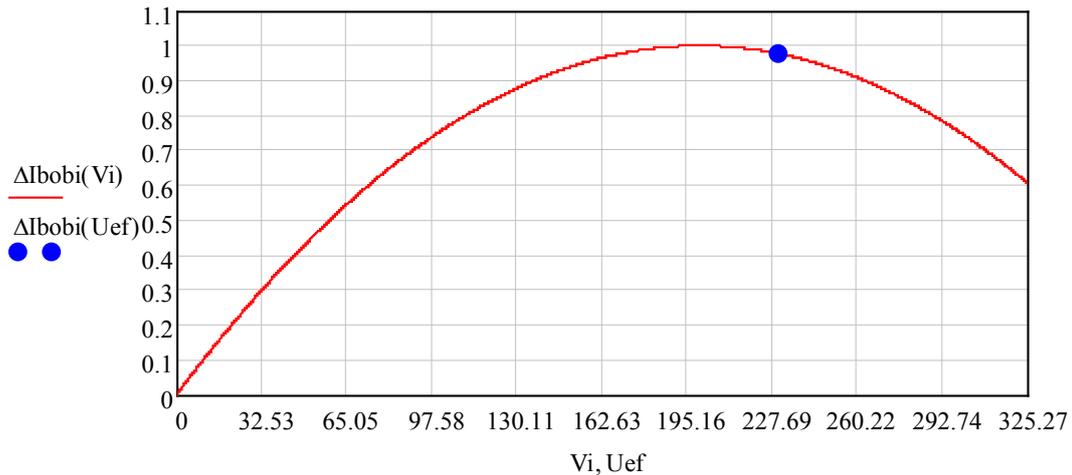
Para el cálculo del condensador de salida se emplea la siguiente ecuación tomando como dato de partida el valor del rizado que debe ser inferior al 10 %

$$C = \frac{P_o}{V_o \cdot 2\pi f \cdot \Delta V_{o,pu}} = \frac{300}{400 \cdot 2\pi 50 \cdot 0.1} = 59,7 \mu F \rightarrow 68 \mu F \quad (3.9)$$

Para el cálculo de la bobina se toma como criterio que el rizado en la corriente no supere el 10 % (respecto del valor eficaz con D=0,425) dando un valor para la inductancia de

$$L = \frac{V_e \cdot D_{ef} \cdot T_{sw}}{\Delta I_e} = \frac{V_e \cdot D_{ef} \cdot T_{sw}}{\frac{P_o}{V_e} \cdot \Delta I_{e,pu}} = \frac{230 \cdot 0,425 \cdot 10 \mu s}{\frac{300}{230} \cdot 0,15} = 5 \text{ mH} \quad (3.10)$$

En la figura siguiente se muestra la variación del rizado en la bobina de entrada normalizada, en valor absoluto, con respecto a la tensión de entrada (ciclo de trabajo). Se indica también el punto correspondiente al valor eficaz de la tensión de entrada (próximo al máximo).



**Figura 3.15** Evolución de rizado de la corriente en la bobina en función de la tensión de entrada.

En los cálculos anteriores se ha supuesto modo de conducción continuo para el *Boost*. Para comprobar este supuesto se emplea la siguiente expresión [Sebastian95]

$$K_a = \frac{2L}{RT} = \frac{2 \cdot 5 \cdot 10^{-3}}{533,33 \cdot 10 \cdot 10^{-6}} = 1,875 > 0,33 = \frac{1}{2 \left( \frac{V_o}{V_{e\_pico}} \right)^2} = \frac{1}{2 \left( \frac{400}{230\sqrt{2}} \right)^2} \quad (3.11)$$

Se aprecia claramente como el convertidor bajo estudio cumple este criterio y trabajará en régimen permanente en modo de conducción continuo siendo válidos los teoremas que se aplicarán a continuación para el diseño del control.

Por otra parte, en la Tabla 3.4 se resumen los principales componentes y características del convertidor con corrección de factor de potencia.

FUENTE DE ALIMENTACIÓN PFC	
Tensión de red ( $V_{ef}$ )	230
Frecuencia de red (Hz)	50
Tensión de salida (V)	400
Potencia de salida (W)	300
Resistencia de carga ( $\Omega$ )	566,7
Rizado tensión de salida (%)	10
Condensador de salida	68 $\mu$ F
Rizado corriente de entrada (%)	15
Frecuencia de conmutación (kHz)	100
Bobina de entrada	5 mH

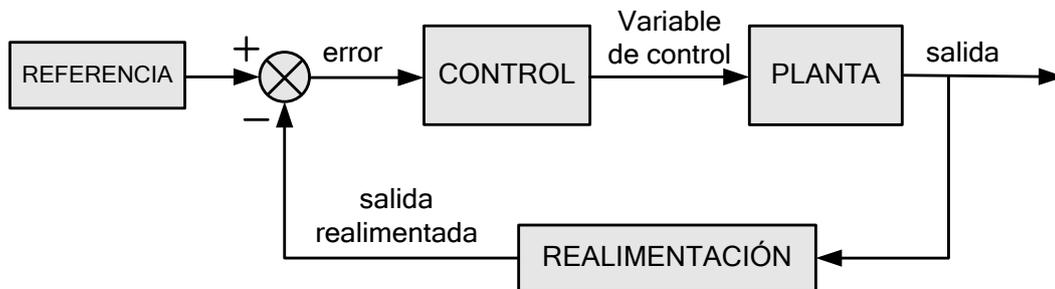
**Tabla 3.4** Características principales de la fuente de alimentación de tipo *Boost* con PFC.

El convertidor elevador será el encargado de que la corriente en la entrada siga una referencia senoidal (rectificada) en fase con la tensión de entrada y proporcional a la potencia media de salida (ignorando el rizado de 100 Hz de la tensión del condensador) según la siguiente expresión (suponiendo factores de medida unidad)

$$I_{\text{ref}}(t) = \left( \frac{2 \cdot P_o}{V_{e,\text{pico}}} \right) \text{sen}(\omega t) = \left( \frac{\sqrt{2} \cdot P_o}{V_e} \right) \text{sen}(\omega t) \quad (3.12)$$

Para realizar esta función es necesario incluir un lazo interno con amplio ancho de banda en cargado se seguir la referencia de corriente. Por su parte, un lazo externo mucho más lento se encargará de ajustar la constante de proporcionalidad en función de la tensión de salida deseada y la potencia.

Antes de pasar a describir el diseño de los lazos de control se presentan brevemente los conceptos básicos de los sistemas de control [Ogata10].



**Figura 3.16** Esquema general de un sistema de control con realimentación.

En el caso bajo estudio, se tiene un sistema, o planta, con una única entrada y una única salida (SISO), que es precisamente la que se quiere controlar. La variable de salida se desea que siga cierto patrón o referencia, en este caso es la corriente de entrada del convertidor. Para ilustrar la explicación, en la Figura 3.16 se muestra un diagrama de bloques de un sistema de control realimentado.

Para medir la desviación entre la variable de salida y la referencia se define el error como la diferencia entre ambas:

$$\text{Error} = \text{Valor variable de salida a controlar} - \text{valor de la referencia} \quad (3.13)$$

Si la variable de salida es igual a la referencia el error será nulo y el sistema se comporta adecuadamente. Esto sólo sucederá si la ganancia del regulador es infinita a la frecuencia concreta en la cual se desea error nulo:

- Error nulo ante entradas continuas usando la parte integral.
- Error no nulo ante entradas senoidales (autofunciones de los sistemas LTI), sólo en el caso de emplear reguladores resonantes ajustados a la frecuencia de la senoide (reguladores tipo PR).

Si el valor de la variable de salida se desvía de la referencia el error será distinto de cero y será necesario actuar sobre el sistema para llevar el error lo más cercano posible a cero.

Para minimizar el error se actúa sobre las variables de control del sistema (en este caso el ciclo de trabajo) que son aquellas que permiten modificar la salida en relación con la entrada bajo unas condiciones dadas por la dinámica del sistema o planta a controlar (estos dos términos se usan de forma equivalente en este trabajo).

La modificación de los parámetros del sistema basándose en el valor de la variable de salida se conoce como realimentación y es la base del tipo de topología de control más extendida.

Uno de los sistemas de control más extendidos y robustos en la actualidad son los denominados controles PID. Este término deriva del hecho que sobre la variable de control se actúa en función del valor que toma el error (término proporcional P), su derivada (término derivativo D) y su integral (término integral I).

Para ajustar el peso de cada uno de ellos se multiplica cada uno por unas constantes y se suman sus acciones.

En la fórmula siguiente se muestra la expresión general que caracteriza a un regulador de tipo PID.

$$\text{Señal de Control}(t) = K_p \cdot \text{error}(t) + K_i \cdot \int \text{error}(\tau) d\tau + K_d \cdot \frac{d}{dt} \text{error}(t) \quad (3.14)$$

Por su parte, en la figura siguiente se muestra un diagrama de bloques de un controlador PID indicando los principales elementos involucrados en el control proporcional, integral y derivativo.

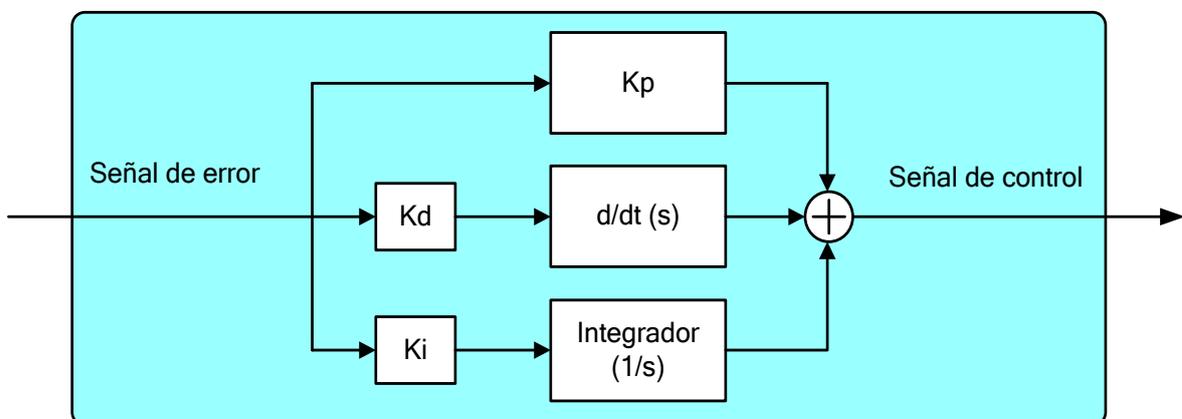


Figura 3.17 Diagrama de bloques de un regulador PID.

Las constantes del regulador es necesario ajustarlas para cumplir con requisitos tales como la rapidez en la respuesta ante perturbaciones y cumplir un requisito imprescindible como es que el sistema realimentado sea estable y no oscile.

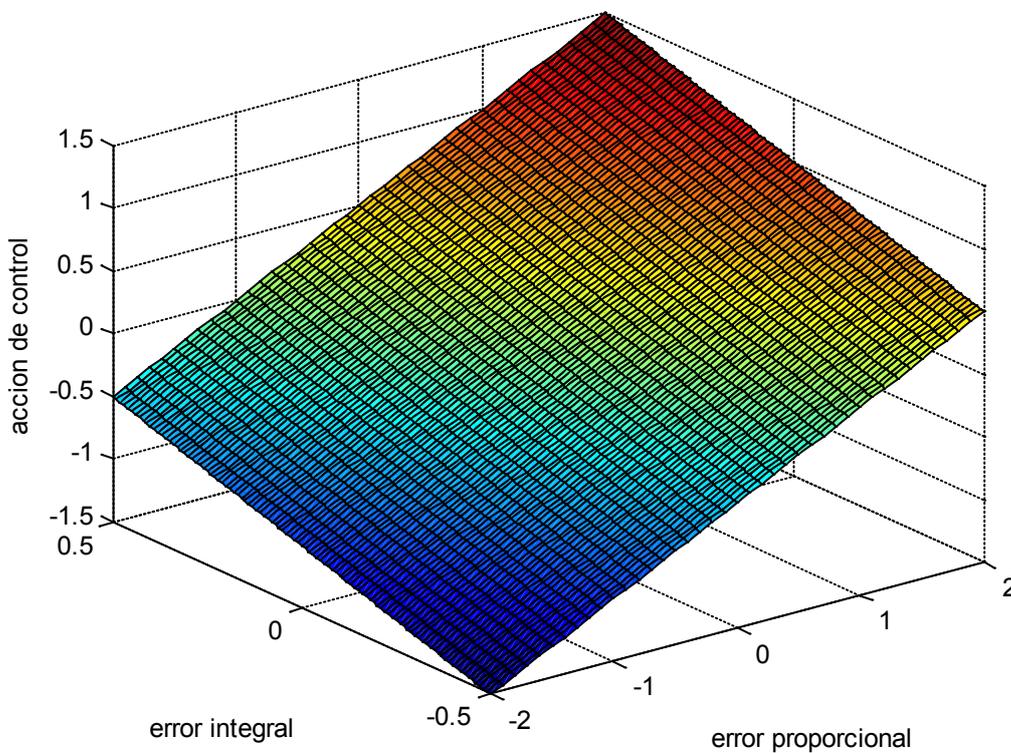
De lo anterior, se encarga la teoría de control mediante técnicas como el lugar de las raíces, diagrama de Nyquist o respuesta en frecuencia del sistema [Ogata10] [Kuo96].

De modo general, se puede decir que la parte integral del control acumula el error y por ello obliga al error a tender a cero en régimen permanente antes entradas escalón, mientras que la parte derivativa permite actuar rápidamente ante transitorios aunque tiende a hacer más inestable el sistema aunque presenta el inconveniente de ser muy sensible al ruido. La parte proporcional tiene un efecto moderado intermedio.

Así mismo suele ser necesario incluir mecanismos antisaturación de la señal de control para evitar funcionamientos incorrectos.

Por último, la señal de control se adaptará convenientemente y se aplicará sobre el parámetro adecuado del sistema a controlar.

En la siguiente figura se muestra un ejemplo de un control PI sin parte derivativa para evitar inestabilidades. En la figura se muestra el valor de la variable de control en función del valor proporcional e integral del error.



**Figura 3.18** Acción de control para un regulador PI.

Como se puede observar la salida es lineal para las entradas comentadas. Esto contrasta con otros tipos de controles no lineales como el control basado en lógica borrosa.

Por otra parte, en la Figura 3.19 se muestra el diagrama básico del convertidor elevador con el lazo interno de corriente destacando los principales elementos implicados y que se corresponden con los bloques de la Figura 3.16.

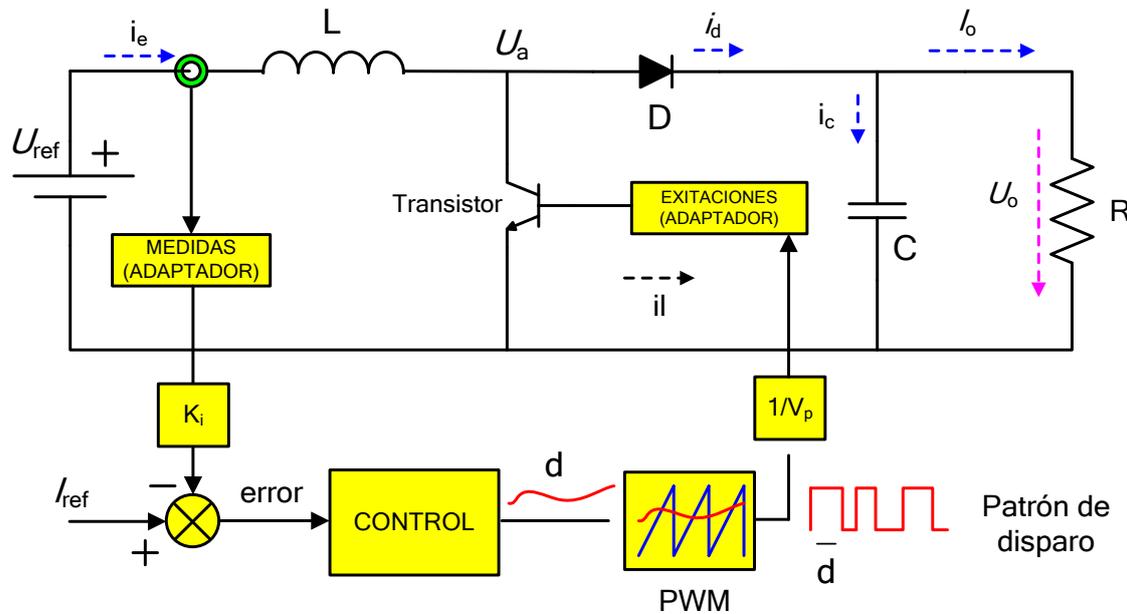


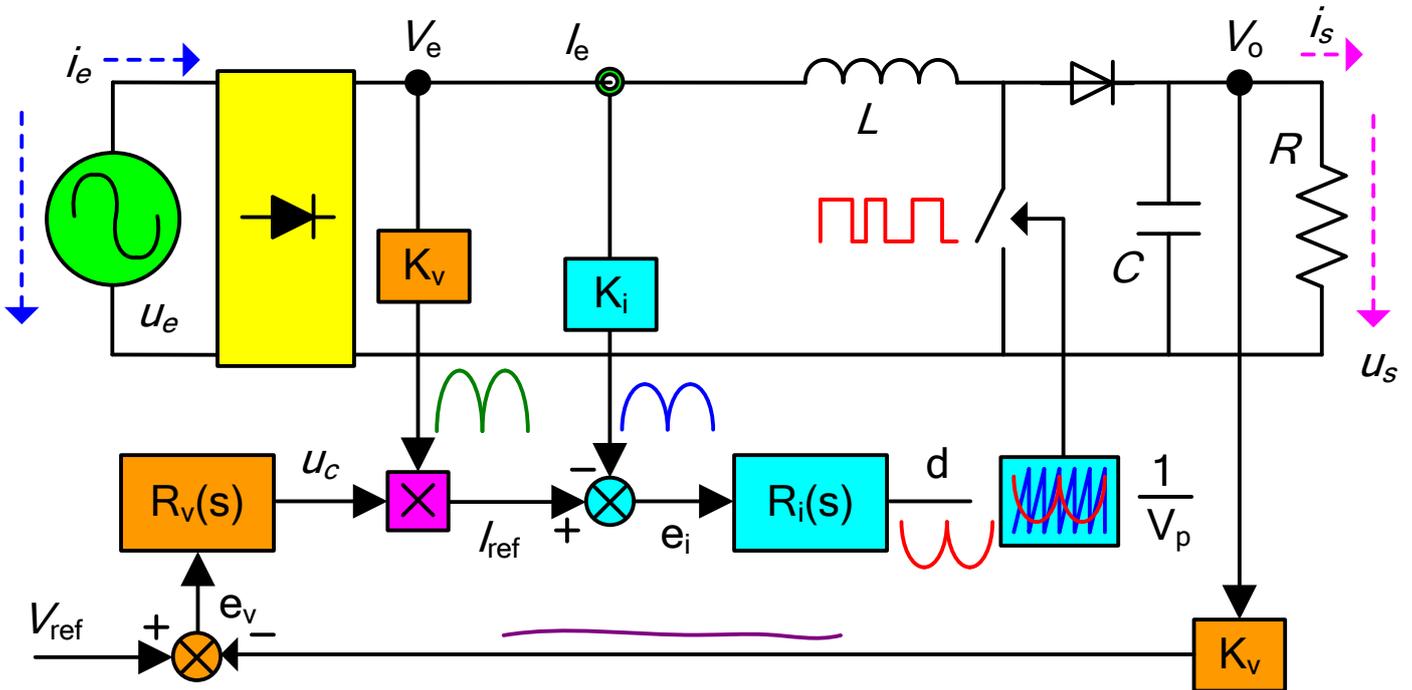
Figura 3.19 Esquema general del control de una fuente de alimentación conmutada.

El esquema de control realimentado se corresponde con el diagrama de bloques explicado anteriormente. El elemento más novedoso es el bloque PWM (modulación por ancho de pulso) que se encarga de convertir el valor del ciclo de trabajo calculado por el bloque de control en un patrón de pulsos de ancho proporcional a  $d$  adecuado para disparar el regulador (interruptor implementado con un transistor).

Para generar la onda PWM se compara la señal moduladora ( $d$ ) con una señal portadora en diente de sierra de mucha mayor frecuencia. Por este motivo, para modelar el circuito se supone que la señal moduladora permanece constante durante cada ciclo de señal portadora o de conmutación. Se ha incluido también la ganancia del PWM que es igual al inverso del valor de pico de la rampa  $V_{ramp}$ .

Cómo se ha comentado anteriormente, la corriente de referencia que controla el lazo interno de tensión es fijada por un lazo interno en función de la potencia demandada por la carga mediante la realimentación de la tensión de salida y su comparación con el valor de referencia. Este lazo externo de tensión debe ser mucho más lento que el lazo interno de corriente ya que debe evitar introducir distorsión en la referencia de corriente. Así mismo, la medida de tensión de salida debe poseer un ancho de banda tal que filtre el rizado de segundo armónico presente en esta y ver únicamente el valor medio de la tensión de salida.

En la Figura 3.20 se muestra el diagrama de bloques completo del convertidor corrector del factor de potencia incluyendo el lazo externo de tensión.



**Figura 3.20** Esquema de control de un convertidor tipo Boost para PFC (en azul el lazo de corriente y en naranja el lazo de tensión).

En la figura anterior se observan en azul los bloques pertenecientes al lazo interno de corriente (lazo rápido) y en naranja los bloques pertenecientes al bloque externo de tensión (lazo lento). En morado se muestra el elemento multiplicador que da la corriente de referencia.

Se aprecia como el lazo externo modifica la magnitud de la corriente de referencia y el lazo interno se encarga de conformar la corriente de entrada senoidal siguiendo un patrón proporcional a la tensión de entrada en función de la potencia de salida.

Una vez estudiados los componentes fundamentales del convertidor elevador y los lazos de control que lo controlan, en el capítulo siguiente se detalla el diseño de los dos lazos de control.

# 4. Modelado y control analógico

## 4.1 Introducción

Una vez presentados en el capítulo anterior la estructura de los lazos de control es necesario encontrar el modelo de la planta (convertidor) para diseñar el control mediante las técnicas de control tradicionales aplicadas a sistemas LTI (*Linear Time-Invariant*).

A la hora de afrontar el control de un convertidor conmutado es básico la obtención de la función de transferencia que representa la planta del convertidor. El modelado de un convertidor AC/DC presenta problemas adicionales con respecto al modelado de convertidor puro DC/DC ya que no existe un punto de trabajo constante sobre el cual aplicar teoremas de la teoría de control clásica basada en perturbaciones y pequeña señal [Ogata10].

De forma genérica, el modelado de inversores o convertidores AC/DC presenta los siguientes problemas:

- Los semiconductores trabajan en corte y saturación provocando que las ecuaciones de definición de los mismos cambien de un intervalo al siguiente.
- Los circuitos presentan relaciones no lineales lo cual implica que no se pueden aplicar técnicas clásicas de control de sistemas lineales.
- Las señales presentes varían ampliamente (gran señal) en el tiempo (señales CA) al contrario de lo que sucede en los convertidores de DC con variables continuas puras.

Para solucionar estos problemas se siguen los siguientes pasos:

- Se emplean modelos promediados que conservan las características dinámicas del sistema y abstraen los detalles de la frecuencia de conmutación.
- Se utiliza los principios de los sistemas cuasi-estáticos en los cuales la variación de la señal de CA es mucho más lenta que la variación de la señal conmutada, pudiéndose considerar la señal CA constante durante los semiciclos de conmutación. Es necesario estudiar el comportamiento cuasi-estático del sistema en diferentes puntos de trabajo.
- Una vez se ha obtenido un modelo invariante en el tiempo y con señales continuas, se linealiza respecto al punto de trabajo empleando técnicas de control clásicas

El proceso descrito se resume en el diagrama de la Figura 4.1 [Erickson01] [Ang05].

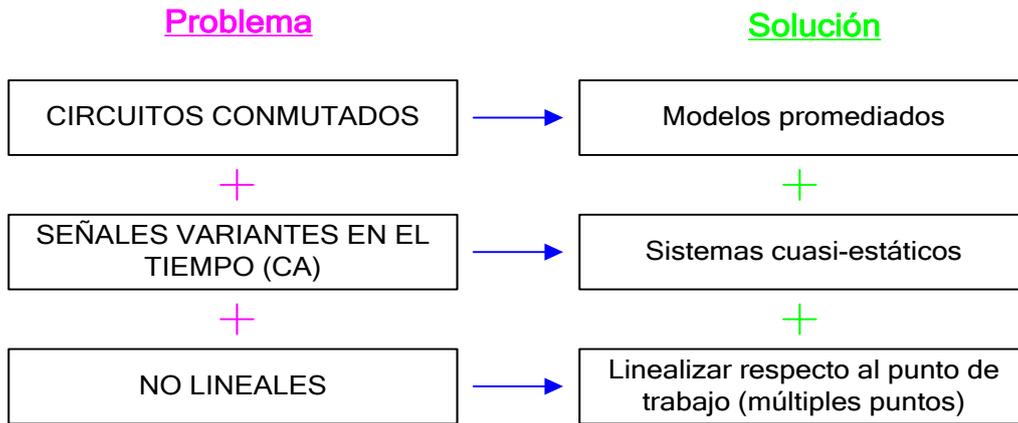


Figura 4.1 Pasos seguidos en el diseño del control de un convertidor conmutado DC/DC.

Una vez presentados los pasos necesarios para obtener el modelo de la planta del convertidor conmutado, a continuación se realizan los cálculos necesarios.

En la Figura 4.2 se repite por comodidad el esquema de la fuente de alimentación con corrección del factor de potencia mediante convertidor conmutado *Boost*. En azul se destacan los bloques que componen el lazo interno de corriente mientras que en naranja se destacan los bloques que componen el lazo externo de tensión mientras que

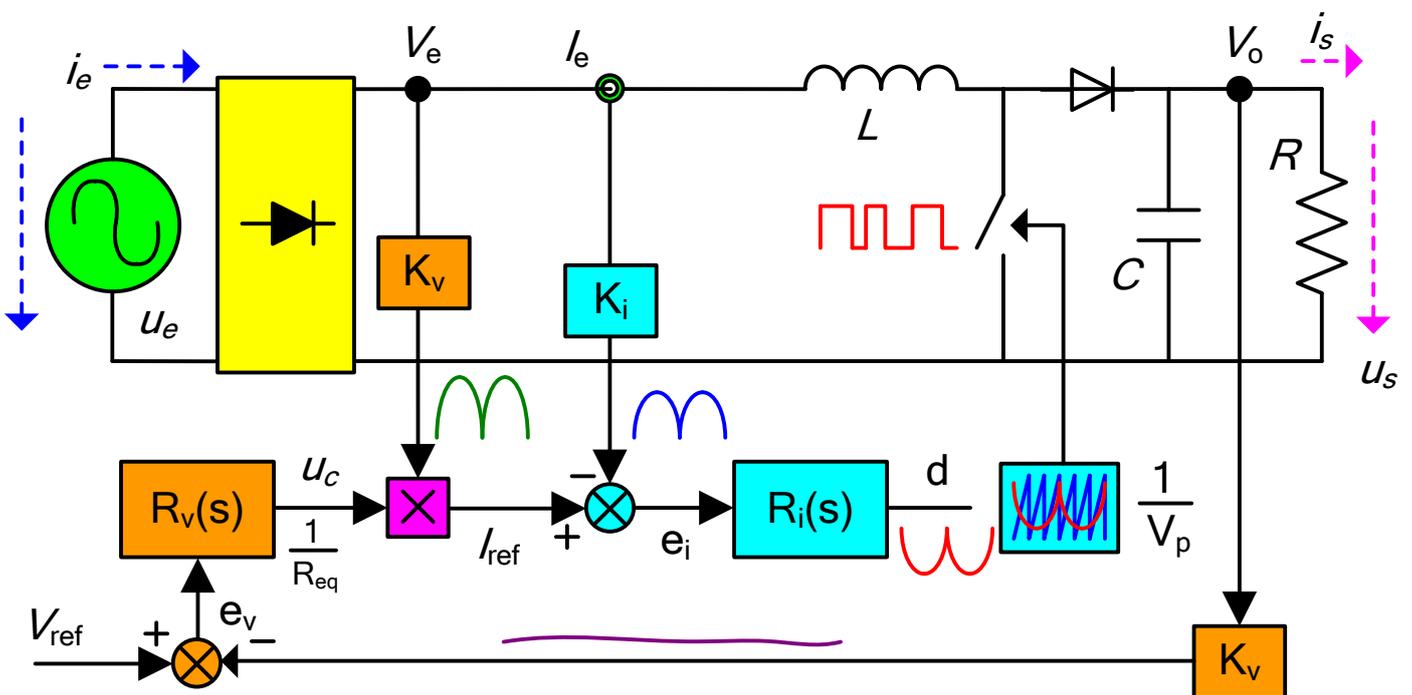
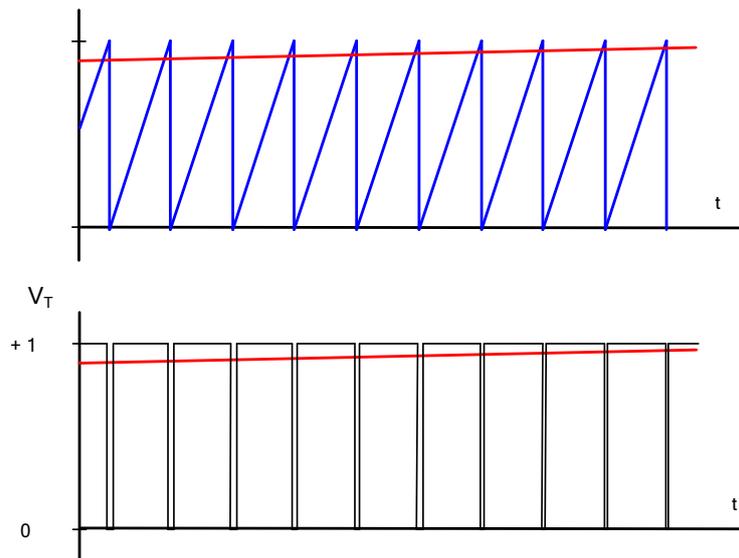


Figura 4.2 Esquema de control de un convertidor tipo *Boost* para PFC (en azul el lazo de corriente y en naranja el lazo de tensión).

## 4.2 Lazo interno de corriente

Para obtener el modelo promediado del convertidor, se supone que durante un ciclo de portadora la tensión moduladora (ciclo de trabajo  $d$ ) permanece constante.

En la Figura 4.3 se muestra ampliada la tensión portadora triangular (azul) junto con la tensión moduladora  $d$  (rojo) y la onda PWM de disparo del transistor.

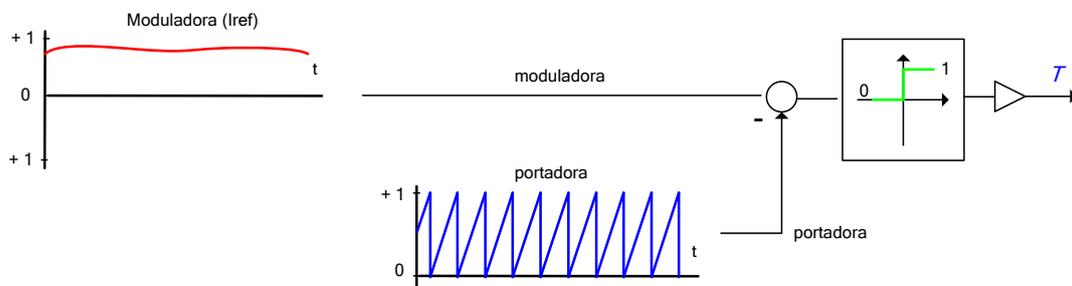


**Figura 4.3** Gráfica superior: Rampa portadora del PWM (azul) y onda moduladora (rojo). Gráfica inferior: Salida del PWM (negro) y tensión moduladora (rojo).

Se recuerda que para este tipo de convertidores, la expresión que relaciona la tensión de salida y la tensión de entrada en régimen permanente es

$$V_o = V_e \cdot \frac{1}{1 - D} \quad (4.1)$$

En la Figura 4.4 se presenta el esquema empleado para la modulación PWM en el convertidor conmutado. Se muestra ampliada la tensión portadora triangular (azul) junto con la tensión moduladora (rojo).



**Figura 4.4** Diagrama de bloques para la generación del disparo PWM del transistor del *Boost*.

## 4.2.1 Modelo promediado del lazo de corriente

Para fijar criterios, en la Tabla 4.1 se resumen las principales características del convertidor bajo estudio.

FUENTE DE ALIMENTACIÓN PFC	
Tensión de red ( $V_{ef}$ )	230
Frecuencia de red (Hz)	50
Tensión de salida (V)	400
Potencia de salida (W)	300
Resistencia de carga ( $\Omega$ )	566,7
Rizado tensión de salida (%)	10
Condensador de salida	68 $\mu$ F
Rizado corriente de entrada (%)	15
Frecuencia de conmutación (kHz)	100
Bobina de entrada	5 mH

**Tabla 4.1** Características principales de la fuente de alimentación con PFC del tipo *Boost*.

En el modelo promediado del convertidor, se sustituyen los elementos de conmutación por fuentes dependiente de tensión o corriente cuyo valor se corresponde con el valor medio de la tensión o corriente en el semiconductor. Para llevar a cabo esta sustitución es necesario respetar dos reglas básicas [Erickson01]:

- No se pueden poner fuentes de corriente en el circuito tal que estas fijen la corriente en una rama del nodo.
- No se pueden poner fuentes de tensión en el circuito tal que estas fijen la tensión en una malla.

Los pasos a seguir para el modelado de los convertidores conmutados DC/Dc son los siguientes:

- Paso 1: Sustituir los elementos de conmutación (diodos y transistores) por fuentes dependientes de tensión o corriente (valores medios) según convenga.
- Paso 2: Calcular el valor promediado sobre un ciclo de conmutación de las fuentes dependientes.
- Paso 3: Linealizar y sacar la función de transferencia deseada en función de las variables independientes, o perturbaciones, (tensión de entrada y corriente de salida), de la variable de control (ciclo de trabajo) y de la variable a controlar (corriente de entrada o tensión de salida).

Aplicando los criterios anteriores, en la Figura 4.5 se muestra el modelo promediado linealizado en pequeña señal (variables en pequeña señal en minúsculas y constantes del punto de trabajo en mayúsculas) para el convertidor reductor *Boost* [Erickson01] [Xie03]

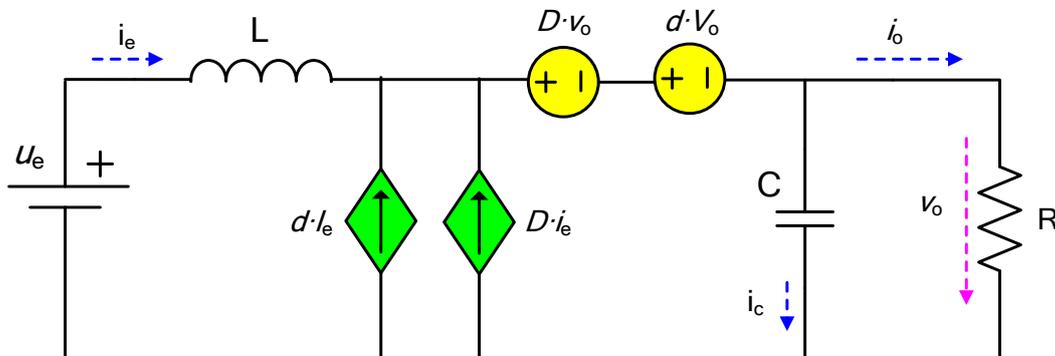


Figura 4.5 Modelo promediado para el lazo interno de corriente.

A partir de la figura anterior, la función de transferencia que relaciona la variación de la corriente por la bobina (variable a controlar) con el ciclo de trabajo (variable de control) es

$$G_{id}(s) = \frac{i_e}{d} = \frac{2V_o}{R(1-D)^2} \frac{1 + \frac{sRC}{2}}{1 + \frac{sL}{R(1-D)^2} + \frac{s^2LC}{R(1-D)^2}} \quad (4.2)$$

donde las variables en mayúsculas representan el punto de trabajo.

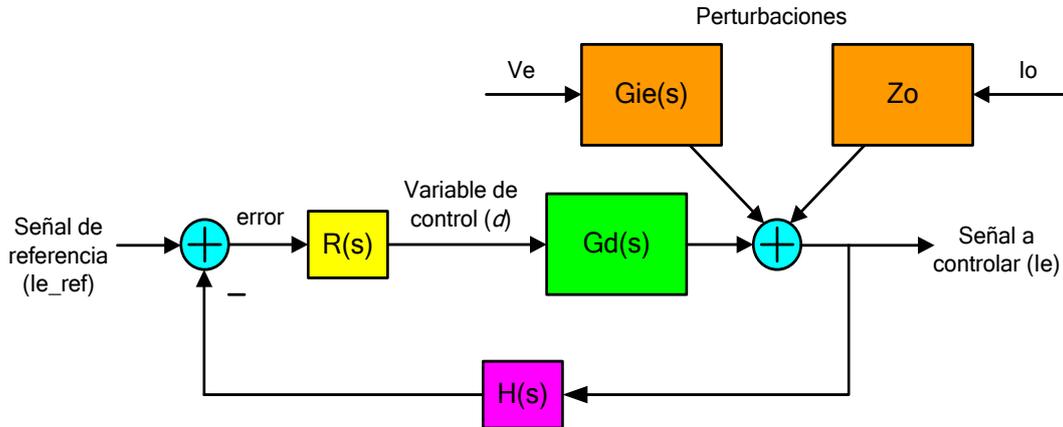
En algunas referencias se emplea la expresión simplificada  $V_o/sL$  en alta frecuencia de la fórmula anterior. No obstante, usando la simplificación se pierde la información de la respuesta en frecuencia en el entorno de 100 Hz y , como ya se ha comentado, es conveniente que la ganancia de lazo sea la mayor posible a esta frecuencia para disminuir el error en régimen permanente, aunque el lazo externo de tensión se encargará de corregir las posibles desviaciones.

Como se observa en la expresión anterior, la respuesta en frecuencia de la planta depende del punto de trabajo, con lo cual habría que estudiar la respuesta para cada valor de la carga. No obstante, la variación con respecto al punto de trabajo de los puntos de interés es muy pequeña y se estudiará la respuesta en frecuencia del lazo interno de corriente para el valor de carga máximo y mínimo.

Por su parte, como se verá posteriormente, el lazo externo de tensión dependerá también del valor de la tensión de entrada del convertidor.

#### 4.2.1 Fundamentos de control de convertidores conmutados

De forma genérica, el diagrama de bloques que representa la planta de un convertidor conmutado se muestra en la Figura 4.6 (variables en pequeña señal)



**Figura 4.6** Esquema general de un sistema de control incluyendo perturbaciones en la tensión de entrada y en la carga.

El diagrama de bloques anterior se corresponde con la siguiente expresión matemática en lazo abierto (bloques naranjas y verde)

$$\tilde{I}_e = G_d(s)\tilde{d} + G_{ie}(s)\tilde{V}_e - Z_o(s)\tilde{I}_o \quad (4.3)$$

Por su parte, la expresión que define la variable de salida en bucle cerrado (incluyendo la realimentación) es

$$\tilde{I}_e = \frac{R(s)G_d(s)}{1 + R(s)G_d(s)H(s)} \tilde{I}_{e.ref} + \frac{G_{ie}(s)}{R(s)G_d(s)H(s)} \tilde{V}_e - \frac{Z_o(s)}{R(s)G_d(s)H(s)} \tilde{I}_o \quad (4.4)$$

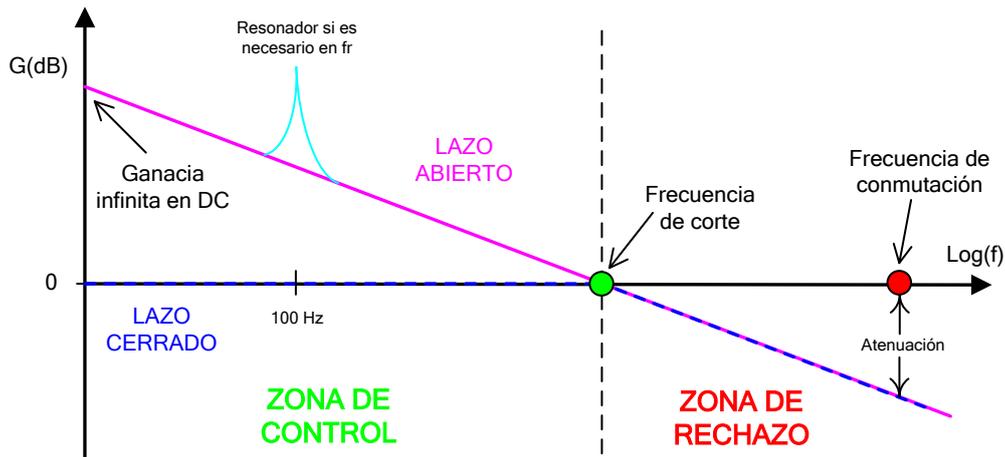
Si en la expresión anterior se toma como ganancia de lazo  $L(s) = R(s)G_d(s)H(s)$ , la expresión queda

$$\tilde{I}_e = \frac{R(s)G_d(s)}{1 + L(s)} \tilde{I}_{e.ref} + \frac{G_{ie}(s)}{L(s)} \tilde{V}_e - \frac{Z_o(s)}{L(s)} \tilde{I}_o \quad (4.5)$$

A partir de las expresiones anteriores se aprecia claramente como interesa que la ganancia de lazo sea alta a frecuencias bajas (muy inferiores a la frecuencia de conmutación que introduciría ruido) para que la salida siga la referencia. Por otra parte, una ganancia de lazo alta atenúa considerablemente las perturbaciones y el efecto de estas sobre la variable a controlar.

Para calcular las diferentes funciones de transferencia de la ecuación 4.3 se aplica el principio de superposición considerando únicamente la variable de interés.

Para aclarar los conceptos, en la Figura 4.7 se muestra la respuesta en frecuencia en decibelios y escala logarítmica para la ganancia en lazo abierto  $L(s)$  y en lazo cerrado.



**Figura 4.7** Respuesta en frecuencia de un sistema de control incluyendo el lazo abierto (magenta) y el lazo cerrado (azul).

En la figura se observa que cuando la frecuencia es mayor que la frecuencia de corte la señal a controlar sigue la referencia debido a la alta ganancia de lazo. Cuando la frecuencia es mayor que la frecuencia de corte, la función en lazo cerrado presenta una gran atenuación con objeto de rechazar las perturbaciones.

En el caso de la fuente de alimentación, la corriente de entrada presenta una componente de continua (ganancia infinita del lazo) y una componente importante de 100 Hz (ganancia finita del lazo). Por este motivo es conveniente ajustar el lazo para obtener la mayor ganancia posible a 100 Hz (en caso de ser necesario se puede emplear un resonador a esta frecuencia para conseguir ganancia infinita a 100 Hz).

### 4.2.2 Diseño del regulador

En este apartado se realiza el diseño del regulador en el dominio de la frecuencia siguiendo los criterios expuestos en el apartado anterior. En la Tabla 4.2 se muestran las características deseadas para el lazo interno de corriente

REGULADOR DE CORRIENTE $R_i(s)$	
Margen de fase	$\geq 55^\circ$
Margen de ganancia	$\geq 8$ dB
Frecuencia de corte ( $f_{sw}/f_c=20$ )	$\geq 5$ kHz
Ganancia a 100 Hz	$\geq 20$ dB
Atenuación a $f_{sw}$	$\geq 20$ dB

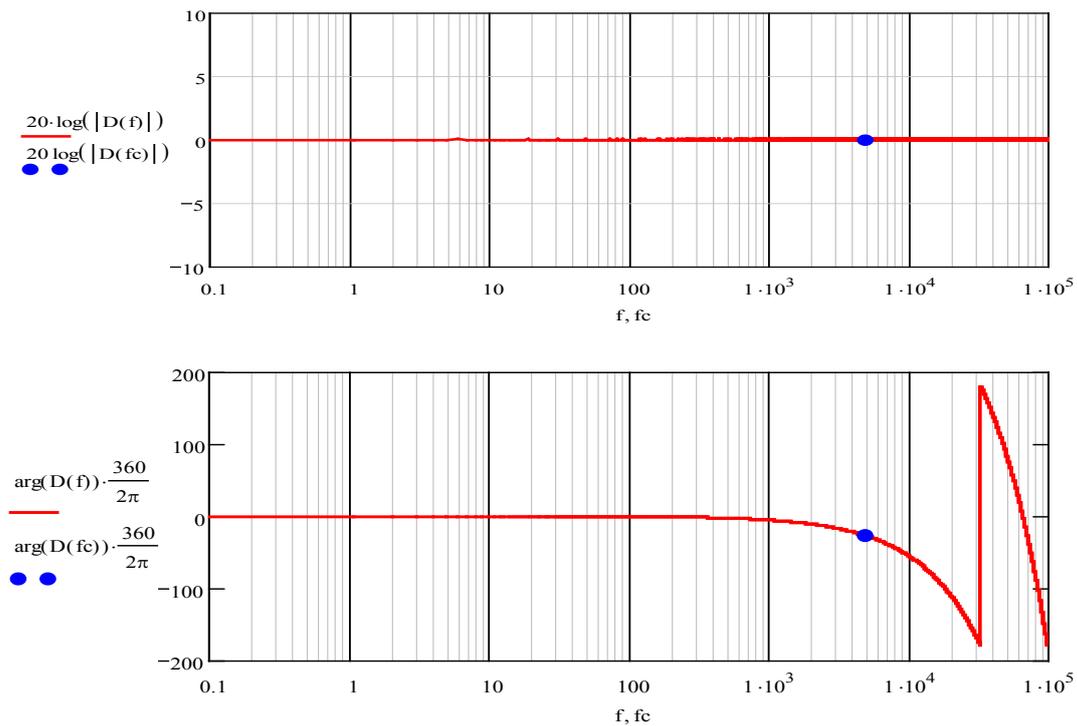
**Tabla 4.2** Características del lazo interno de corriente.

Como se especifica en la tabla anterior, se emplea una frecuencia de corte 20 veces inferior a la frecuencia de conmutación (5 kHz frente a 100 kHz) con objeto de conseguir suficiente atenuación del lazo de control ante la frecuencia de conmutación.

Así mismo, es necesario mantener un suficiente ancho de banda para permitir al lazo interno de corriente seguir la referencia y minimizar los retrasos debidos al control digital dados por

$$D(s) = e^{-1,5 \cdot T_{sw} \cdot s} \quad (4.6)$$

En la figura siguiente se muestra la variación de la fase introducida por el retardo puro en función de la frecuencia. Se aprecia que a 5 kHz (conmutando a 100 kHz) el retraso introducido es de -27 grados.



**Figura 4.8** Respuesta en frecuencia de  $D(s)$ . Magnitud (superior) y fase (inferior).

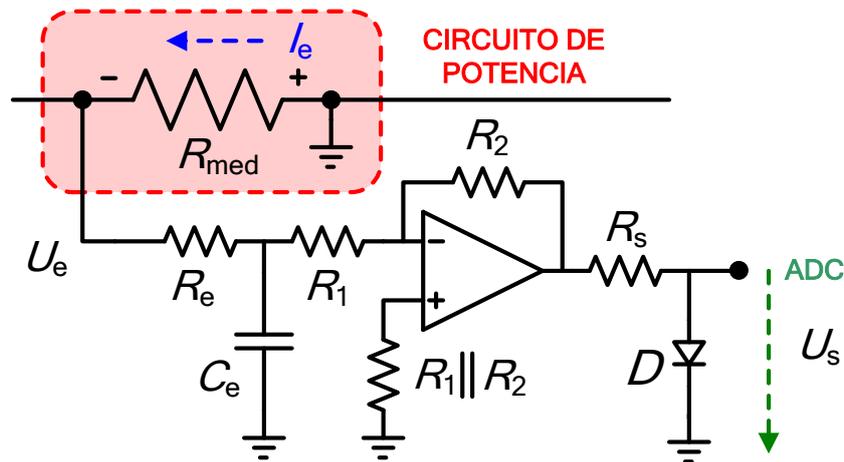
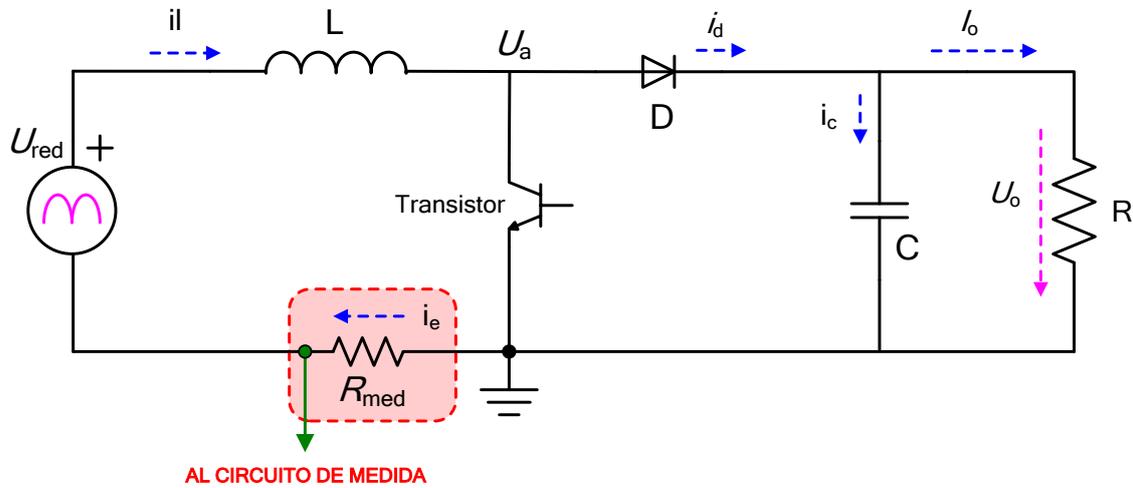
En la tabla siguiente se muestra la pérdida de fase introducido a la frecuencia de corte por el retardo digital y del PWM.

RETARDO A LA FRECUENCIA DE CORTE (5 kHz)	
Retardo puro ( $1,5 \cdot T_{sw}$ )	-27°

**Tabla 4.3** Retardo introducido por el PWM y el tiempo de cálculo.

En la figura siguiente se muestra el circuito de medida de corriente empelado para mediar la corriente de entrada. En la parte superior se muestra la posición de la resistencia de medida y en la parte inferior se muestra el circuito de acondicionamiento de la señal.

Se observa que la medida inicial es negativa con respecto a masa y que mediante el amplificador operacional se invierte la polaridad.



**Figura 4.9** Circuito de medida de corriente. Parte de potencia (superior) y parte de señal (inferior).

La relación entre la medida de corriente y la tensión aplicada a los ADC es la siguiente con una resistencia de medida de 1  $\Omega$  (compromiso señal/ruido)

$$G_{i_{med}}(s) = K_{i_{med}}(s) = \frac{R_2}{R_e + R_1 + sC_e R_e R_1} \quad (4.7)$$

La resistencia de salida (10  $\Omega$ ) y el diodo se emplean para evitar que la tensión aplicada a los ADC supere los 0,7 V con objeto de no dañarlos.

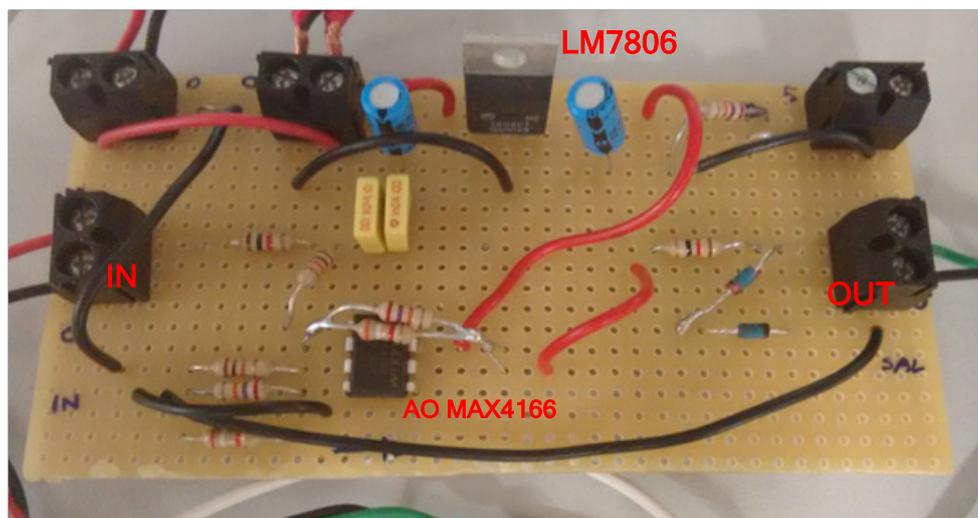
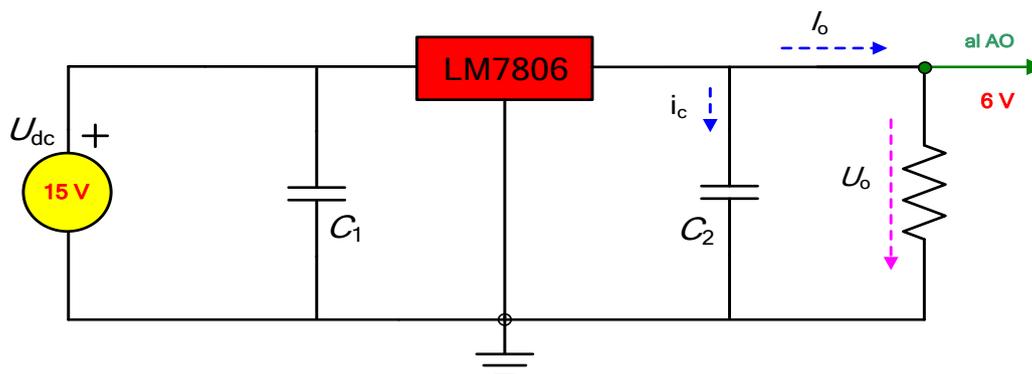
En la siguiente tabla se muestran los componentes empleados en el circuito de acondicionamiento

CIRCUITO MEDIDA DE CORRIENTE	
Amplificador operacional	MAX4166 ( <i>rail to rail</i> )
$R_{\text{medida}}$	1 $\Omega$
$R_e$	1 k $\Omega$
$R_1$	10 k $\Omega$
$R_2$	3,4 k $\Omega$
$R_s$	10 $\Omega$
$C_s$	2 nF

**Tabla 4.4** Componentes principales del circuito de medida de corriente.

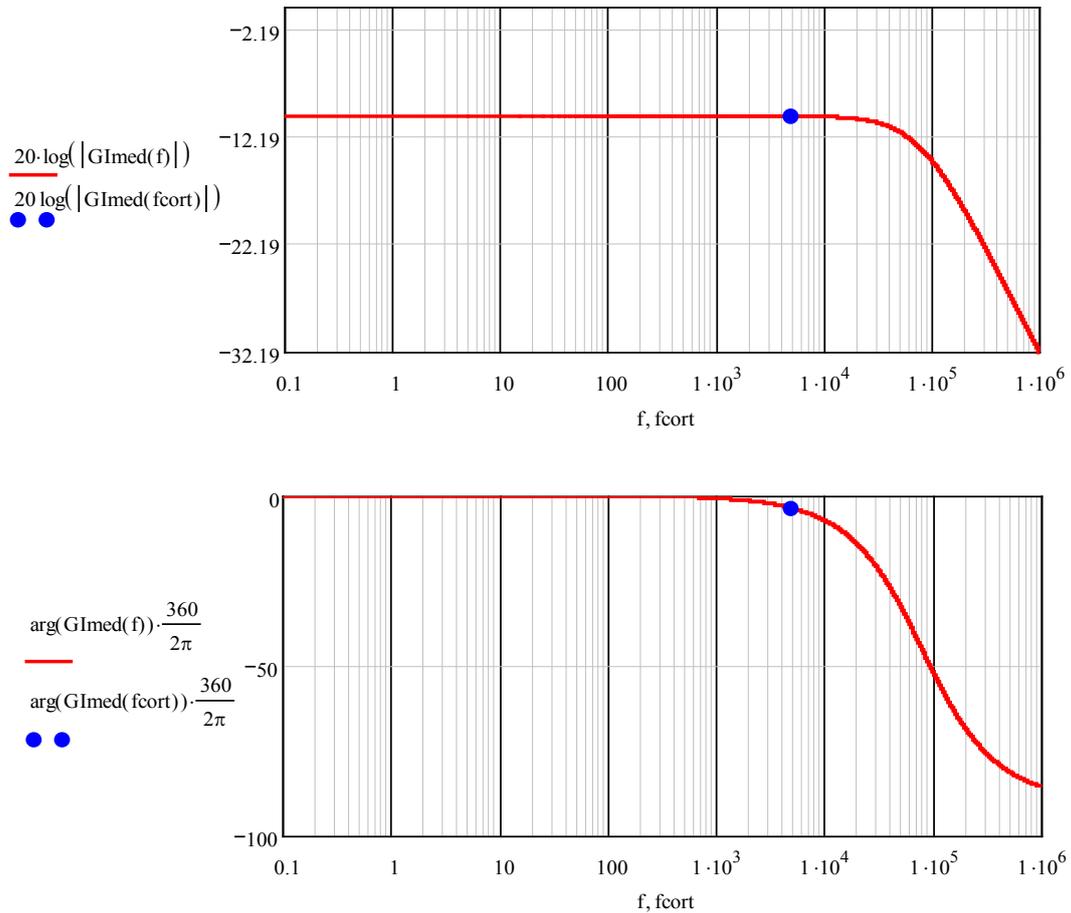
Para alimentar al amplificador operacional se ha empleado una tensión de 6 V proporcionada por un regulador de tensión de 6 V tipo LM7806 alimentado con 15 V. De este modo se puede usar como alimentación de señal (referida a masa) una tensión de 15 V que sirve también para alimentar al driver del MOSFET de potencia.

En la figura siguiente se muestra el circuito regulador de tensión junto con una foto del montaje empleado en las pruebas



**Figura 4.10** Regulador de 15 V a 6 V (superior) y montaje del circuito de medida de corriente (inferior).

Por otra parte, en las figuras siguientes se muestra la respuesta en frecuencia del circuito de medida de corriente de entrada. Se aprecia que la zona de atenuación no deseada del filtro (por encima de la frecuencia de corte) no afectará a las frecuencias de interés en el diseño de los lazos de control siendo su frecuencia de corte superior a 79,6 kHz. Este filtro atenuará las componentes de alta frecuencia y reducirá algo también la componente de la frecuencia de conmutación.



**Figura 4.11** Respuesta en frecuencia del circuito de medida de corriente. Magnitud (superior) y fase (inferior).

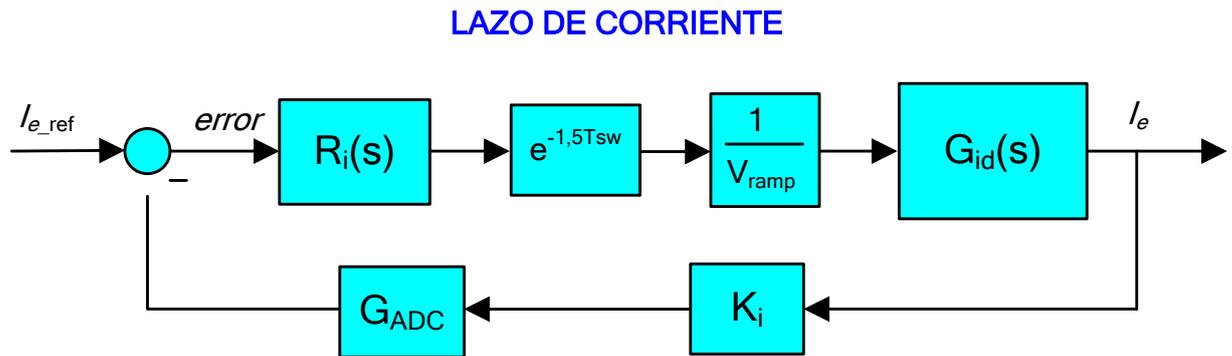
En la tabla siguiente se muestra la pérdida de fase introducido a la frecuencia de corte. Se aprecia que es casi despreciable. Se muestra también la atenuación a 100 kHz y la ganancia en DC.

CIRCUITO DE MEDIDA DE CORRIENTE	
Pérdida de fase a $f_{\text{corte}}$ (5 kHz)	-3,59°
Ganancia en DC (pu)	0,3098
Ganancia en $f_{\text{sw}}$ (100 kHz)	4,11 dB

**Tabla 4.5** Características frecuenciales del circuito de medida de corriente.

Para diseñar el lazo, en primer lugar es necesario dibujar el diagrama de bloques del lazo interno y representar la respuesta en frecuencia de la planta para estudiar el regulador necesario para obtener el margen de fase y margen de ganancia deseados.

En la Figura 4.12 se muestra el diagrama de bloques equivalente para el lazo interno de corriente. En este diagrama se ha incluido un retardo de 1,5 periodos de conmutación  $T_{sw}$  con objeto de tener en cuenta la disminución de la fase introducida por el control digital ( $1 \cdot T_{sw}$ ) y el PWM ( $0,5 \cdot T_{sw}$ ).



**Figura 4.12** Diagrama de bloques del lazo interno de corriente.

Para analizar las prestaciones y estabilidad del sistema en cadena cerrada es necesario analizar la respuesta en frecuencia del sistema en cadena abierta incluyendo las constantes de medida y el retardo debido al control digital.

Para tener en cuenta la conversión del ADC y del PWM digital es necesario encontrar el número de ciclos de reloj necesarios en la FPGA para completar un ciclo de conmutación. Esto es la tensión equivalente de la rampa  $V_{ramp}$ .

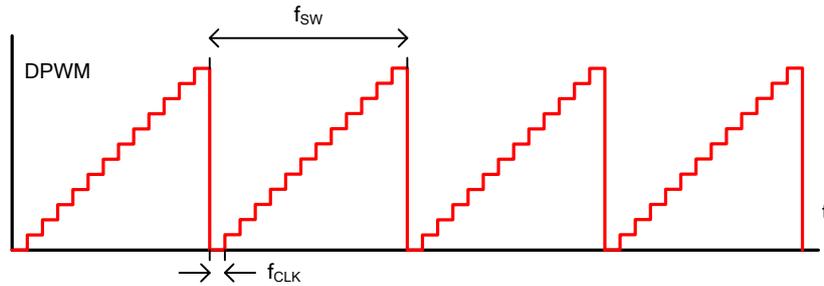
El número de ciclos de reloj necesarios para completar un periodo del PWM está dado por la relación entre la frecuencia de reloj de la FPGA ( $f_{CLK}$ ) y la frecuencia de conmutación ( $f_{SW}$ ). Es importante este factor para tener buena resolución en el DPWM

$$n^{\circ} \text{ ciclos de reloj del DPWM } (V_{ramp}) = \frac{f_{CLK}}{f_{SW}} = \frac{100 \cdot 10^6}{100 \cdot 10^3} = 1000 \quad (4.8)$$

La ganancia del ADC está dada por el número de cuentas de este y la tensión de entrada del conversor analógico-digital.

$$G_{adc} = \frac{1}{V_{adc}} 2^{n^{\circ} \text{ bits ADC}} \quad (4.9)$$

Por otra parte, en la Figura 4.13 se muestran las formas de onda del PWM digital (DPWM) teniendo en cuenta el carácter discreto de las mismas.



**Figura 4.13** Gráfica del contador del PWM digital (DPWM).

Del mismo modo, en la siguiente tabla se muestran los factores de conversión y principales variables involucradas en el ADC y el DPWM.

FACTORES DE CONVERSIÓN DIGITALES	
Tensión de entrada del ADC ( $V_{adc}$ )	1
Bits del ADC	12
Ganancia del ADC ( $G_{adc}$ )	$2^{12} / V_{adc}$
Frecuencia de reloj (MHz)	100
Frecuencia de conmutación (kHz)	100
Nº de ciclos de reloj en un ciclo PWM ( $V_{ramp}$ )	1000

**Tabla 4.6** Características principales de la conversión analógica-digital.

En la tabla anterior se aprecia cómo se ha seleccionado una frecuencia de reloj proporcional por un factor de 1000 a la frecuencia de conmutación con objeto de simplificar los cálculos.

En la expresión siguiente se muestra la función de transferencia en lazo abierto (sin regulador) incluyendo la constante de media  $K_i$ , la ganancia de la rampa digital  $V_{ramp}$ , la ganancia del ADC  $G_{adc}$  y el retardo digital de  $1,5 \cdot T_{sw}$ .

$$G_i(s) = G_{id}(s)D(s)G_{adc} \frac{1}{V_{ramp}} K_i \quad (4.10)$$

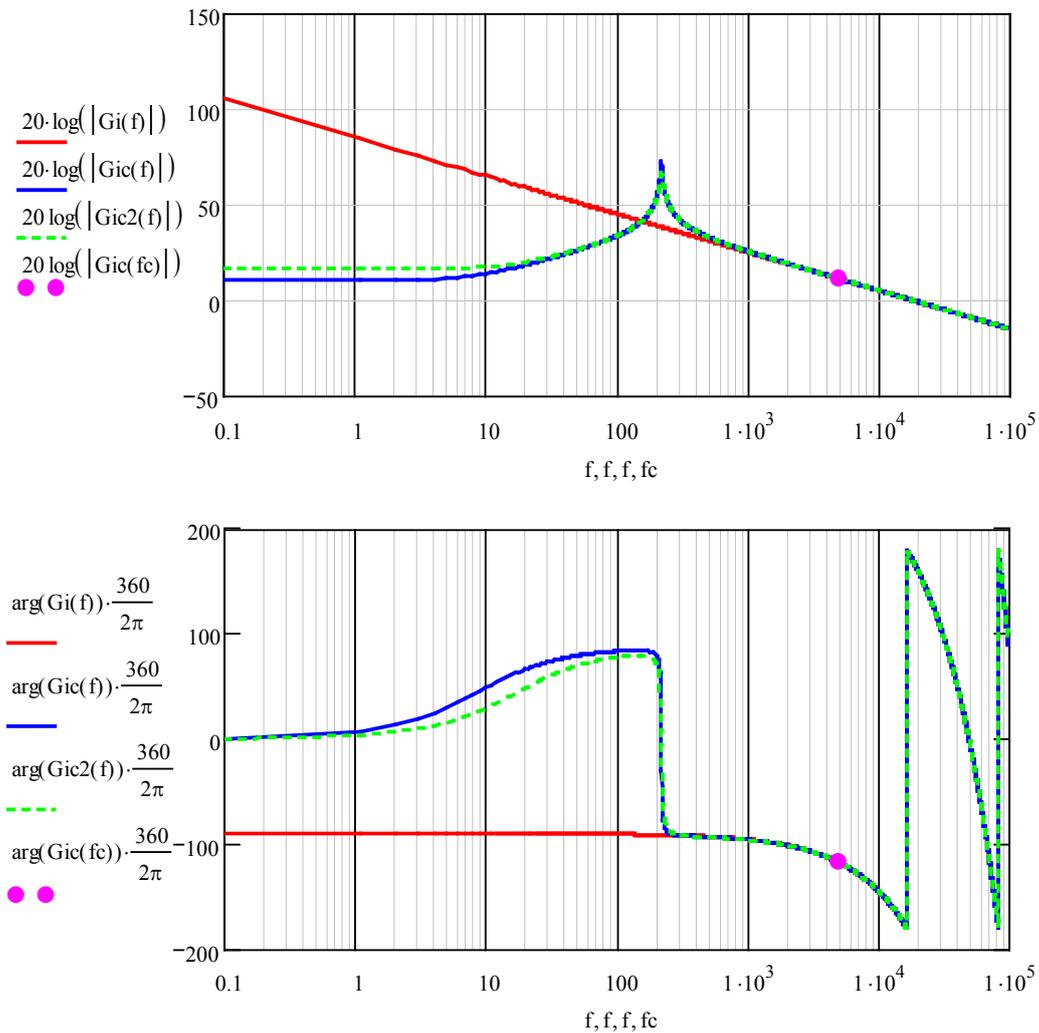
En la Figura 4.14 se muestra el diagrama de bode de la planta, dada por la ecuación 4.10, para la relación entre la corriente de entrada (variable a controlar) y el ciclo de trabajo (variable de control). En azul se muestra la respuesta para el 100 % de carga y en verde para el 50 % de carga. Ambos son muy similares, más aún en alta frecuencia donde se diseñará el lazo de control. A 100 Hz también son similares.

En rojo se muestra el equivalente en alta frecuencia y en azul el equivalente completo. Se aprecia como en alta frecuencia ambos modelos son equivalente, aunque a la frecuencia del segundo armónico de red (100 Hz) ambos modelos difieren.

Se aprecia claramente la existencia de una frecuencia de resonancia dada por la bobina y el condensador a 273,1 Hz

$$f_{res} = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{5\text{mH} \cdot 68\mu\text{F}}} = 273,1 \text{ Hz} \quad (4.11)$$

Con estos datos se deduce que el regulador debe incluir un polo en el origen para eliminar el error en régimen permanente de DC y aumentar la ganancia del regulador a 100 Hz que es el principal armónico de la corriente de entrada y el que se desea seguir.



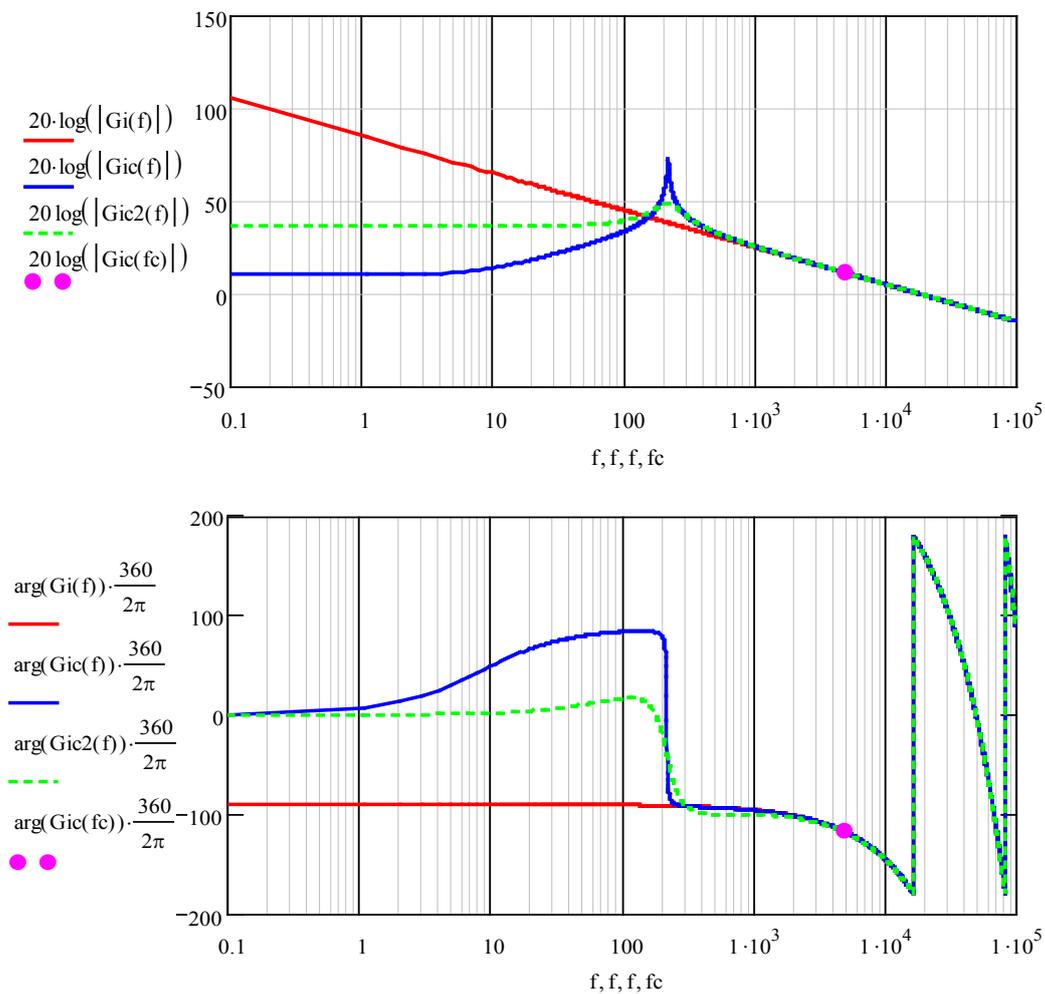
**Figura 4.14** Respuesta en frecuencia de  $G_i(s)$  real (azul), ideal con solo bobina (rojo) y real con el 50 % de carga (verde). Magnitud (superior) y fase (inferior).

Por otra parte, el regulador debe conseguir que la fase del lazo a la frecuencia de corte no disminuya en exceso para conseguir un margen de fase de unos  $55^\circ$  que asegure la estabilidad del lazo interno de corriente (el mínimo serían unos  $45$  grados).

Para comprobar el efecto sobre la estabilidad del lazo de una carga muy baja, se analiza en la siguiente figura la respuesta en frecuencia del lazo cuando la carga es tan baja como el 5 % de la carga nominal.

En la figura siguiente se muestra la magnitud y la fase de la ganancia de lazo a plena carga (azul), al 5 % de la carga (verde) y el equivalente en alta frecuencia.

En la figura se indica en magenta la frecuencia de corte deseada de 5 kHz que es el punto crítico para garantizar la estabilidad. Así mismo, se debe observar como varia la ganancia a 100 Hz.



**Figura 4.15** Respuesta en frecuencia de  $G_i(s)$  real (azul), ideal con solo bobina (rojo) y real con el 5 % de carga (verde). Magnitud (superior) y fase (inferior).

Se aprecia claramente como en el entorno de la frecuencia de corte las respuestas coinciden y no afectará al diseño del regulador, aunque en baja frecuencia se produce una disminución de la fase al disminuir la carga.

Por otra parte, a 100 Hz la ganancia disminuye a plena carga y será este el peor caso desde el punto de vista del error en régimen permanente.

Por ello, se empleará un regulador de tipo red de atraso-adelanto para conseguir suficiente fase a la frecuencia de corte dado por la siguiente expresión. En adelante se supondrá carga máxima para el diseño del lazo de control.

$$R_i(s) = \frac{\omega_i}{s} \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_p}} \quad (4.12)$$

Para establecer el valor de la ganancia del regulador y la posición del cero y del polo se tiene en cuenta que la frecuencia en la cual el regulador da la fase máxima está dada por la expresión

$$f_{\text{fase\_max}} = \sqrt{\omega_z \cdot \omega_p} \quad (4.13)$$

En la Tabla 4.7 se resumen los valores obtenidos para las constantes del regulador con una frecuencia de corte de 5 kHz veinte veces inferior a la de conmutación para atenuar suficientemente el ruido de conmutación ( $f_{\text{sw}}/20$ ).

Por otra parte, el polo en alta frecuencia del regulador se coloca en  $f_{\text{sw}}/2$  para conseguir mayor atenuación de la frecuencia de conmutación.

No es conveniente situar el polo a frecuencias menores ya que se pierde fase (en este caso -6,64 grados) conforme el cero y el polo del regulador están más próximos y más aún al alejarse la frecuencia de corte de la frecuencia de fase máxima que da el regulador dada por la ecuación anterior (1,87 kHz)

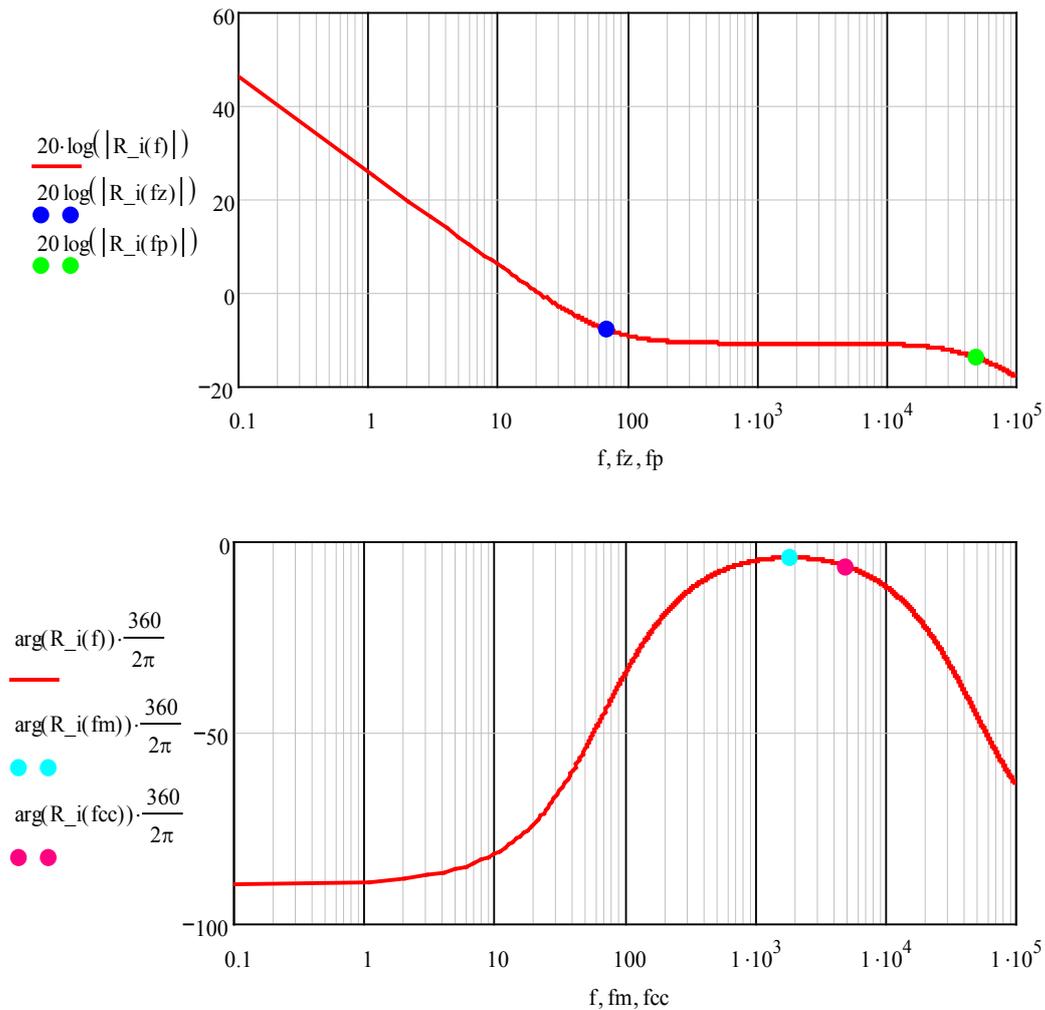
REGULADOR DE CORRIENTE $R_i(s)$	
Ganancia $\omega_i$ (Hz)	$20 \cdot 2\pi$
Cero $\omega_z$ (Hz)	$70 \cdot 2\pi$
Polo $\omega_p$ (Hz)	$50 \cdot 10^3 \cdot 2\pi$
Fase a la frecuencia central	$-4,29^\circ$
Fase a la frecuencia de corte	$-4,64^\circ$
Fase en baja frecuencia	$-90^\circ$

**Tabla 4.7** Características del regulador de corriente.

Para el diseño del regulador se toman los valores anteriores en el dominio continuo de Laplace. No obstante, en este regulador analógico se han tenido en cuenta los retardos del control digital ( $1,5 \cdot T_{\text{sw}}$ ) así como las ganancias introducidas por el ADC y la rampa del DPWM.

En la Figura 4.16 se muestra el diagrama de bode de la planta del regulador, tanto en magnitud como en fase.

Se indica con un punto azul el cero del regulador y con un punto verde el polo en alta frecuencia. En la fase se indica en cian la fase máxima y en magenta la frecuencia de corte del lazo deseada de 5 kHz.



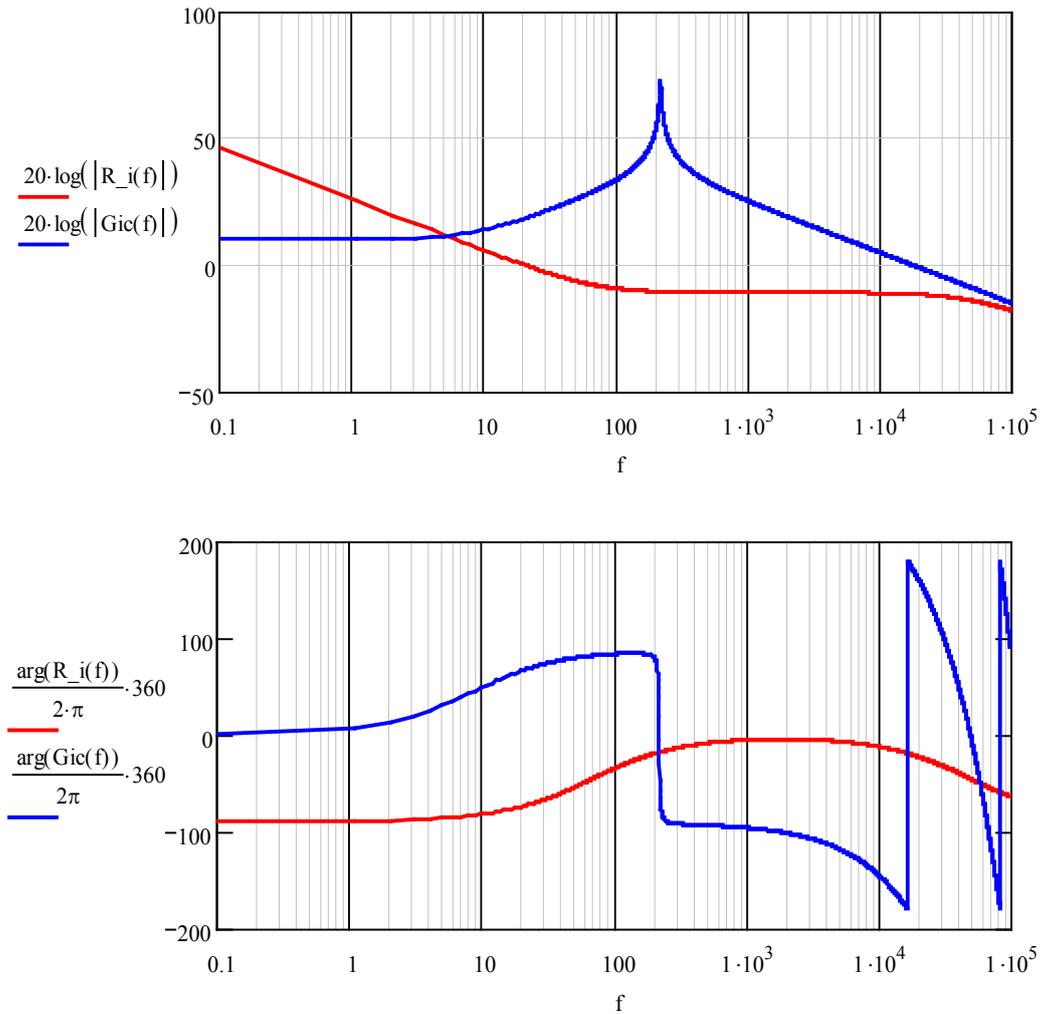
**Figura 4.16** Respuesta en frecuencia de  $R_i(s)$ . Magnitud (superior) y fase (inferior).

Se aprecia claramente la forma característica de este tipo de reguladores con su fase máxima en la media geométrica del polo y del cero del regulador.

Se observa que la fase del regulador a la frecuencia de corte está muy próxima a la frecuencia máxima del regulador y que esta frecuencia máxima esta cerna a su límite teórico de cero grados.

Una vez estudiado el regulador es momento de representar la función de transferencia del lazo en cadena abierta y estudiar su margen de fase y de ganancia para el regulador seleccionado.

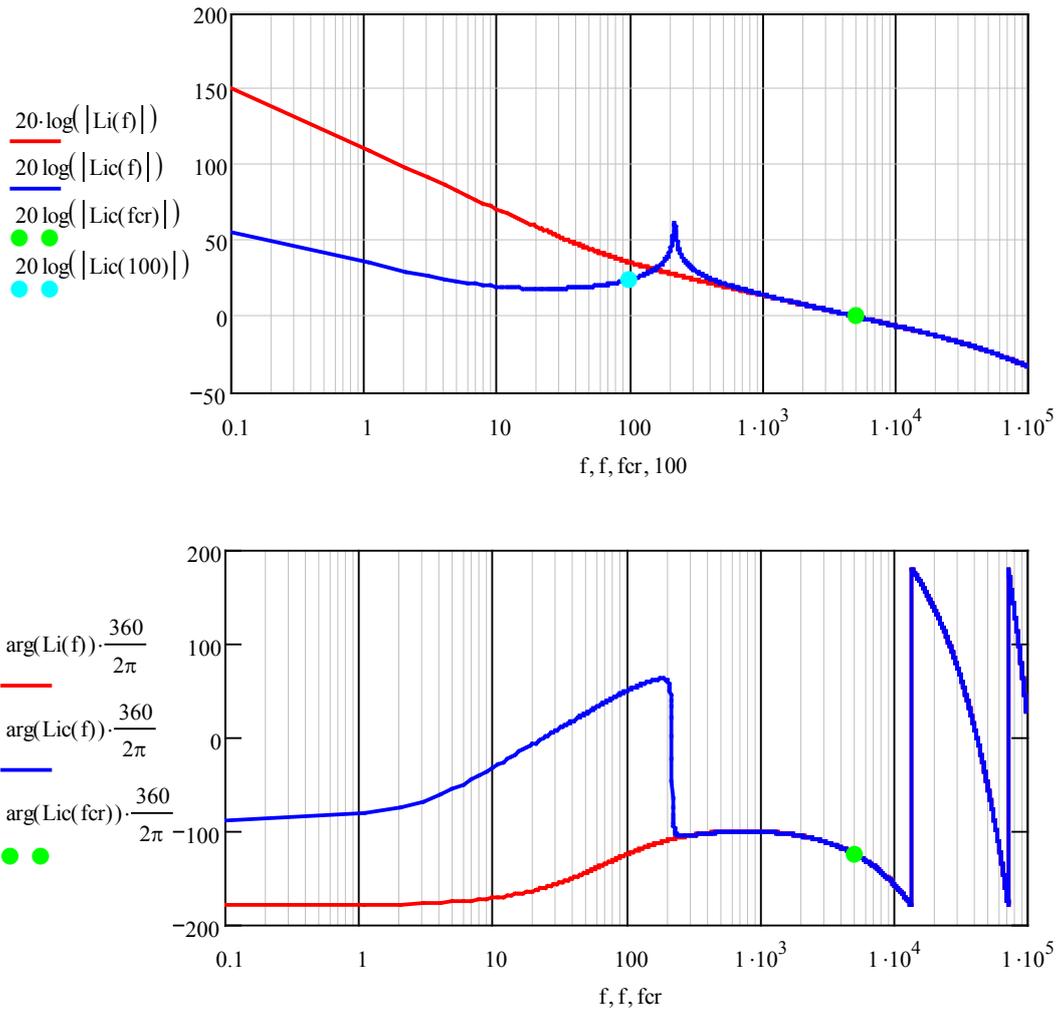
En la Figura 4.17 se muestra el diagrama de bode de la planta del regulador (rojo) y la de la planta del sistema (azul).



**Figura 4.17** Respuesta en frecuencia del regulador de corriente (rojo) y de la planta (azul). Magnitud (superior) y fase (inferior).

Por otra parte, en la Figura 4.18 se muestra la ganancia de lazo incluyendo el regulador, tanto en el caso de emplear la planta simplificada del sistema en alta frecuencia (rojo) como en el caso de emplear la función de transferencia completa de la planta (azul).

En la figura se indican la frecuencia de 100 Hz (cian), la frecuencia de corte (verde) y la frecuencia de conmutación (extremo del eje de abscisas).



**Figura 4.18** Respuesta en frecuencia del lazo cerrado con solo bobina (rojo) y del completo (azul). Magnitud (superior) y fase (inferior).

Para el caso bajo estudio, los valores obtenidos de margen de ganancia y margen de fase se resumen en la Tabla 4.8

REGULADOR DE CORRIENTE $R_i(s)$	
Margen de fase	55,7°
Margen de ganancia	8,84 dB
Frecuencia de corte ( $f_{sw}/f_c=15$ )	5,131 kHz
Ganancia a 100 Hz	24,124 dB
Atenuación a $f_{sw}$	32,74

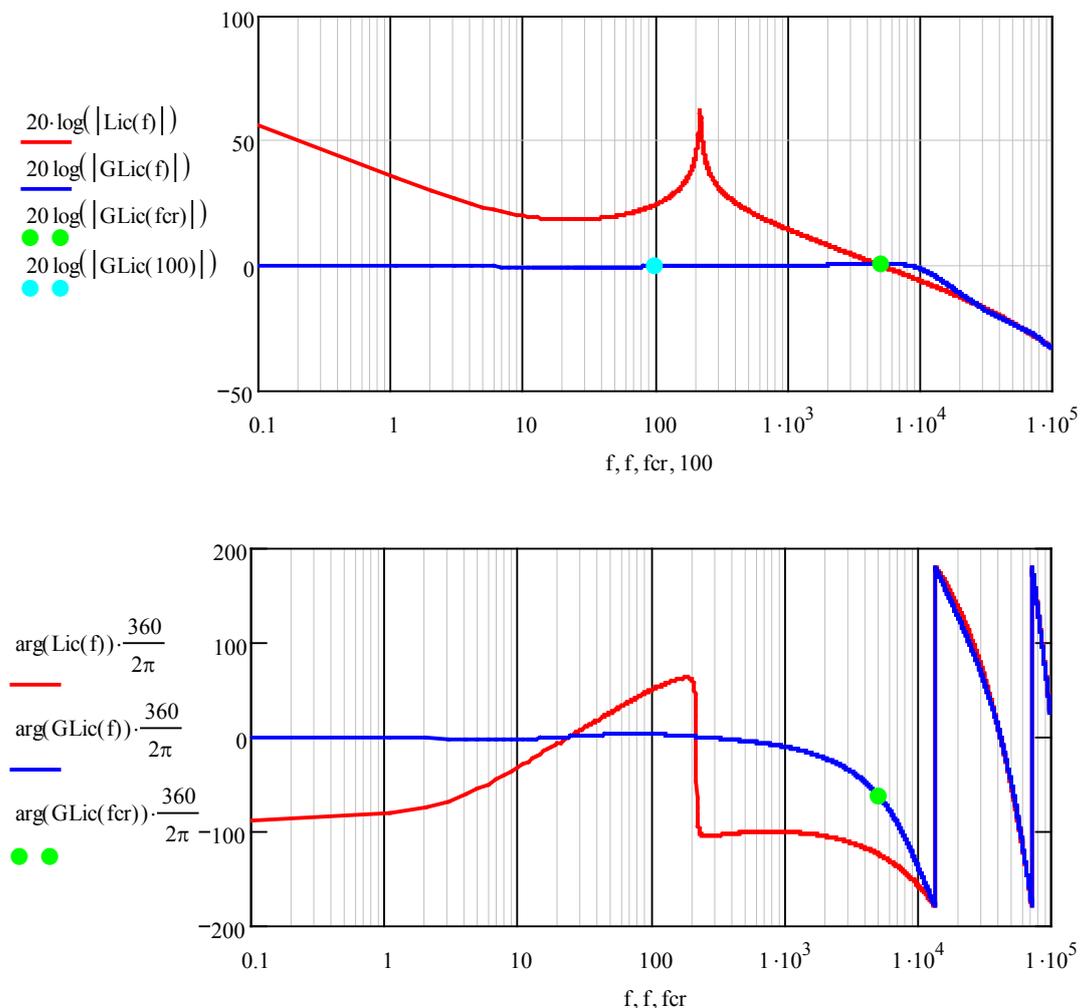
**Tabla 4.8** Prestaciones del lazo interno de corriente.

Se aprecia que el margen de fase obtenido es superior al límite de 55°. Por su parte el margen de ganancia es superior a los 8 dB.

Se observa como en baja frecuencia los sistemas de primer orden y completo son casi idénticos, tanto en magnitud como en fase, incluso ante variaciones en la carga. No obstante, en baja frecuencia los dos sistemas difieren y se hace necesario emplear la expresión completa de la planta para comprobar la ganancia a 100 Hz que es la frecuencia para la que se desea obtener un error mínimo.

En este caso el error a 100 Hz no será nulo ya que la ganancia del regulador no es infinita a esta frecuencia (sería necesario emplear reguladores resonantes PR a 100 Hz). No obstante, la ganancia es suficientemente alta como para que el error a 100 Hz sea pequeño y el lazo externo de tensión se encargará de compensarlo.

Por último, en la Figura 4.19 se muestra el diagrama de bode de la planta en lazo cerrado (rojo) y en lazo abierto (azul) para el sistema  $G(s)R(s)$  sin ganancias adicionales.

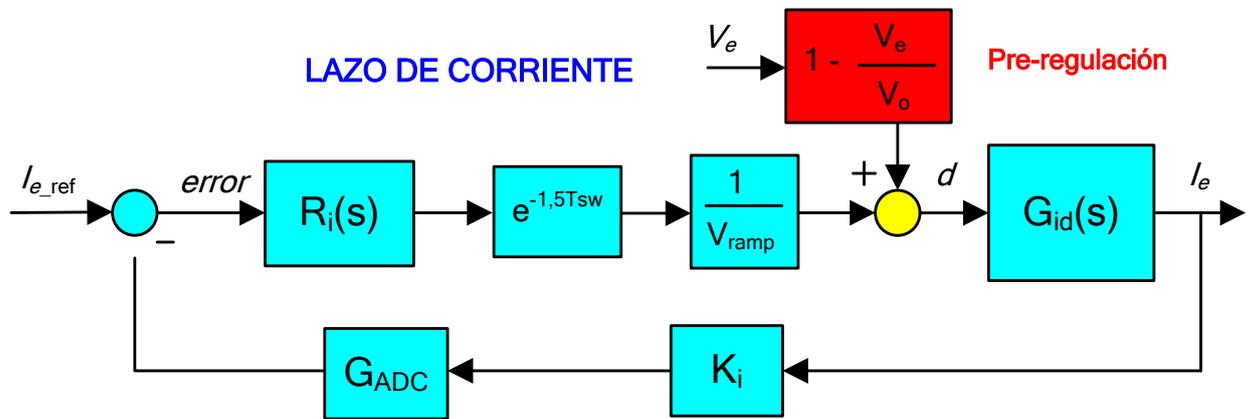


**Figura 4.19** Respuesta en frecuencia del lazo abierto (rojo) y del lazo cerrado (azul). Magnitud (superior) y fase (inferior).

Se observa como por debajo de la frecuencia de corte el sistema seguirá la referencia, también a 100 Hz, mientras que por encima de la frecuencia de corte la ganancia disminuye para rechazar el ruido de alta frecuencia.

En la exposición anterior, toda la responsabilidad de generación del ciclo de trabajo en cada momento ha recaído sobre el lazo cerrado de corriente. No obstante, el ciclo de trabajo es predecible y será próximo al ciclo de trabajo dado por la tensión de entrada y la tensión de salida en caso de no haber caídas y estar el convertidor trabajando en modo de conducción continuo CCM.

Por este motivo, en este trabajo se empleará pre-regulación (*feedforward*) mediante el cálculo del ciclo de trabajo “ideal” (sin caídas) y este se sumará al ciclo de trabajo obtenido a la salida del regulador. Empleando esta técnica se consigue que el regulador únicamente deba aportar una parte mínima del ciclo de trabajo total y se mejora de este modo la respuesta disminuyendo la distorsión de la corriente de entrada.



**Figura 4.20** Diagrama de bloques del lazo interno de corriente incluyendo pre-regulación.

En la Figura 4.20 se muestra el diagrama del lazo interno de corriente incluyendo la pre-regulación para calcular el ciclo de trabajo.

La pre-regulación no afectará a la estabilidad del sistema por no afectar al lazo cerrado del sistema.

### 4.2.3 Comprobación de los resultados del lazo de corriente

Una vez diseñado el regulador para el lazo interno de corriente, en este apartado se simula el modelo completo conmutado para el lazo interno de corriente, con y sin pre-regulación con objeto de mostrar su efecto.

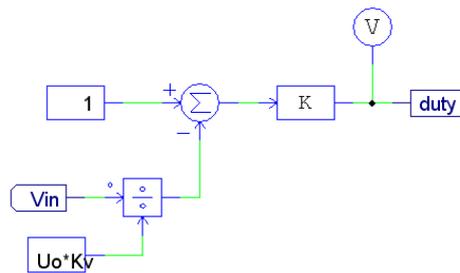
Para simular el lazo interno de corriente se somete al sistema a la carga máxima de 300 W. La tensión de entrada se supone constante e igual a 230 V eficaces de fase.

Para simular únicamente el lazo interno de corriente la referencia que daría el lazo externo de tensión, encargada de ajustar la corriente de entrada en función de la potencia de salida, se fija a un valor constante equivalente tal que la corriente de entrada sea la máxima para la potencia de salida nominal

$$I_{ref} = \frac{1}{R_{eq}} \frac{K_i}{K_v} G_{adc} = \frac{P_o K_i}{V_e^2 K_v} G_{adc} = 1,0077 \quad (4.14)$$

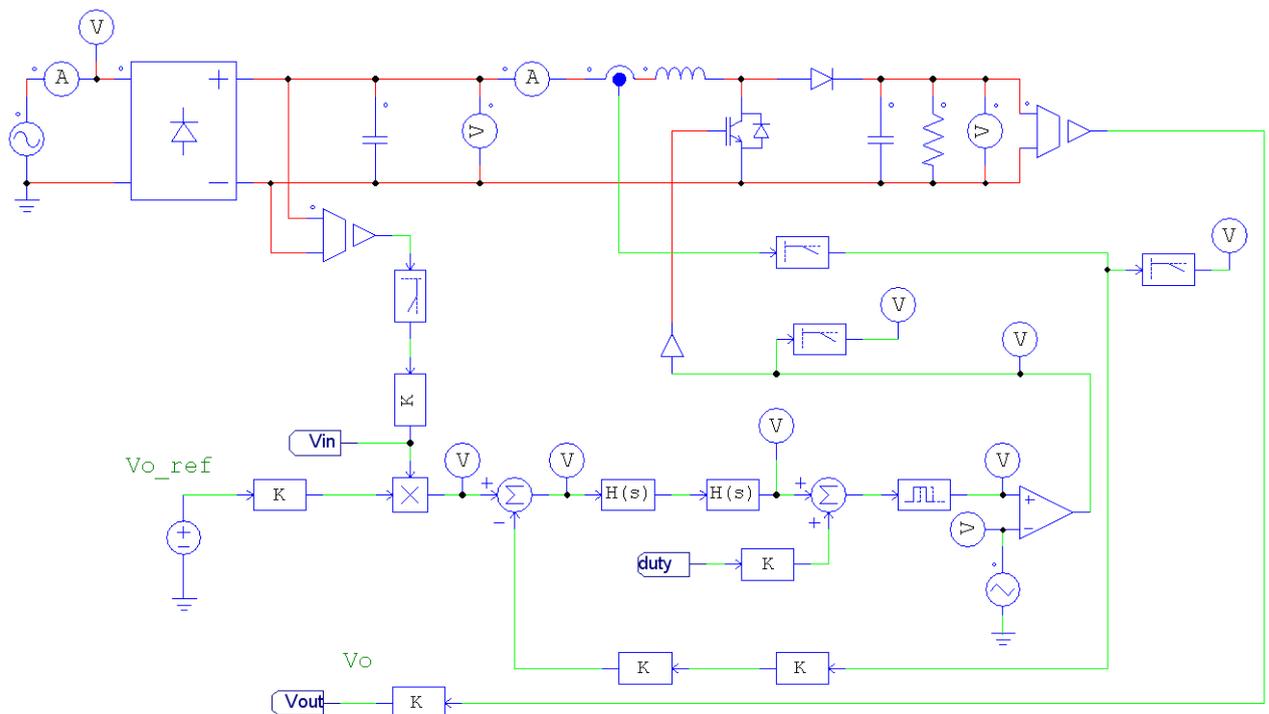
Se observa que la referencia de corriente es proporcional al inverso de la resistencia equivalente.

En la Figura 4.21 se muestra el cálculo del ciclo de trabajo para la pre-regulación empleada en el lazo interno de corriente.



**Figura 4.21** Circuito para el cálculo del ciclo de trabajo de la pre-regulación.

Por su parte, en la Figura 4.22 se muestra el circuito conmutado del lazo interno de corriente PFC. Se aprecia como este esquema coincide con el de la Figura 4.2

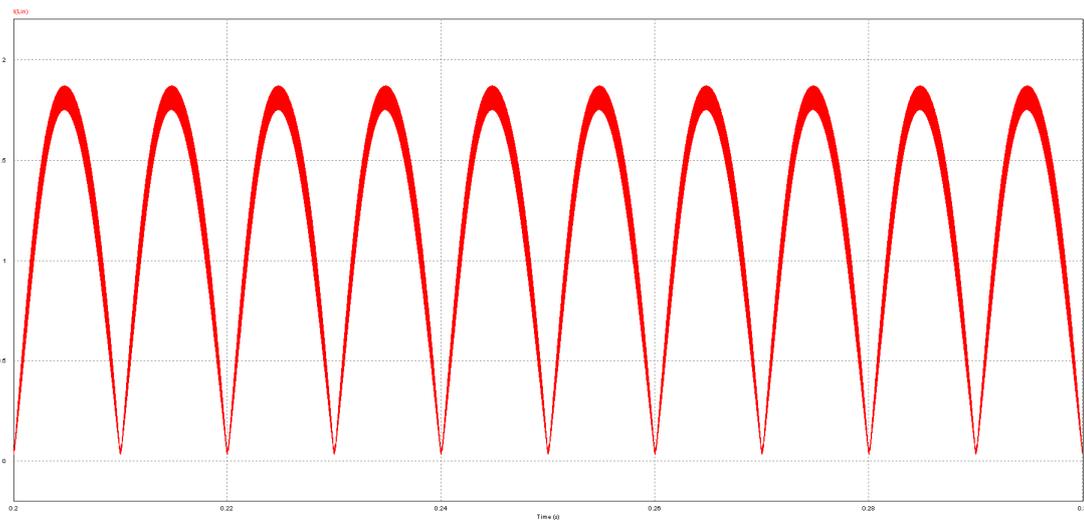


**Figura 4.22** Circuito conmutado del convertidor *Boost* para el lazo interno de corriente.

En la figura anterior se ha incluido el retardo debido al PWM y al periodo de conmutación (tiempo de cálculo).

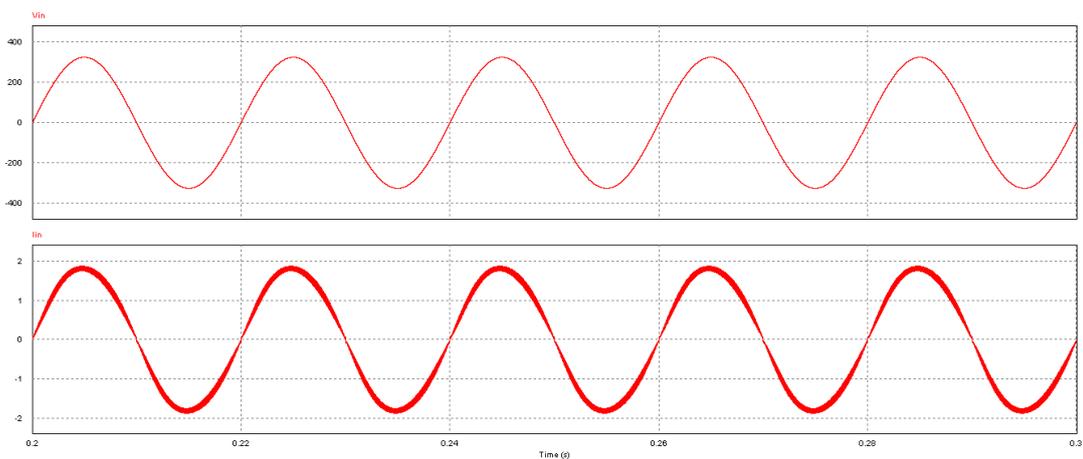
A continuación se muestran los resultados de la simulación con una duración total de 300 ms para poder apreciar convenientemente los resultados y poder emplear un paso de simulación de  $0,2 \mu\text{s}$  sin alargar excesivamente el tiempo de simulación.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia, excepto ligeramente en las proximidades de los pasos por cero.



**Figura 4.23** Corriente por la bobina. Con pre-regulación.

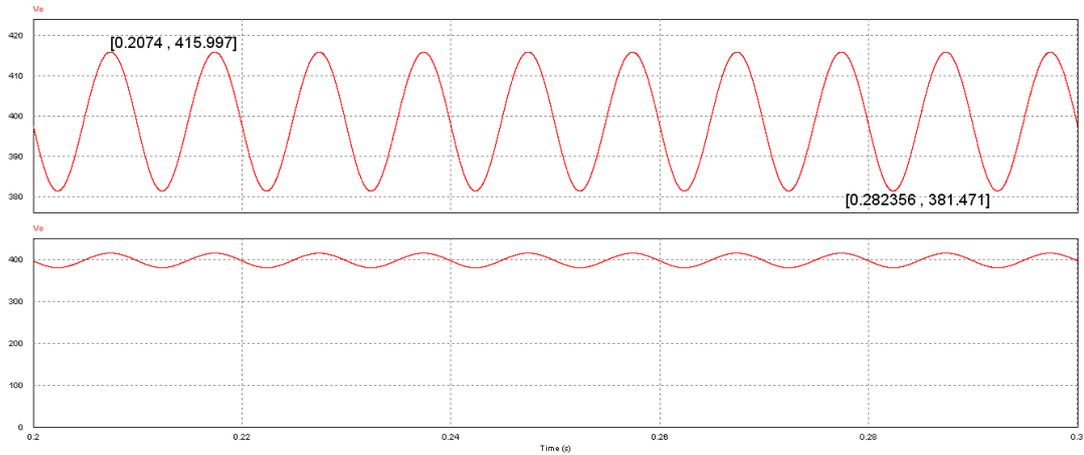
Por otra parte. En la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 4.24** Tensión de entrada (superior) y corriente de entrada (inferior). Con pre-regulación.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia.

En la figura siguiente se muestra la evolución de la tensión de salida , tanto en detalle como con referencia cero para apreciar como su valor medio coincide con los 400 V esperados.



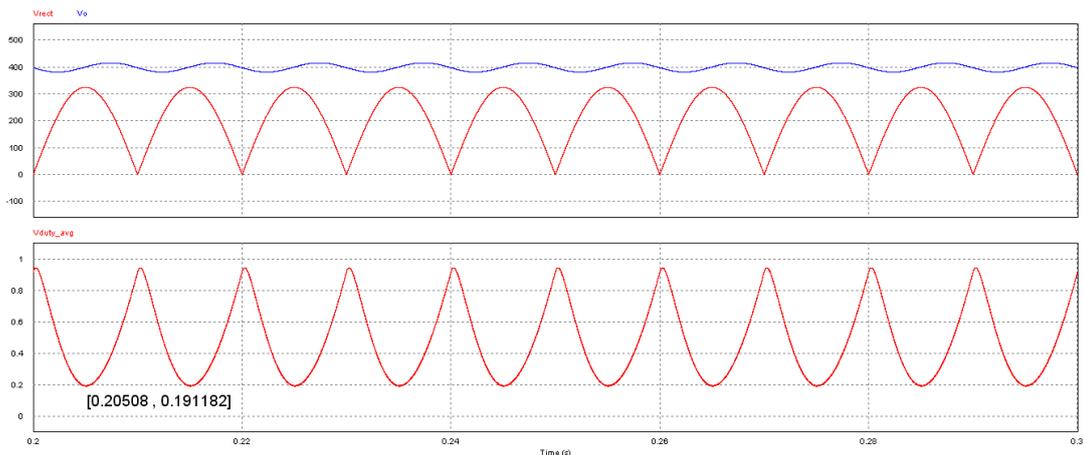
**Figura 4.25** Tensión de salida. Con pre-regulación.

El rizado de la tensión de salida en valor porcentual está dado por la siguiente expresión

$$\Delta V_o = \frac{V_{o\_max} - V_{o\_min}}{V_o} 100 = \frac{415,997 - 381,471}{400} 100 = 8,63 \% \quad (4.15)$$

Se aprecia que el rizado en la tensión de salida es inferior al 10 % estipulado.

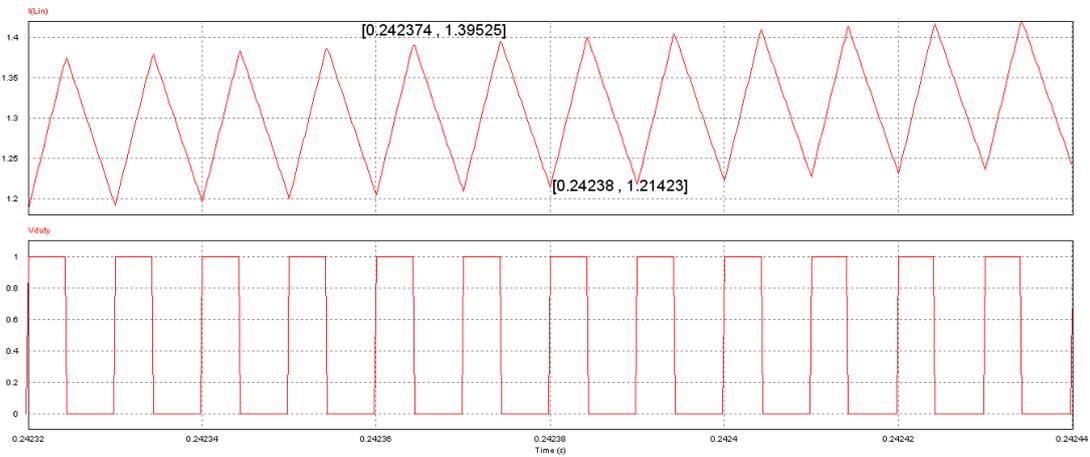
En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 4.26** Gráfica superior: Tensión de salida (azul) y tensión de entrada (rojo). Gráfica inferior: Ciclo de trabajo final. Con pre-regulación.

Se aprecia como el valor mínimo del ciclo de trabajo es de 0,191 frente al valor teórico de 0,187.

Por otra parte, en la figura siguiente se muestra el detalle de la evolución de la corriente por la bobina así como de la tensión de disparo del transistor (duty) en el entorno del valor eficaz de la corriente.



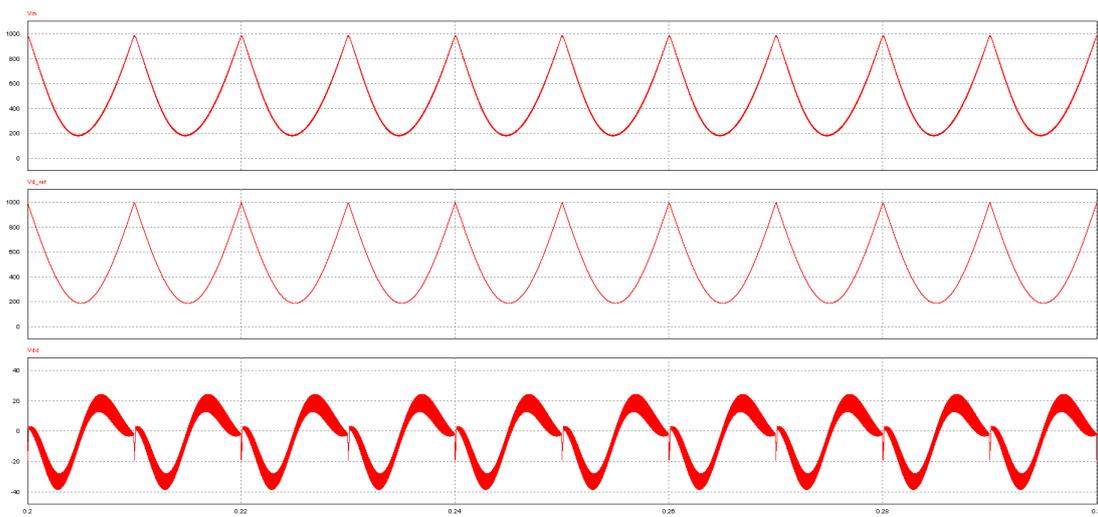
**Figura 4.27** Gráfica superior: Detalle corriente por la bobina. Gráfica inferior: Onda PWM de disparo del transistor. Con pre-regulación.

El rizado de la corriente por la bobina en valor porcentual está dado por la siguiente expresión

$$\Delta I_e = \frac{I_{e\_max} - I_{e\_min}}{I_e} 100 = \frac{1,395 - 1,214}{1,304} 100 = 13,88 \% \quad (4.16)$$

Se aprecia que el rizado en la corriente es inferior al 15 % estipulado.

En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.

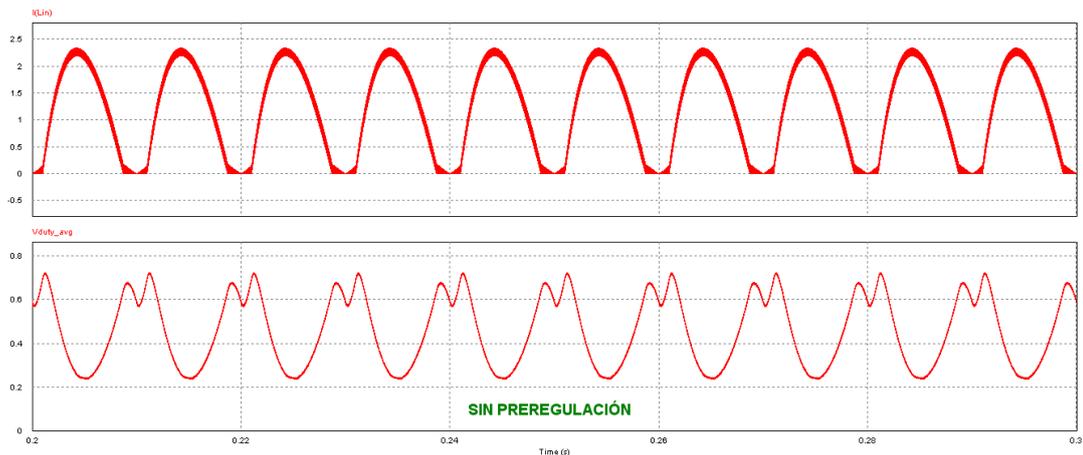


**Figura 4.28** Gráfica superior: Onda moduladora. Gráfica central: Ciclo de trabajo dado por la pre-regulación. Gráfica inferior: Ciclo de trabajo dado por el regulador. Con pre-regulación.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador.

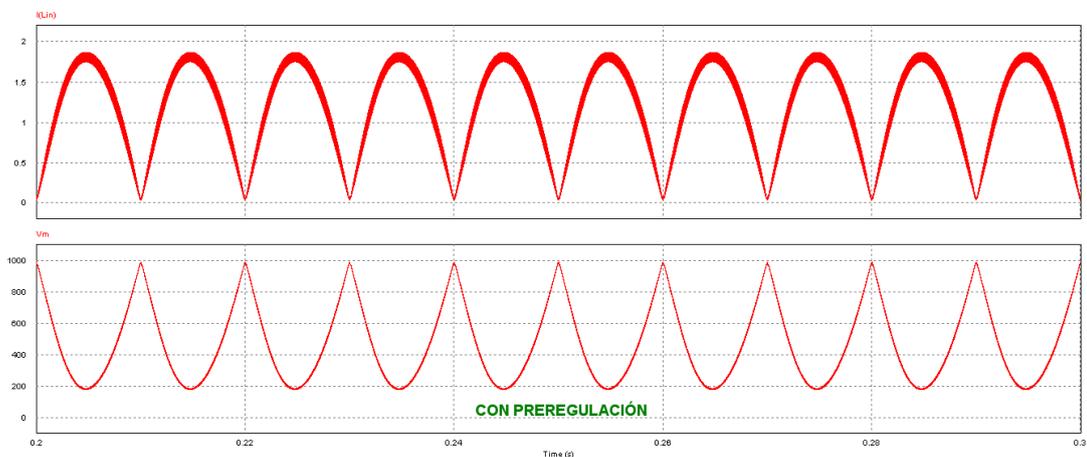
### **COMPARATIVA ENTRE USO O NO DE PRE-REGULACIÓN**

Para apreciar el efecto de la pre-regulación sobre la forma de onda de la corriente de entrada y el ciclo de trabajo, en la figura siguiente se muestra el ciclo de trabajo en el caso de no emplear pre-regulación.



**Figura 4.29** Corriente de entrada (superior) y ciclo de trabajo. SIN pre-regulación.

Por otra parte, en la figura siguiente se muestra la forma de onda de la corriente de entrada y del ciclo de trabajo en el caso de si emplear pre-regulación.



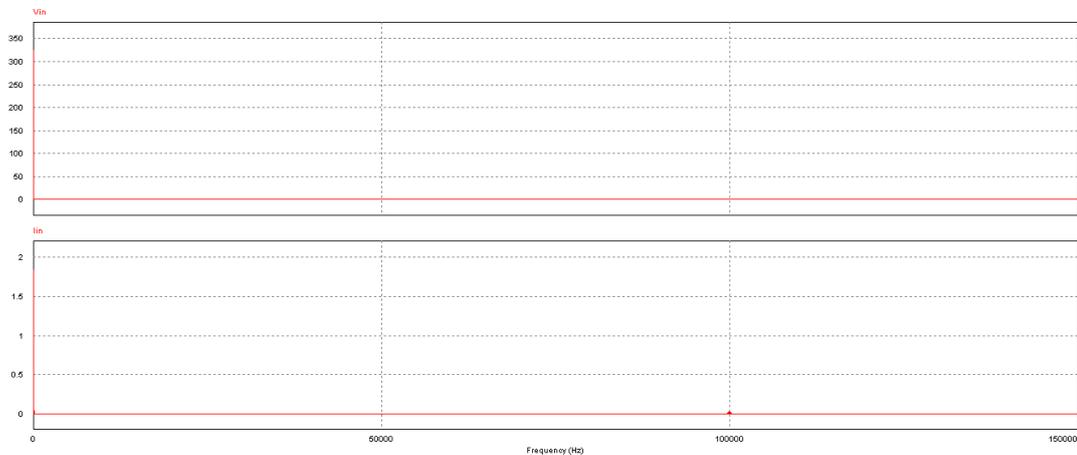
**Figura 4.30** Corriente de entrada (superior) y ciclo de trabajo. CON pre-regulación.

Se aprecia muy claramente como al emplear pre-regulación disminuye la distorsión de la corriente de entrada y del ciclo de trabajo mejorando notablemente el comportamiento. Es muy importante el efecto conseguido en el entorno de los pasos por cero ya que en este punto la distorsión es máxima y sería necesario subir la  $f_{SW}$  para poder subir el ancho de banda y tener mejor respuesta. En el paso por cero es el punto donde menos se cumplen las condiciones cuasi-estacionario (derivada máxima).

Para solucionar el problema de los pasos por cero se puede adoptar la opción de aumentar la frecuencia de conmutación y el ancho de banda o incluir pre-regulación que es una opción más sencilla. En este trabajo se opta por incluir pre-regulación.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

En el caso ideal (filtrado perfecto de los 100 Hz de la tensión de salida), el lazo externo de tensión no afecta al resultado en la respuesta rápida de seguimiento de la corriente de entrada. De hecho, el fijar una tensión constante de salida (lazo externo de tensión ideal) posibilita el estudio del desempeño de las características de entrada de la fuente de alimentación sin distorsión alguna introducida por el lazo externo.



**Figura 4.31** Espectro en frecuencia de la tensión de entrada (superior) y corriente de entrada (inferior). Con pre-regulación.

Se observa como la tensión no tiene componente armónica alguna y la corriente sólo tiene una pequeña componente a la frecuencia de conmutación de 100 kHz.

Los resultados para la corriente de entrada se muestran en la tabla 4.9 donde se comparan con los resultados obtenidos para la fuente de alimentación convencional con filtro capacitivo para la misma potencia de salida y tensión de entrada y salida.

LAZO INTERNO (externo ideal)	Fuente convencional	Fuente conmutada PFC
Factor de potencia (pu)	0,4424	0,9989
Distorsión armónica (%)	194,1	4,1
Potencia activa (W)	309,3	298,5
Potencia aparente (VA)	699,9	298,8

**Tabla 4.9** Características de fuente de alimentación convencional y con PFC.

Se ve claramente como al emplear corrección del factor de potencia mejora apreciablemente el factor de potencia y disminuye enormemente la distorsión de la corriente de entrada. Se observa como la práctica totalidad de la potencia aparente consumida a la entrada es aprovechada en la carga.

Una vez estudiado en detalle el lazo interno de corriente se pasa a diseñar y analizar el lazo externo de tensión que es el encargado de modificar la magnitud de la referencia de corriente en función de la carga conectada.

## 4.3 Lazo externo de tensión

El lazo externo de tensión es un lazo muy lento que se encarga de variar la amplitud de la referencia de corriente en función de la potencia consumida por la carga para mantener la tensión de salida en el valor deseado.

En primer lugar se presentan los conceptos de modelado del lazo externo de tensión para posteriormente realizar el diseño del regulador y la comprobación de los resultados mediante simulación.

La comprobación que se realizará para el lazo externo de tensión es ver cómo funciona la respuesta del convertidor ante escalones de carga y verificar que la tensión de salida es la deseada. El seguimiento de la corriente senoidal de referencia es llevado a cabo por el lazo rápido de corriente y si se filtra convenientemente la componente de 100 Hz de la tensión de salida el comportamiento de este lazo interno de corriente será similar al demostrado en el apartado anterior.

### 4.3.1 Modelo promediado del lazo de tensión

En la Tabla 4.10 se resumen las principales características del convertidor bajo estudio.

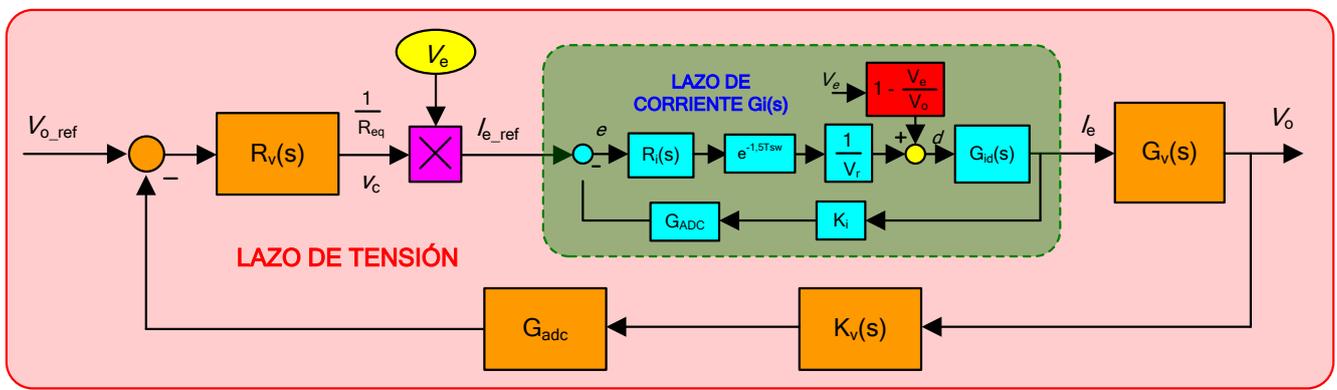
FUENTE DE ALIMENTACIÓN PFC	
Tensión de red ( $V_{ef}$ )	230
Frecuencia de red (Hz)	50
Tensión de salida (V)	400
Potencia de salida (W)	300
Resistencia de carga ( $\Omega$ )	566,7
Rizado tensión de salida (%)	10
Condensador de salida	68 $\mu$ F
Rizado corriente de entrada (%)	15
Frecuencia de conmutación (kHz)	100
Bobina de entrada	5 mH

**Tabla 4.10** Características principales de la fuente de alimentación conmutada con PFC.

Para realizar el modelo promediado del convertidor desde el punto de vista del lazo externo de tensión se siguen los criterios generales expuestos en el apartado anterior para el modelo promediado del lazo de corriente.

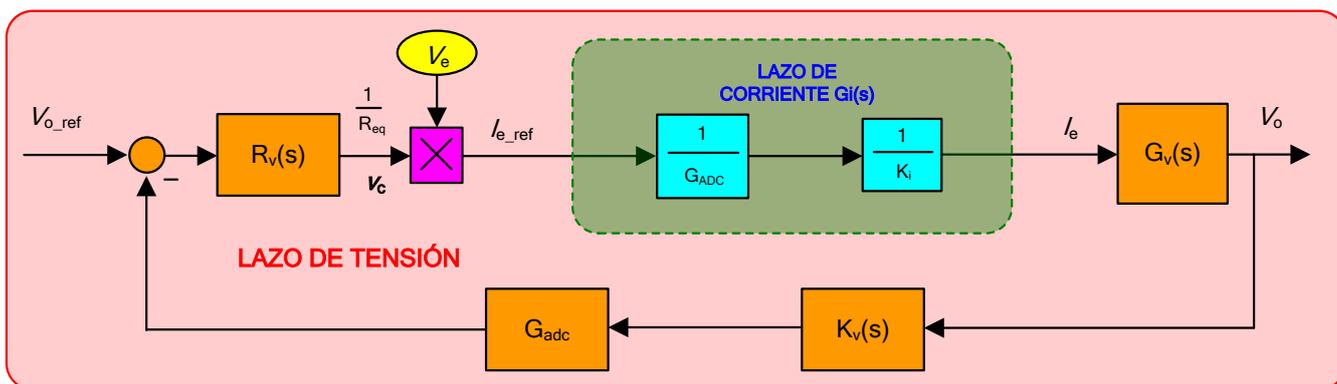
En este punto es importante resaltar que el lazo interno de corriente será parte de la planta que debe controlar el lazo externo de tensión. No obstante, la frecuencia de corte del lazo externo de tensión será mucho mejor que la frecuencia de corte del lazo interno de corriente, con lo cual el lazo interno de corriente se comportará de modo ideal y la corriente de entrada seguirá la referencia marcada.

En la Figura 4.32 se muestra el diagrama de bloques del lazo externo de tensión, incluyendo el lazo interno de corriente



**Figura 4.32** Diagrama de bloques del lazo externo de tensión (naranja) y del lazo interno de corriente (azul).

Debido a que el lazo de corriente es mucho más rápido que el lazo externo de tensión el anterior modelo se puede simplificar por el siguiente modelo.



**Figura 4.33** Diagrama de bloques equivalente del lazo externo de tensión (naranja) y del lazo interno de corriente (azul) en baja frecuencia.

Aplicando los criterios anteriores, en la Figura 4.34 se muestra el modelo promediado linealizado en pequeña para el lazo externo de tensión [Ridley88]. A la hora de calcular las ganancias del regulador y sus valores de referencia es necesario incluir la ganancia en la medida de tensión y corriente y la ganancia del ADC.

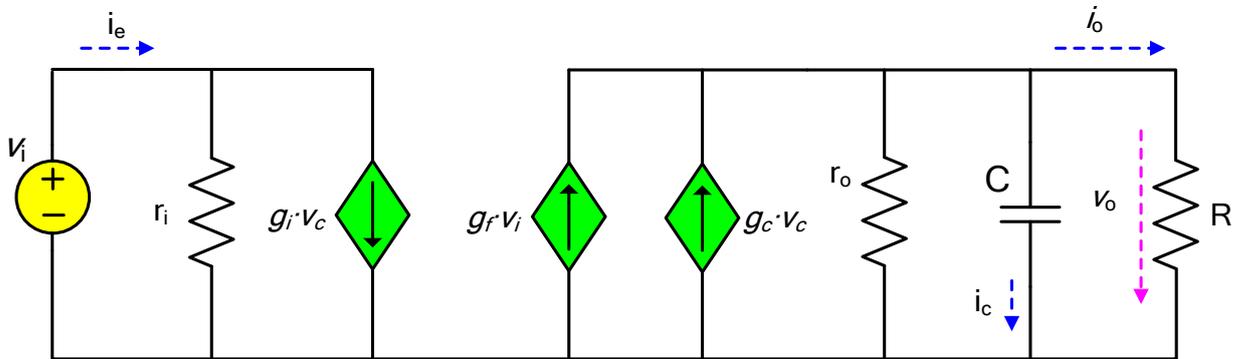


Figura 4.34 Modelo promediado del lazo externo de tensión.

El significado de los diferentes parámetros de la figura anterior se da en la siguiente tabla [Ridley88]

REGULADOR DE CORRIENTE $R_i(s)$	
k	$\frac{1}{K_v} \frac{1}{G_{adc}}$
M	$\frac{V_o}{V_{e,pico}} = \sqrt{\frac{V_{e,pico} \cdot r_o}{k}}$
$r_i$	$\frac{r_o}{M^2}$
$g_i$	$\frac{V_{e,pico}}{k}$
$r_o$	$\frac{V_o}{I_o} = R$
$g_f$	$\frac{2M}{r_o}$
$g_c$	$\frac{V_{e,pico}}{k \cdot M} \frac{1}{K_v} \frac{1}{G_{adc}}$

Tabla 4.11 Características del modelo promediado del lazo interno de corriente.

A partir de la figura anterior, la función de transferencia que relaciona la variación de la tensión de salida (variable a controlar) con la tensión de control a la salida del regulador  $v_c$  (variable de control, equivalente a  $1/R_{eq}$ ) es

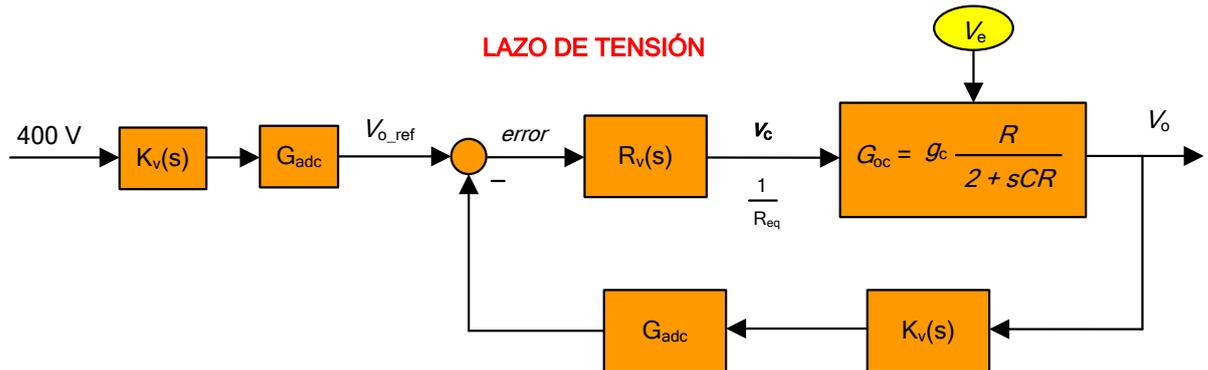
$$G_{oc}(s) = \frac{v_o}{v_c} = g_c \frac{r_o || Z_L}{1 + sC \cdot r_o || Z_L} \quad (4.17)$$

donde las variables en mayúsculas representan el punto de trabajo.

En este caso, dado que la resistencia de salida en pequeña señal es igual a la resistencia de carga, la expresión anterior se simplifica a

$$G_{oc}(s) = \frac{v_o}{v_c} = g_c \frac{R}{2 + sCR} \quad (4.18)$$

Con la expresión anterior, el diagrama de bloques equivalente del lazo externo de tensión es como se representa en la Figura



**Figura 4.35** Diagrama de bloques del modelo promediado del lazo externo de tensión.

En caso de tener conectada una carga de potencia constante a la salida del convertidor la expresión que relaciona la tensión de salida con la variable de control es diferente [Ridley88] y el control tiene otros parámetros a tener en cuenta.

Una vez se tiene el diagrama de bloques del modelo promediado con las diferentes funciones de transferencia se diseña el control empleando técnicas de control clásicas.

### 4.3.2 Diseño del regulador

En este punto se lleva a cabo el diseño del regulador en el dominio de la frecuencia siguiendo los criterios expuestos previamente. En la Tabla 4.12 se indican las características deseadas para el lazo externo de tensión

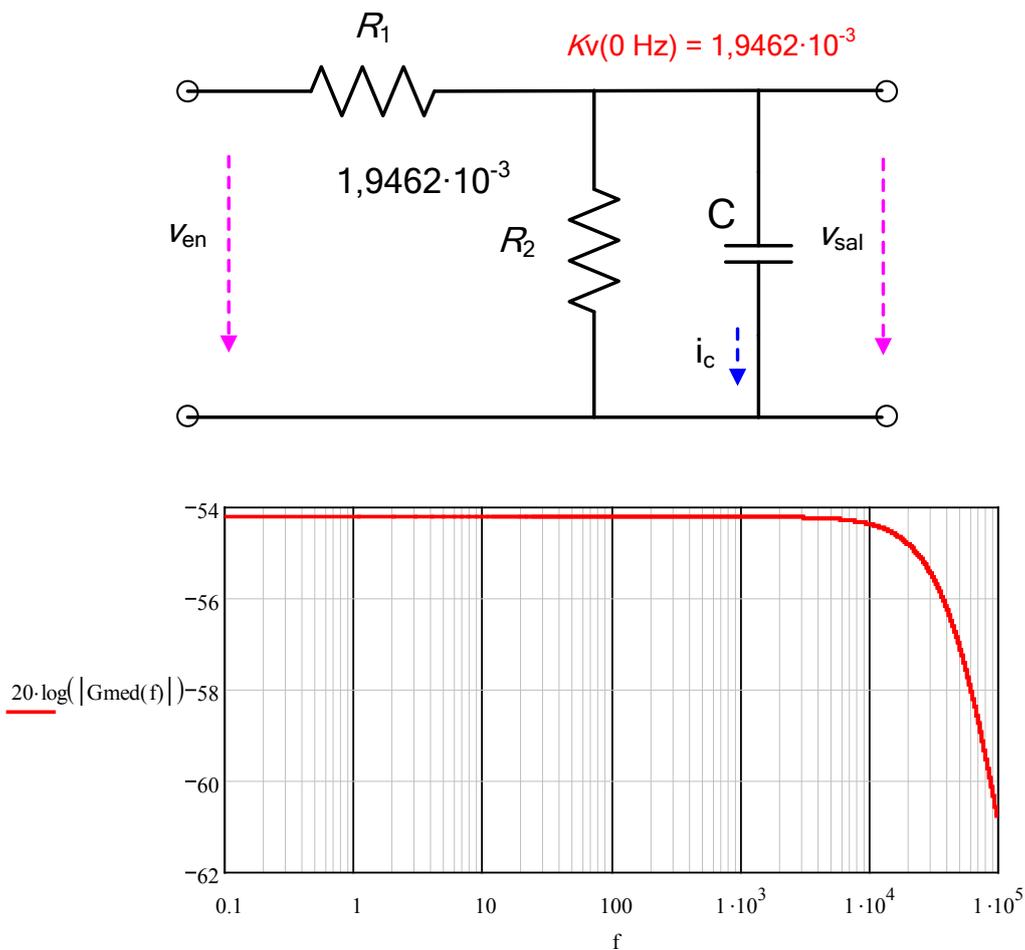
REGULADOR DE TENSIÓN $R_V(s)$	
Margen de fase	$\geq 60^\circ$
Margen de ganancia	$\geq 8$ dB
Frecuencia de corte ( $f_{100}/f_{CV}=20$ y $f_{CV}=1 \cdot 10^{-3} f_{CI}$ )	5 Hz
Atenuación a 100 Hz	$\geq 20$ dB

**Tabla 4.12** Características del lazo externo de corriente.

Como se indica en la tabla anterior, se emplea una frecuencia de corte 20 veces inferior a la frecuencia de del segundo armónico de red presente en la tensión de salida (5 Hz frente a 100 Hz) con objeto de conseguir suficiente atenuación en el lazo de control a esa frecuencia.

La variación de la salida del lazo de control  $v_c$ , referencia del lazo interno de corriente, debe ser muy lenta para no introducir distorsión en el lazo de corriente. La frecuencia de corte del lazo de tensión es 1000 veces más pequeña que la del lazo de corriente (5 Hz frente a 5 kHz).

Se representa también en la siguiente figura la respuesta en frecuencia del filtro paso bajo reductor  $K_v(s)$  de la medida de la tensión de entrada y de la medida de la tensión de salida con  $R_1$ ,  $R_2$  y  $C$  de  $1\text{ M}\Omega$ ,  $1,95\text{ k}\Omega$  y  $1\text{ nF}$  respectivamente. Se aprecia que la zona de atenuación no deseada del filtro (por encima de la frecuencia de corte) no afectará a las frecuencias de interés en el diseño de los lazos de control siendo su frecuencia de corte superior a  $15\text{ kHz}$ . La ganancia en DC es  $1,9462 \cdot 10^{-3}$ .



**Figura 4.36** Circuito de medida de tensión (superior) y respuesta en frecuencia (inferior).

En primer lugar es necesario representar la respuesta en frecuencia de la planta con objeto de estudiar el regulador necesario para obtener el margen de fase y margen de ganancia deseados.

Para analizar las prestaciones y estabilidad del sistema en cadena cerrada es necesario analizar la respuesta en frecuencia del sistema en cadena abierta incluyendo el lazo interno de corriente.

Al igual que se hizo en el caso del lazo de corriente, se ha tenido en cuenta la ganancia del ADC para las diferentes medidas (se repite aquí por comodidad)

$$G_{\text{adc}} = \frac{1}{V_{\text{adc}}} 2^{n^{\circ} \text{ bits ADC}} \quad (4.19)$$

En la expresión siguiente se muestra la función de transferencia en lazo abierto (sin regulador) incluyendo la constante de media  $K_v$  y la ganancia del ADC  $G_{\text{adc}}$

$$L_v(s) = G_{\text{oc}}(s)G_{\text{adc}}K_v \quad (4.20)$$

En la Figura 4.37 se muestra el diagrama de bode de la planta, dada por la ecuación 4.18, para la relación entre la tensión de salida (variable a controlar) y la corriente de entrada (variable de control).

Dado que la función de transferencia depende tanto de la tensión de entrada como de la resistencia de carga es necesario analizar en primero lugar la influencia de ambas.

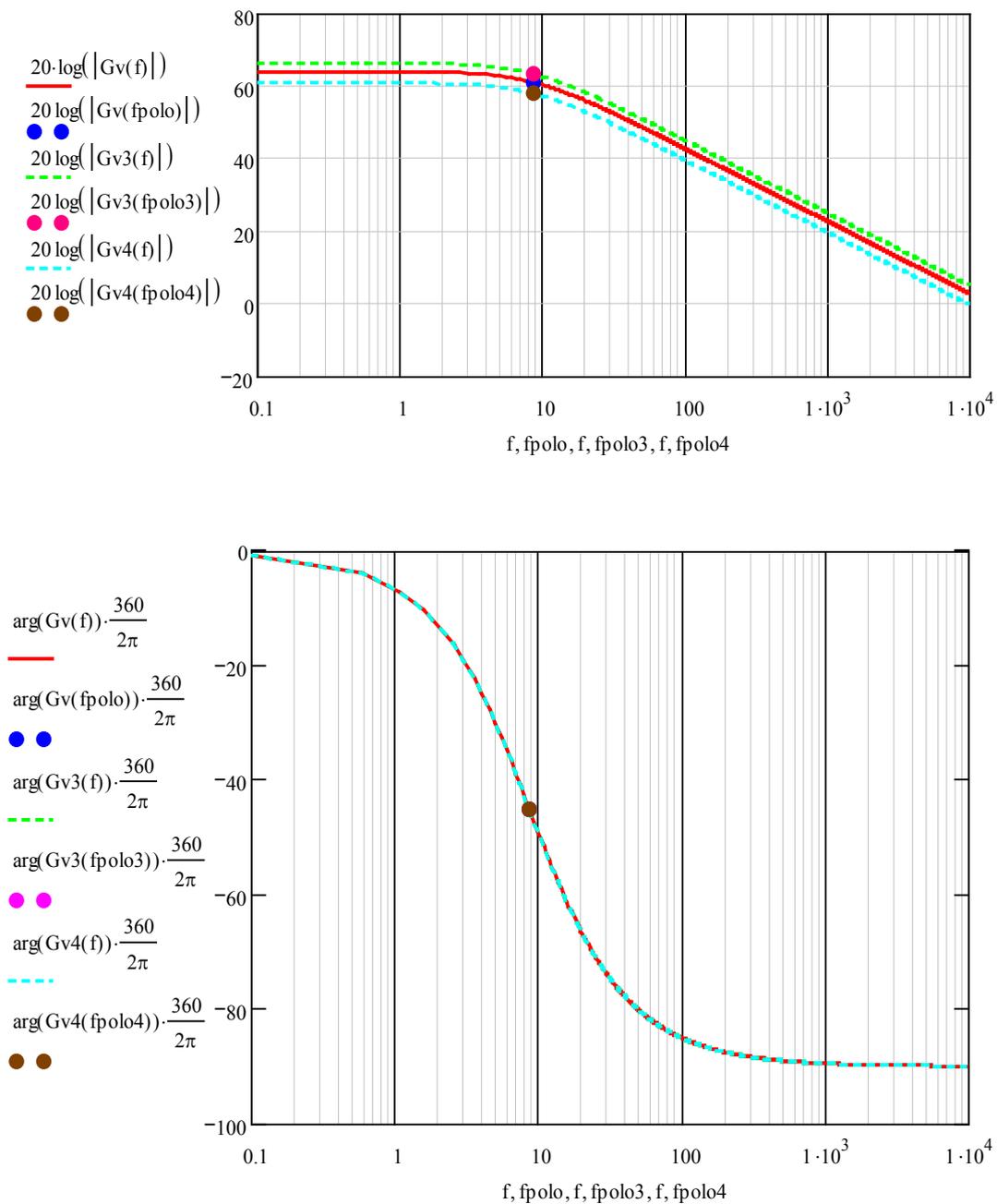
En primer lugar se analiza el efecto de una variación en la tensión de entrada de  $\pm 30\%$  considerando carga máxima, que como se verá es el peor caso.

En la Figura 4.37 se muestra los resultados obtenidos para la tensión nominal de 230 V eficaces en la entrada (rojo) junto con un incremento del 30% (verde) y una disminución (cian). En la figura se indica también la situación del polo de la planta dado por la siguiente expresión

$$f_{\text{polo}} = \frac{1}{2\pi C \frac{R}{2}} \quad (4.21)$$

Se aprecia en la figura que el efecto de una variación en la tensión de entrada únicamente afecta a la ganancia del lazo mientras que la fase permanece inalterada.

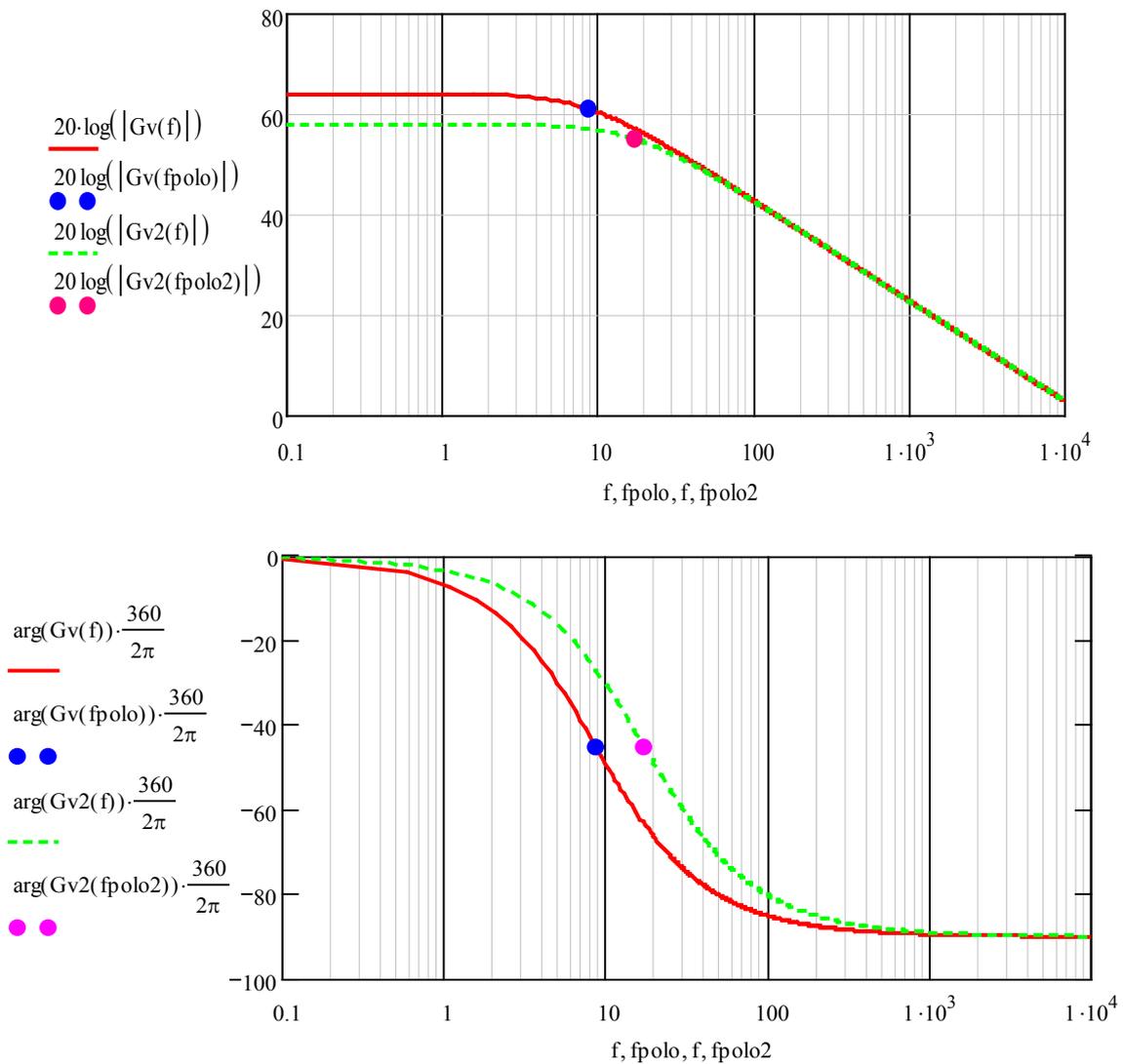
$$f_{\text{polo}_{\text{carga máxima}}} = \frac{1}{2\pi C \frac{R}{2}} = \frac{1}{2\pi \cdot 68 \cdot 10^{-6} \frac{533,33}{2}} = 8,78 \text{ Hz} \quad (4.22)$$



**Figura 4.37** Respuesta en frecuencia de  $G_v(s)$  ante variaciones en la tensión de entrada. Magnitud (superior) y fase (inferior).

Por otra parte, en la figura siguiente se muestra el efecto de la variación de la carga de plena carga (rojo) al 50 % de carga (verde) sobre la respuesta en frecuencia de la función de transferencia de lazo.

En la figura se indica también el polo dominante de la planta para este sistema de primer orden.



**Figura 4.38** Respuesta en frecuencia de  $G_v(s)$  con carga del 100 % (rojo) y del 50 % (verde). Magnitud (superior) y fase (inferior).

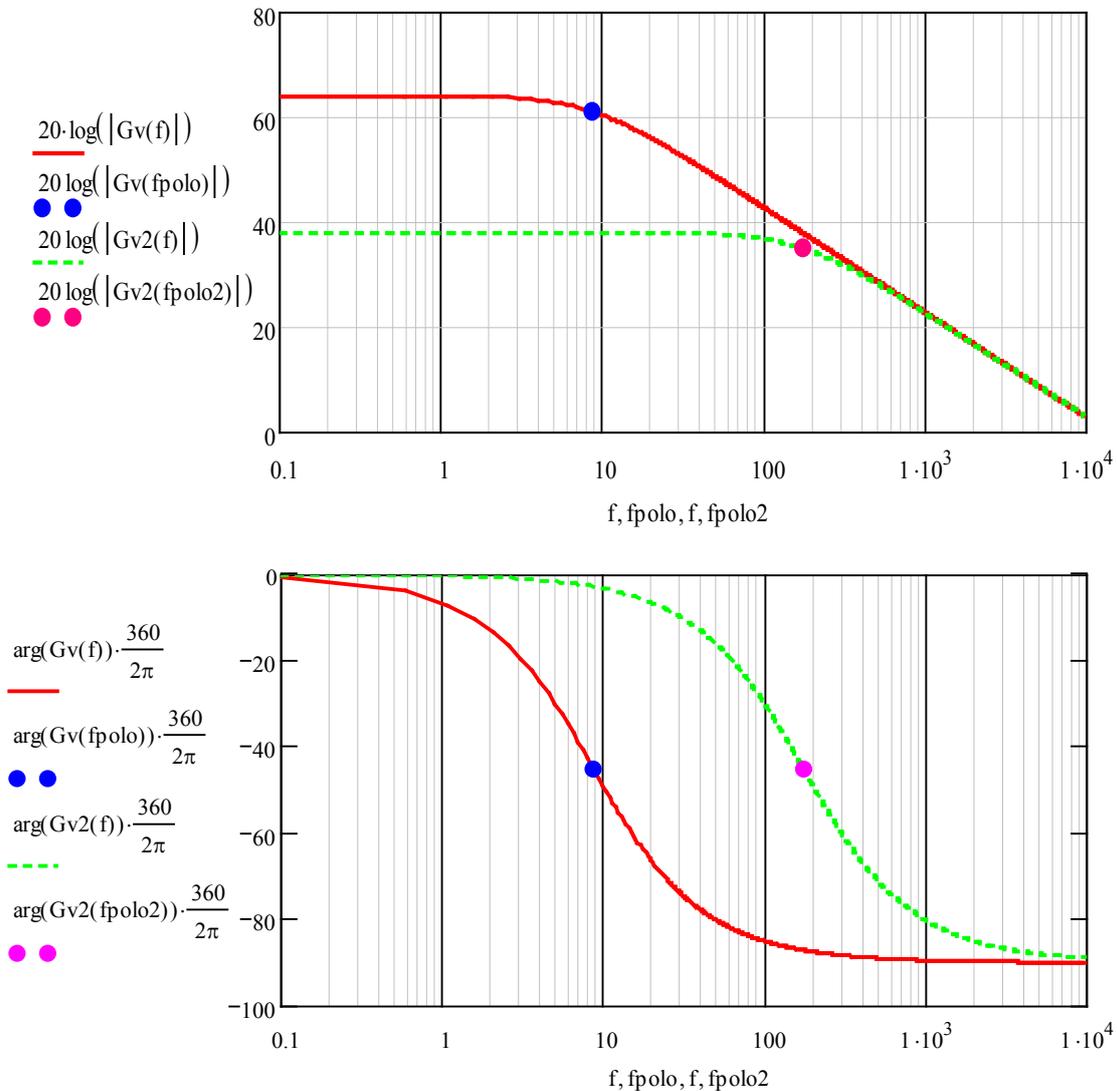
Se aprecia como la influencia de la variación de carga es mucho mayor que la influencia de la variación en la tensión de entrada.

Así mismo, la variación de la carga afecta apreciablemente a la fase de la planta pudiendo comprometer la estabilidad del sistema y debe tenerse en cuenta el peor caso a la hora de ajustar los parámetros del regulador.

En la figura se observa que el peor caso es el de carga máxima para la cual la frecuencia del polo es menor. Al disminuir la carga aumentará el margen de fase y disminuirá la frecuencia de corte siendo más lento el sistema.

Por otra parte, en la figura siguiente se muestra el efecto de la variación de la carga de plena carga (rojo) al 5 % de la carga (verde) sobre la respuesta en frecuencia de la función de transferencia de lazo.

En la figura se indica también el polo dominante de la planta para este sistema de primer orden para carga máxima (azul) y para carga del 5 % (magenta).



**Figura 4.39** Respuesta en frecuencia de  $G_v(s)$  con carga del 100 % (rojo) y del 5 % (verde). Magnitud (superior) y fase (inferior).

Se aprecia de nuevo como la influencia de la variación de carga es mucho mayor que la influencia de la variación en la tensión de entrada.

En la figura se observa que el peor caso es el de carga máxima para la cual la frecuencia del polo es menor y se pierde fase. Con un 5 % de la carga la respuesta del lazo de tensión tiene más fase por ser mayor la frecuencia del polo.

Al disminuir tanto la carga se conservará aproximadamente el margen de fase y disminuirá apreciablemente la frecuencia de corte siendo más lento el sistema, aunque seguirá siendo estable. La atenuación a 100 Hz será mayor con baja carga. Por ello, el regulador se debe diseñar para el caso de carga máxima.

En la tabla siguiente se muestra la frecuencia del polo dominante de la planta para los tres casos: con carga máxima, con el 50 % y con el 5 % de la carga.

POLO DE LA PLANTA DE TENSIÓN $G_V(s)$	
Polo al 100 % de la carga (Hz)	8,78
Polo al 50 % de la carga (Hz)	17,55
Polo al 5 % de la carga (Hz)	175,5

**Tabla 4.13** Polos de la planta del lazo de tensión en función de la carga.

Con estos datos se deduce que el regulador debe incluir un polo en el origen para eliminar el error en régimen permanente de DC y debe atenuar suficientemente la frecuencia de 100 Hz que es el principal armónico de la corriente de salida y es el que se desea filtrar para que no afecte al control.

Por otra parte, el regulador debe conseguir que la fase del lazo a la frecuencia de corte no disminuya en exceso para conseguir un margen de fase de unos 60°. Por ello, se empleará un regulador de tipo PI para conseguir suficiente fase a la frecuencia de corte dado por la siguiente expresión.

En la siguiente expresión se muestra la función de transferencia típica de un regulador PI en el dominio de Laplace.

$$R_V(s) = \omega_{ii} \frac{1 + \frac{s}{\omega_{zz}}}{s} \quad (4.23)$$

Para establecer el valor de la ganancia del regulador y la posición del cero se tiene en cuenta que la frecuencia de corte del lazo debe ser 5 Hz y el cero de regulador se sitúa próximo al polo de la planta (a plena carga) para conseguir un margen de fase de unos 90° a todas las frecuencias y una pendiente en la magnitud de -20 dB/dec.

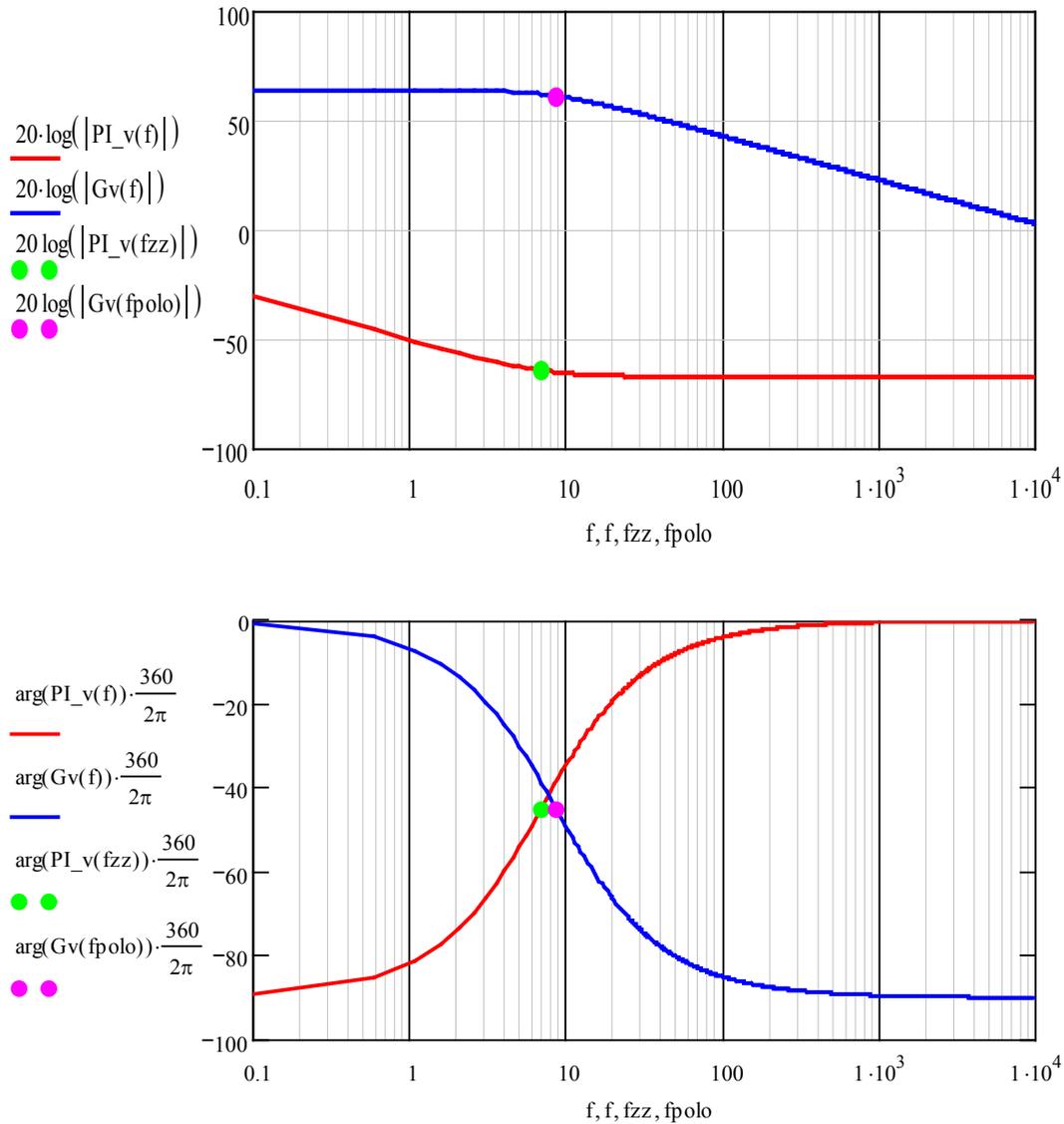
En la Tabla 4.14 se resumen los valores obtenidos para las constantes del regulador con una frecuencia de corte de 5 Hz ( $f_{lazo\_l}/1000$ ).

REGULADOR DE TESIÓN $R_V(s)$	
Ganancia $\omega_{ii}$ (Hz)	$0,003 \cdot 2\pi$
Cero $\omega_{zz}$ (Hz)	$7 \cdot 2\pi$

**Tabla 4.14** Parámetros del regulador del lazo de tensión.

Para el diseño del regulador se toman los valores anteriores en el dominio de Laplace. No obstante, en este regulador analógico se han tenido en cuenta los retardos del control digital así como las ganancias introducidas por el ADC y el DPWM.

En la Figura 4.40 se muestra el diagrama de bode del regulador (rojo) junto con la planta del sistema (azul) para plena carga, tanto en magnitud como en fase. Así mismo se indican en las gráficas la frecuencia del cero de regulador.

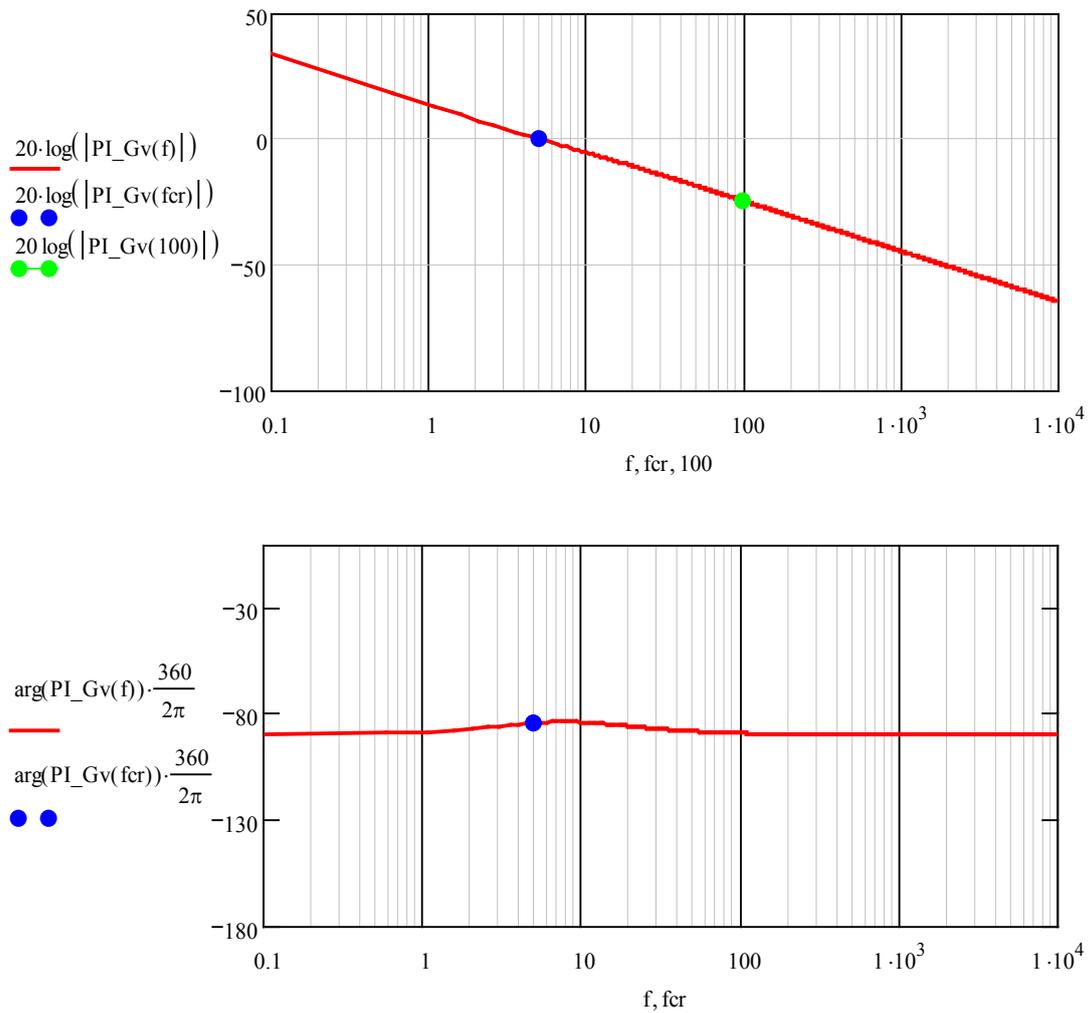


**Figura 4.40** Respuesta en frecuencia de la planta (azul) y del regulador de tensión (rojo). Magnitud (superior) y fase (inferior).

Se aprecia claramente la forma característica de este tipo de reguladores con su cero cercano al polo de la planta.

Una vez estudiado el regulador es momento de representar la función de transferencia del lazo en cadena abierta y estudiar su margen de fase y de ganancia para el regulador seleccionado. Se estudiará también el efecto de una carga del 5 %.

En la Figura 4.41 se muestra el diagrama de bode de la función en cadena abierta indicándose la frecuencia de corte (azul) y los 100 Hz (verde) para comprobar la atenuación.



**Figura 4.41** Respuesta en frecuencia del lazo abierto de tensión con carga del 100 %. Magnitud (superior) y fase (inferior).

Para el caso bajo estudio, los valores obtenidos de margen de ganancia y margen de fase se resumen en la Tabla 4.15.

REGULADOR DE TENSIÓN $R_v(s)$ con 100 % de CARGA	
Margen de fase	95,9°
Margen de ganancia	$\infty$
Frecuencia de corte ( $100/f_c=20$ )	5,06 Hz
Atenuación a 100 Hz	24,5 dB

Tabla 4.15 Desempeño del regulador del lazo de tensión con carga del 100 %.

En la Figura 4.42 se muestra el diagrama de bode de la función en cadena abierta indicándose la frecuencia de corte (verde) y los 100 Hz (azul) en el caso de carga del 5 % con el regulador calculado para carga del 100 % para comprobar la respuesta.

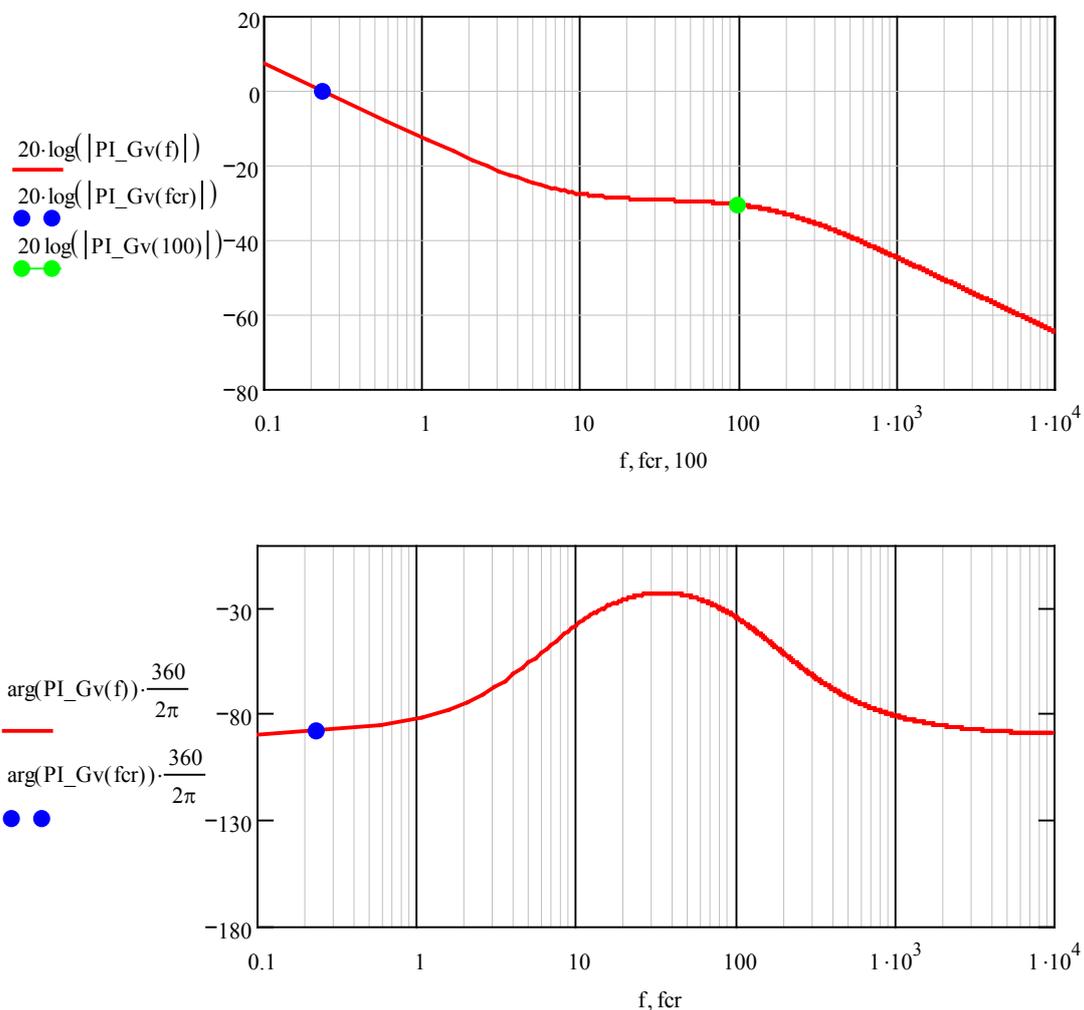


Figura 4.42 Respuesta en frecuencia del lazo abierto de tensión con carga del 5 %. Magnitud (superior) y fase (inferior).

Para el caso de carga del 5 %, los valores obtenidos de margen de ganancia y margen de fase se resumen en la Tabla 4.16.

REGULADOR DE TENSIÓN $R_v(s)$ con 5 % de CARGA	
Margen de fase	91,9°
Margen de ganancia	$\infty$
Frecuencia de corte ( $100/f_c=20$ )	0,24 Hz
Atenuación a 100 Hz	30,6 dB

Tabla 4.16 Desempeño del regulador del lazo de tensión con carga del 5 %.

Se aprecia que el sistema sigue siendo estable y la atenuación a 100 Hz es mayor. No obstante, la frecuencia de corte disminuye apreciablemente, siendo más lenta la respuesta. Diseñando el regulador a plena carga se asegura la estabilidad del sistema.

Por último, en la Figura 4.43 se muestra el diagrama de bode de la planta en lazo cerrado (cian), sin ganancias  $G_{adc}$  ni  $K_v$ , y en lazo abierto (rojo).

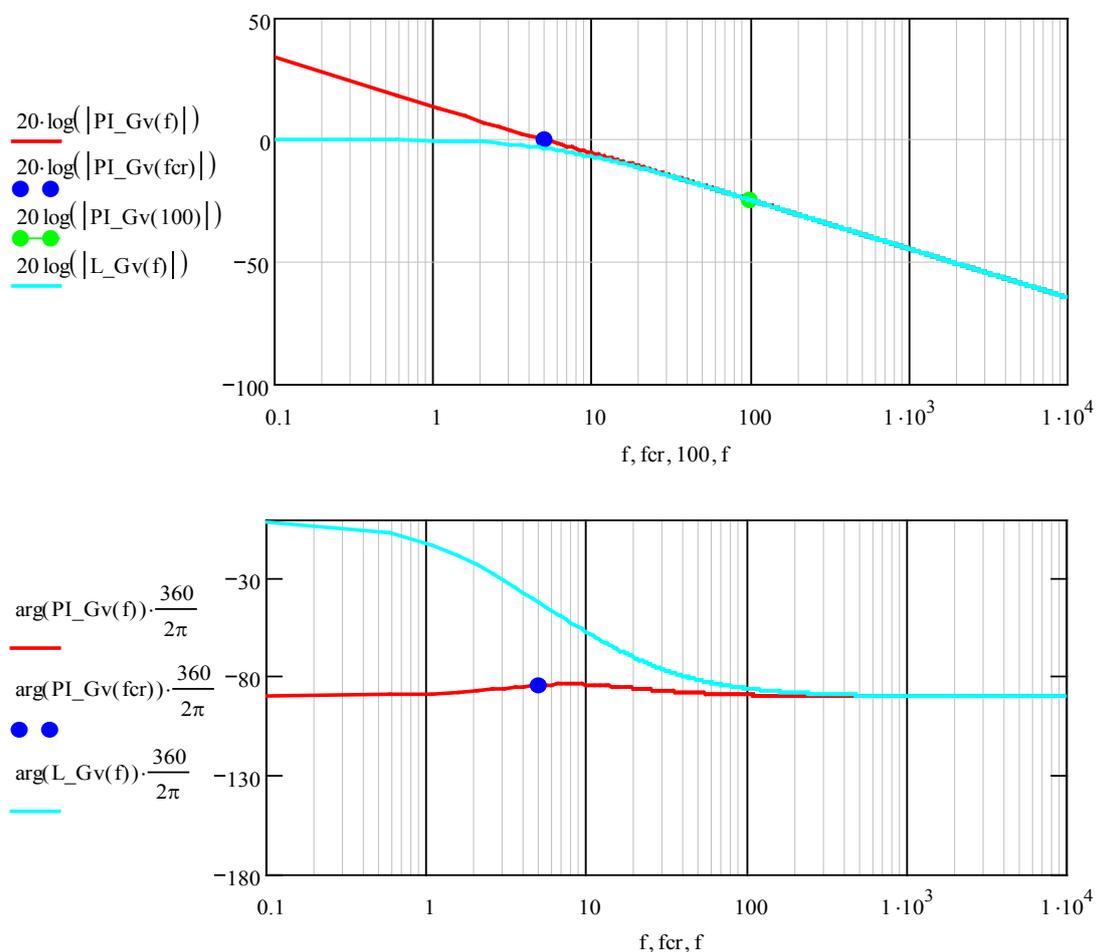


Figura 4.43 Respuesta en frecuencia del lazo abierto (rojo) y lazo cerrado (azul) de tensión de tensión. Magnitud (superior) y fase (inferior).

Se observa como por debajo de la frecuencia de corte el sistema seguirá la referencia, también a 100 Hz, mientras que por encima de la frecuencia de corte la ganancia disminuye para rechazar el ruido de alta frecuencia.

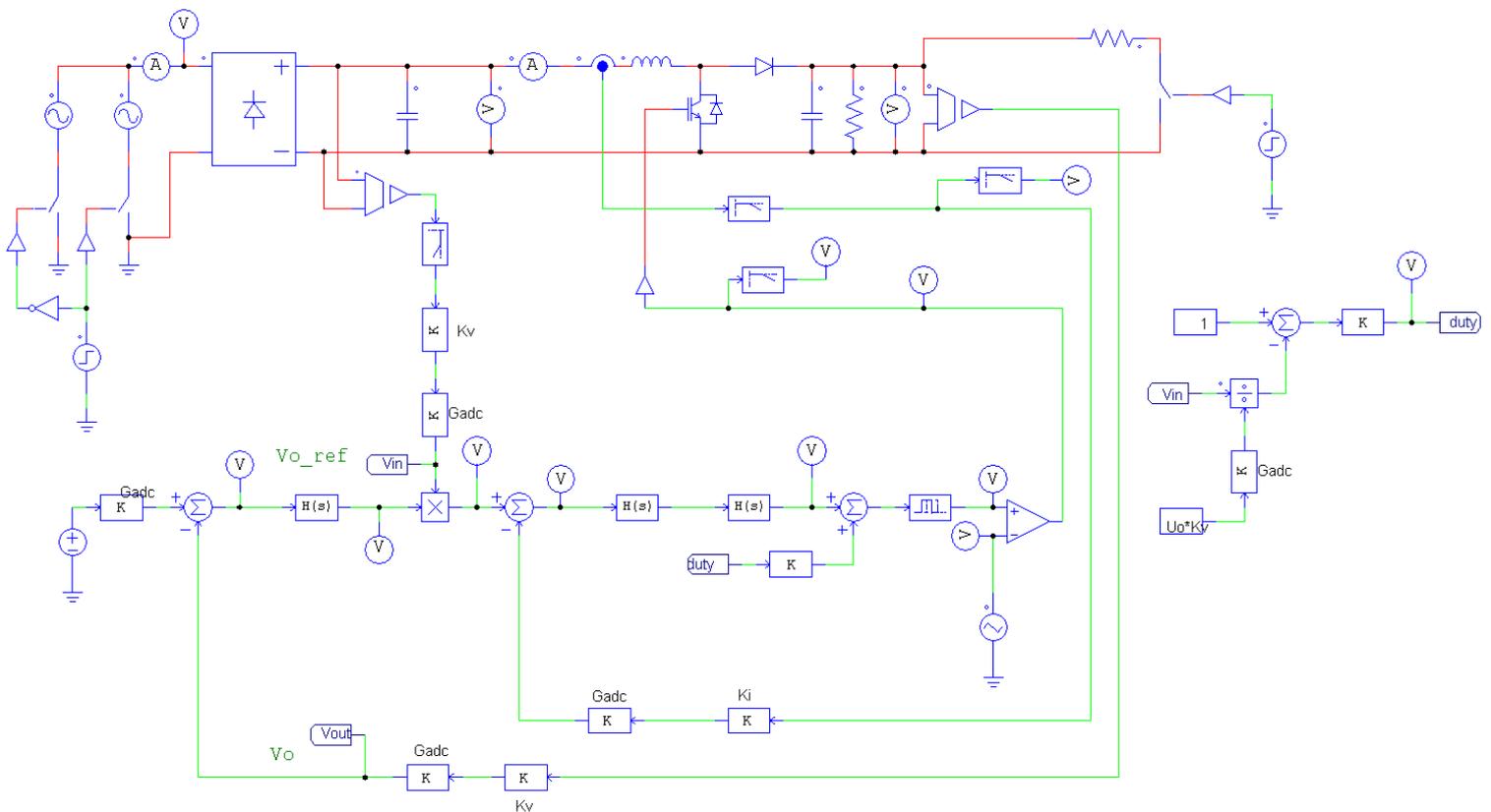
Por otra parte, la atenuación 100 Hz del lazo cerrado y del lazo abierto es muy similar y siempre mayor de 20 dB con lo cual la componente armónica del doble de la frecuencia de red presente en la tensión de salida y el sistema funcionará según los criterios de diseño.

Para fijar la referencia de tensión se debe tener en cuenta la ganancia del ADC y la ganancia de la medida de tensión  $K_V$ .

### 4.3.3 Comprobación de los resultados del lazo de tensión

Una vez diseñado el regulador para el lazo externo de tensión, e interno de corriente, en este apartado se simula el modelo completo conmutado para ambos lazos, empleando pre-regulación.

Para comprobar el desempeño del lazo externo de tensión se somete al sistema a escalones de carga, tanto positivos como negativos, para una carga máxima de 300 W y una carga mínima del 50 % (150 W). La tensión de entrada se supone constante e igual a 230 V eficaces de fase.



**Figura 4.44** Circuito conmutado completo del lazo de tensión y del lazo de corriente incluyendo pre-regulación.

Por su parte, en la Figura 4.44 se muestra el circuito conmutado completo donde se incluye el lazo externo de tensión y el lazo interno de corriente PFC. Se aprecia como este esquema coincide con el de la Figura 4.2

En la figura anterior se ha incluido el retardo debido al PWM y al periodo de conmutación (tiempo de cálculo).

Se han incluido también las ganancias del ADC y las ganancias de las medidas de tensión y corriente. De este modo se tiene un sistema cuasi-digital.

Así mismo, se han incluido en el lazo interno de corriente la pre-regulación y los retardos digitales de  $1,5 \cdot T_{SW}$ .

Realizando el diseño teniendo en cuenta las ganancias del ADC y los retardos digitales, se diseña y simula un sistema cuasi-digital con lo cual el comportamiento del control digital será similar, siempre y cuando las constantes de tiempo del sistema y del control estén suficientemente alejadas de la frecuencia de conmutación y cuando los efectos de cuantificación y problemas adicionales como el ciclo límite no sean significativos.

La referencia de la tensión de salida se calcula según la siguiente expresión empleando los valores fijados en apartados anteriores

$$V_{o\_ref} = V_o G_{adc} K_v = 400 \cdot \frac{2^{12}}{1} 1,944 \cdot 10^{-3} = 3185 \quad (4.24)$$

Por otra parte, en la figura siguiente se muestra la pre-regulación del lazo interno de corriente actualizada con la ganancia del ADC.

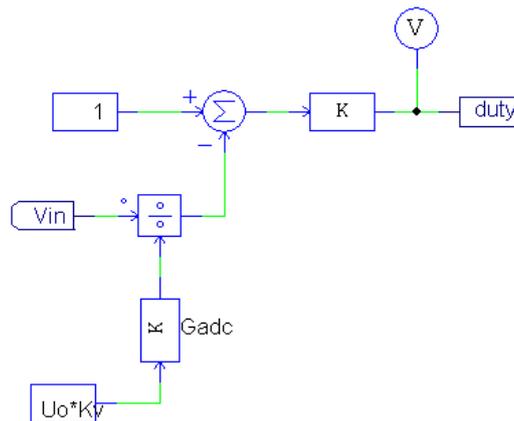


Figura 4.45 Circuito empleado en el cálculo de la pre-regulación.

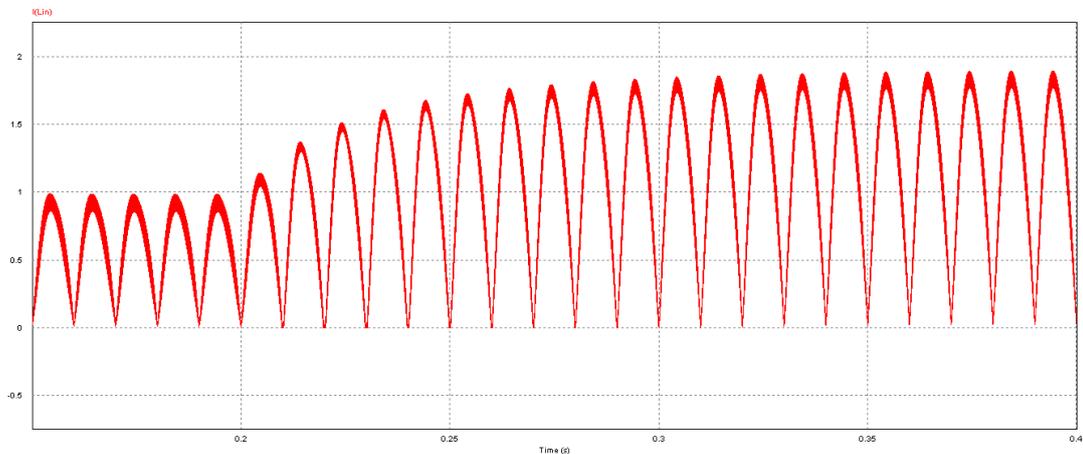
### ESCALONES DE POTENCIA POSITIVOS (carga al 50 %)

A continuación se muestran los resultados de la simulación con una duración total de 300 ms para el caso de escalones de potencia positivos. En la tabla siguiente se muestran los escalones de potencia.

SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN POSITIVO		
	Valor inicial	Escalón (180 ms)
Potencia de salida (W)	150	300
Tensión de entrada (Vef)	230	230

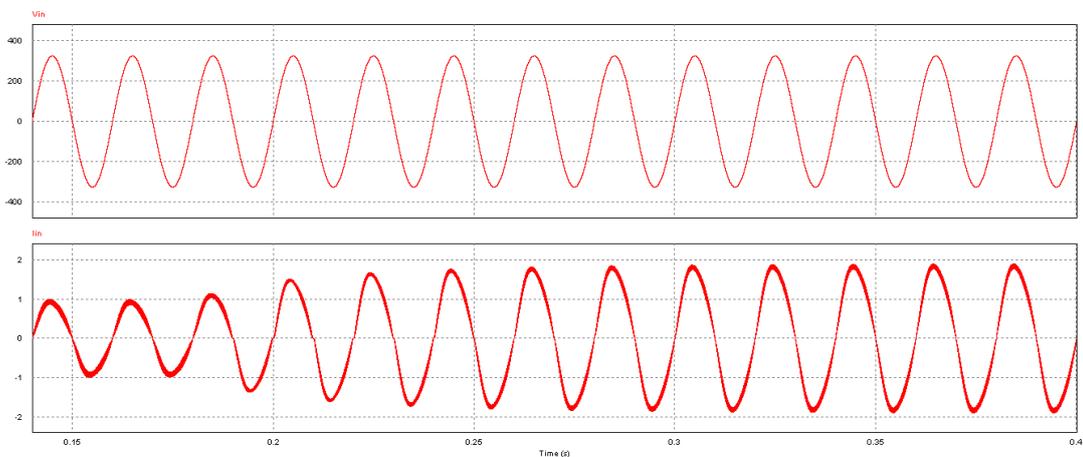
**Tabla 4.17** Escalón positivo de carga para la simulación del lazo externo de tensión.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia aumentando su magnitud al demandarse más potencia en la carga.



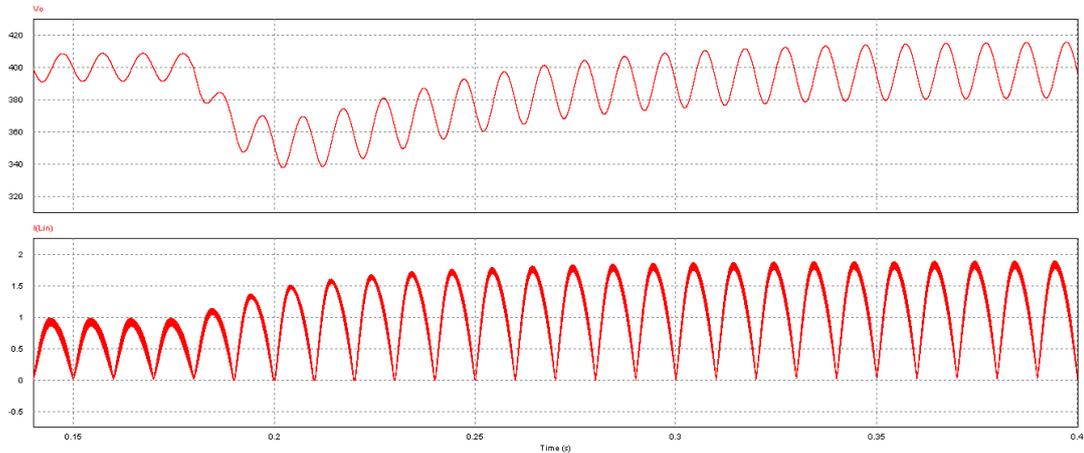
**Figura 4.46** Evolución de la corriente en la bobina. Escalón de carga positivo.

Por otra parte. En la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 4.47** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de carga positivo.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida. En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.

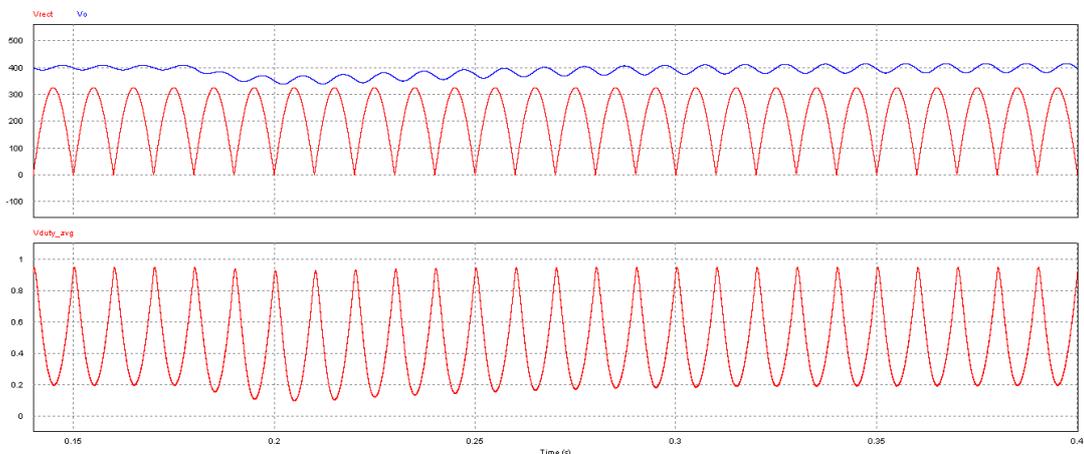


**Figura 4.48** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de carga positivo.

La caída de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_nom} - V_{o\_min}}{V_o} 100 = \frac{400 - 352}{400} 100 = 12 \% \quad (4.25)$$

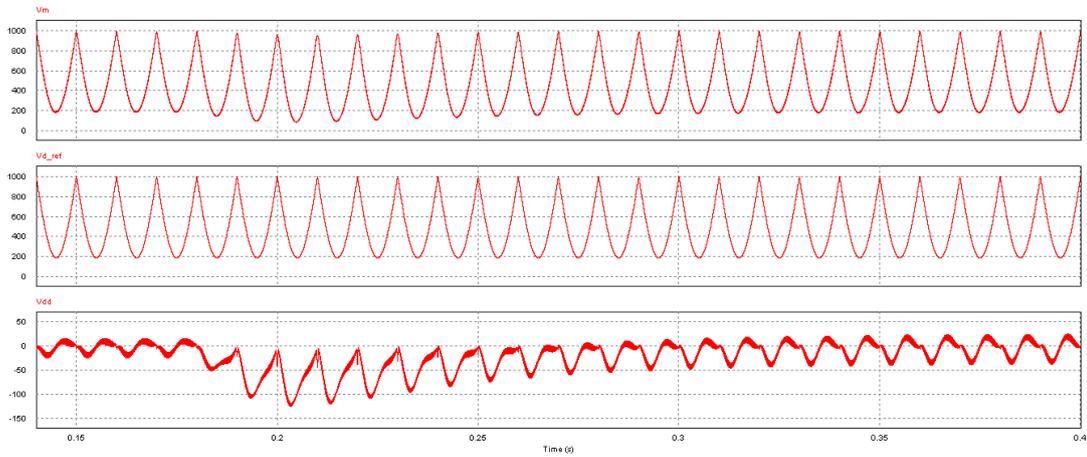
Se aprecia también como el rizado de la tensión de salida es menor en condiciones de media carga como era de esperar. En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 4.49** Gráfica superior: Evolución de la tensión de salida (azul) y de la tensión rectificadora (rojo). Gráfica inferior: Evolución del ciclo de trabajo. Escalón de carga positivo.

Se aprecia como el valor mínimo del ciclo de trabajo varía para adaptarse a las condiciones de carga.

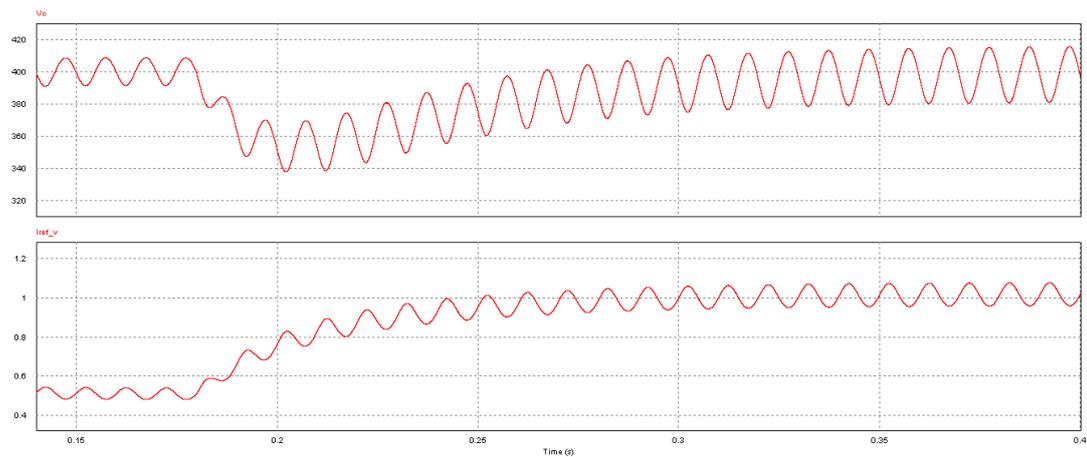
En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



**Figura 4.50** Gráfica superior: Evolución de la onda moduladora. Gráfica inferior: Evolución del ciclo de trabajo dado por la pre-regulación. Gráfica inferior: Evolución del ciclo de trabajo dado por el regulador. Escalón de carga positivo.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador. El efecto del duty aportado por el lazo es mayor a l aumentar la carga.

Por otra parte, en la Figura 4.51 se muestra la tensión de salida y la salida del regulador de tensión para apreciar el correcto filtrado del rizado de 100 Hz en la tensión de salida.

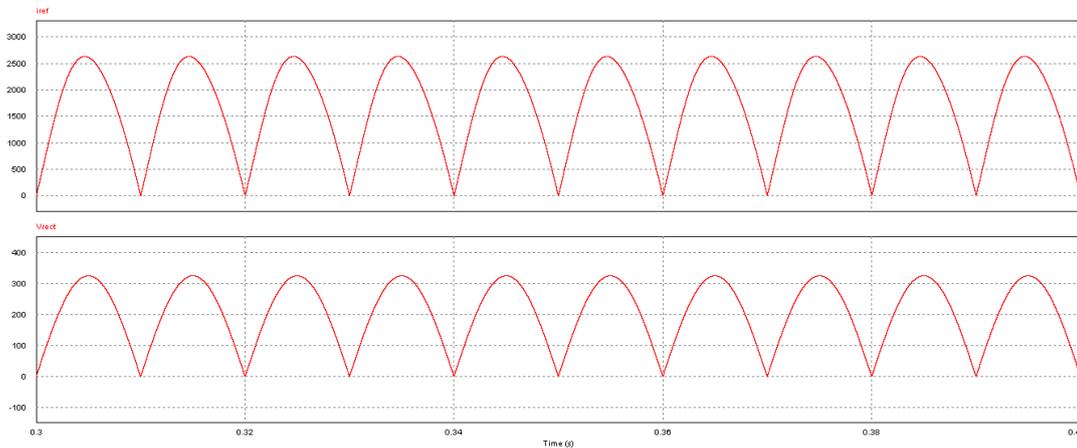


**Figura 4.51** Evolución de la tensión de salida (superior) y de la referencia de corriente dada por el regulador externo de tensión. Escalón de carga positivo.

Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

Se observa en la figura como la salida del regulador sigue conteniendo algo de componente de 100 Hz que distorsionará ligeramente la forma de la corriente de entrada.

Por último, en la figura siguiente se muestra la forma de onda de la referencia de corriente vista por el lazo interno de corriente.



**Figura 4.52** Evolución de la referencia senoidal de la corriente de entrada (superior) y de la corriente de entrada (inferior). Escalón de carga positivo.

Se aprecia como la referencia de corriente está ligeramente distorsionada con los 100 Hz de la tensión de salida.

Una posible solución para disminuir el rizado del 100 Hz en la medida de la tensión de salida puede ser disminuir la frecuencia de corte del lazo externo de tensión a costa de hacer más lenta su respuesta. No obstante, se considera que la respuesta del lazo externo de tensión es aceptable y la distorsión en la corriente de entrada introducida por el segundo armónico de tensión es válida.

Otra solución es incluir un filtro *notch* sintonizado a la frecuencia de 100 Hz que es bastante constante ya que la frecuencia de red es muy estable. Se estudiará posteriormente.

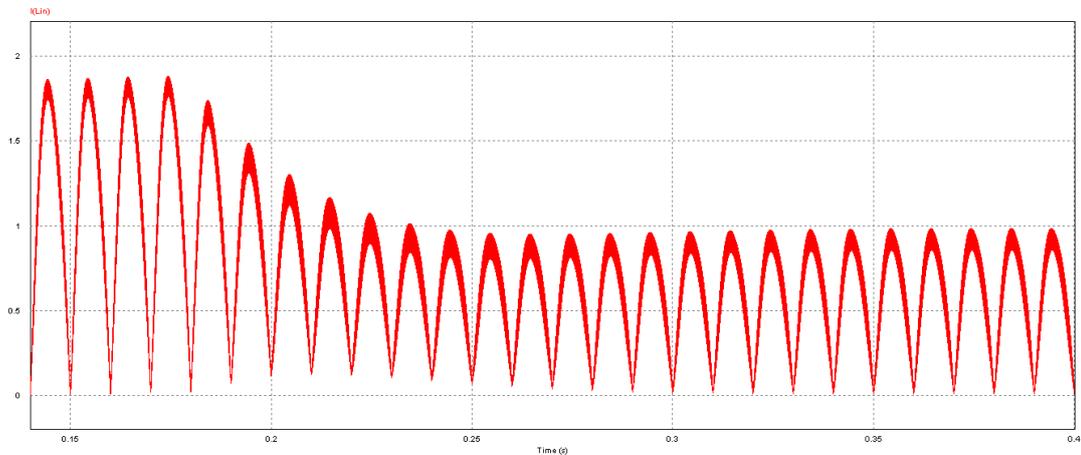
### **ESCALONES DE POTENCIA NEGATIVOS (carga al 50 %)**

A continuación se muestran los resultados de la simulación con una duración total de 300 ms para el caso de escalones de potencia negativos. En la tabla siguiente se muestran los escalones de potencia.

SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN NEGATIVO		
	Valor inicial	Escalón (180 ms)
Potencia de salida (W)	300	150
Tensión de entrada (Vef)	230	230

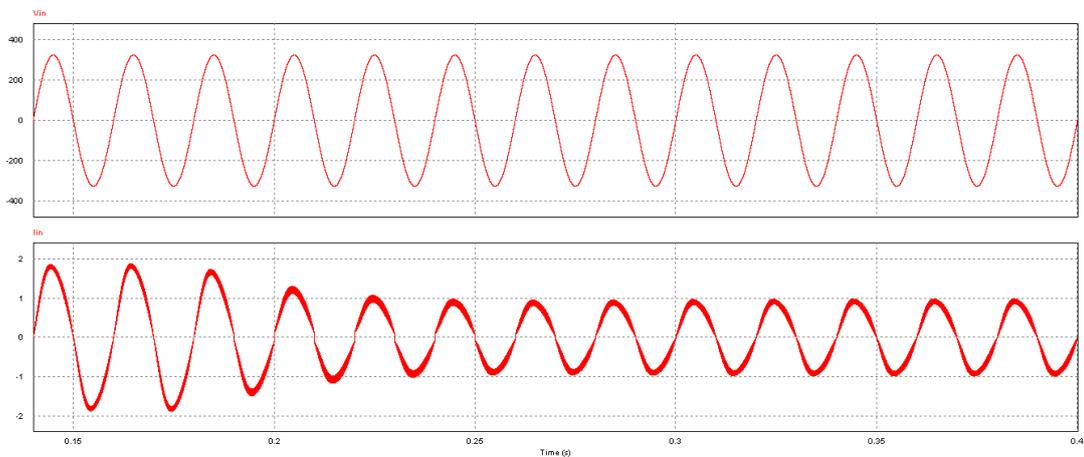
**Tabla 4.18** Escalón negativo de carga para la simulación del lazo externo de tensión.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia disminuyendo su magnitud al demandarse menos potencia en la carga.



**Figura 4.53** Evolución de la corriente en la bobina. Escalón de carga negativo.

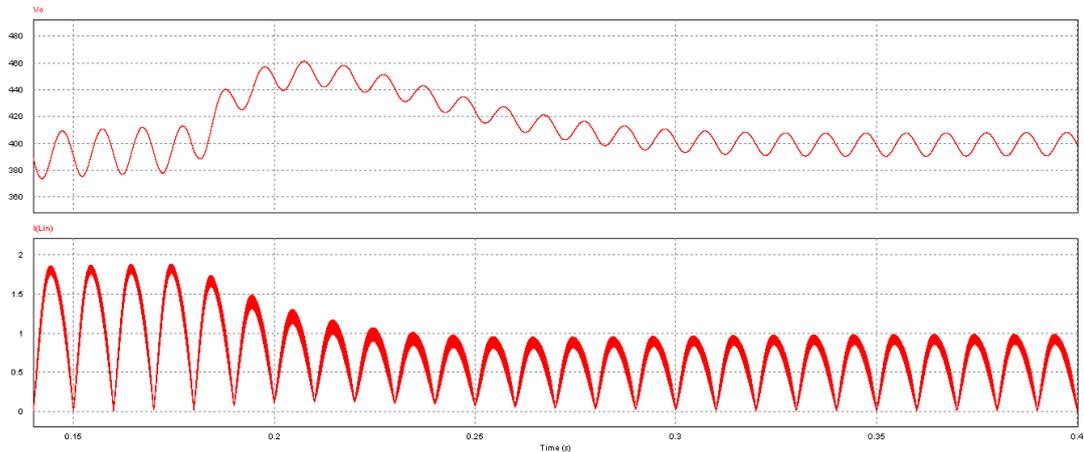
Por otra parte. En la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 4.54** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de carga negativo.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



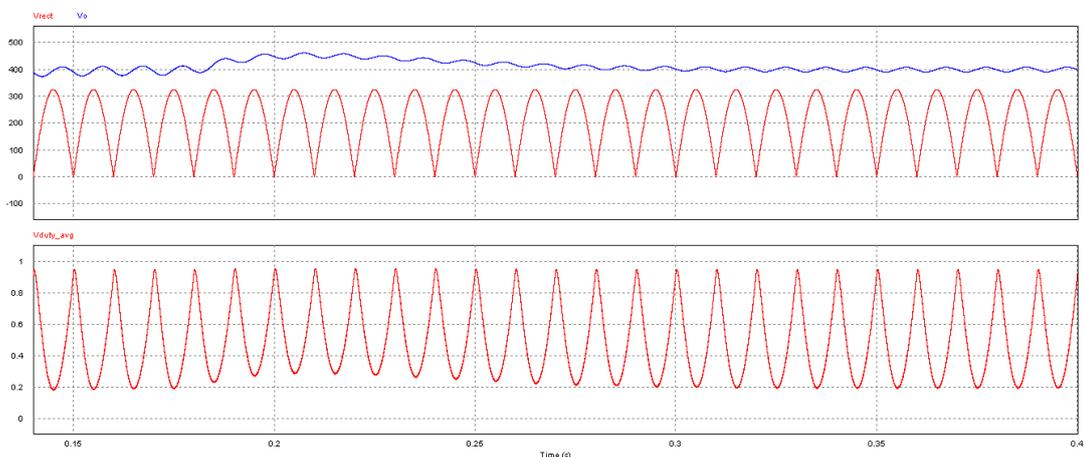
**Figura 4.55** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de carga negativo.

La caída de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_nom} - V_{o\_min}}{V_o} 100 = \frac{451 - 400}{400} 100 = 12,8 \% \quad (4.26)$$

Se aprecia también como el rizado de la tensión de salida es menor en condiciones de media carga como era de esperar.

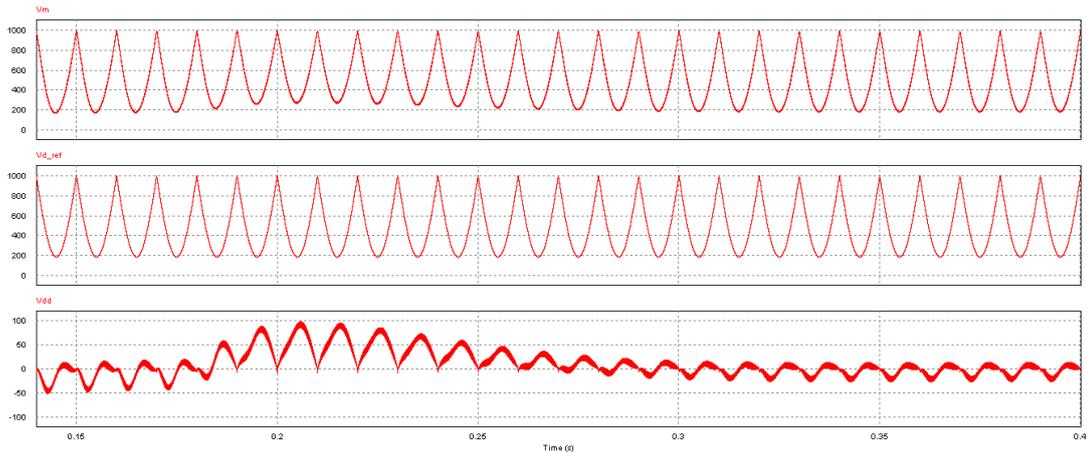
En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 4.56** Gráfica superior: Evolución de la tensión de salida (azul) y de la tensión rectificadora (rojo). Gráfica inferior: Evolución del ciclo de trabajo. Escalón de carga negativo.

Se aprecia como el valor mínimo del ciclo de trabajo varía para adaptarse a las condiciones de carga.

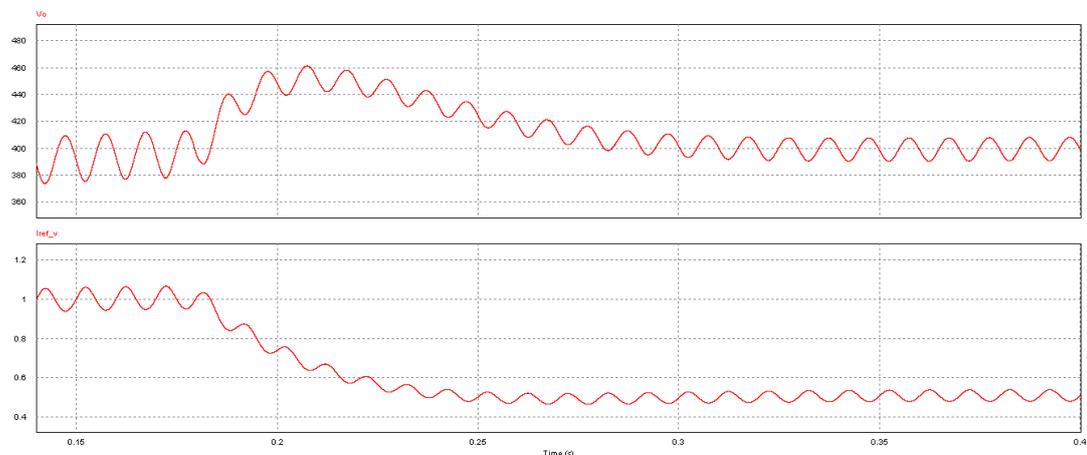
En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



**Figura 4.57** Gráfica superior: Evolución de la onda moduladora. Gráfica inferior: Evolución del ciclo de trabajo dado por la pre-regulación. Gráfica inferior: Evolución del ciclo de trabajo dado por el regulador. Escalón de carga negativo.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador. El efecto del duty aportado por el lazo es mayor a l aumentar la carga.

Por otra parte, en la Figura 4.58 se muestra la tensión de salida y la salida del regulador de tensión para apreciar el correcto filtrado del rizado de 100 Hz en la tensión de salida.



**Figura 4.58** Evolución de la tensión de salida (superior) y de la referencia de corriente dada por el regulador externo de tensión. Escalón de carga negativo.

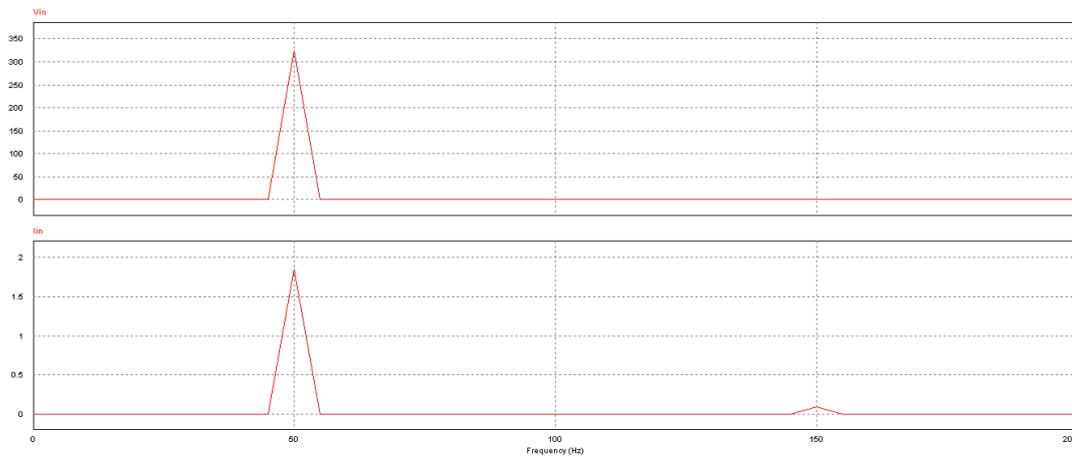
Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

Se observa en la figura como la salida del regulador sigue conteniendo algo de componente de 100 Hz que distorsionará ligeramente la forma de la corriente de entrada. La solución puede ser disminuir la frecuencia de corte del lazo externo de tensión a costa de hacer más lenta su respuesta.

Otra solución es incluir un filtro *Notch* (o en peine *Comb*) sintonizado a la frecuencia de 100 Hz que es bastante constante ya que la frecuencia de red es muy estable. Se estudiará posteriormente.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia, incluyendo los dos lazos, en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

Se aprecia claramente como la corriente de entrada presenta cierta componente de 100 Hz introducida por el lazo externo de tensión. Esto empeorará las prestaciones con respecto al lazo externo de tensión ideal estudiado en el apartado anterior



**Figura 4.59** Respuesta en frecuencia de la tensión de entrada (superior) y de la corriente de entrada (inferior). Se aprecia la componente de 100 Hz en la corriente de entrada.

Se observa también como la tensión de entrada no tiene componente armónica alguna y la corriente tiene una pequeña componente a la frecuencia del segundo armónico de 100 Hz, a parte de la muy pequeña componente a la frecuencia de conmutación de 100 kHz.

Los resultados para la corriente de entrada se muestran en la tabla 4.19 donde se comparan con los resultados de la fuente de alimentación convencional y con el lazo de corriente para la misma potencia de salida y tensión de entrada y salida.

	Fuente convencional	Fuente ideal conmutada PFC	Fuente real conmutada PFC
Factor de potencia (pu)	0,4424	0,9989	0,9973
Distorsión armónica (%)	194,1	4,1	5,98
Potencia activa (W)	309,3	298,5	299,9
Potencia aparente (VA)	699,9	298,8	300,7

**Tabla 4.19** Comparativa de las fuentes de alimentación y lazos de control.

Se ve claramente como al emplear corrección del factor de potencia mejora apreciablemente el factor de potencia y disminuye enormemente la distorsión de la corriente de entrada. Se observa como la práctica totalidad de la potencia aparente consumida a la entrada es aprovechada en la carga.

El efecto de introducir el lazo de tensión real es introducir una mayor distorsión en la corriente de entrada debido a los 100 Hz de la tensión de salida. No obstante, el efecto es muy pequeño al estar el lazo de control diseñado para atenuarla.

Por otro lado se observa que la potencia es más exacta en el caso de emplear lazo externo ya que el pequeño error en la tensión de salida introducido por el lazo interno de corriente (ganancia finita a 100 Hz) es corregido por el lazo externo de tensión que fija la tensión de salida a los 400 V exactos (ganancia infinita en DC).

Se aprecia que el factor de potencia en el caso de lazo interno de corriente con lazo de tensión ideal o en el caso completo es muy similar arrojando unos resultados muy aceptables con factor de potencia prácticamente la unidad.

Para comprobar la estabilidad del sistema y su desempeño para escalones en la tensión de entrada, en los siguientes apartados se muestran las principales formas de onda para:

- escalones en la tensión de entrada positivos desde el 70 % de la tensión al 100 % de la tensión con carga constante del 100 %.
- escalones en la tensión de entrada negativos desde el 100 % de la tensión al 70 % de la tensión con carga constante del 100 %.

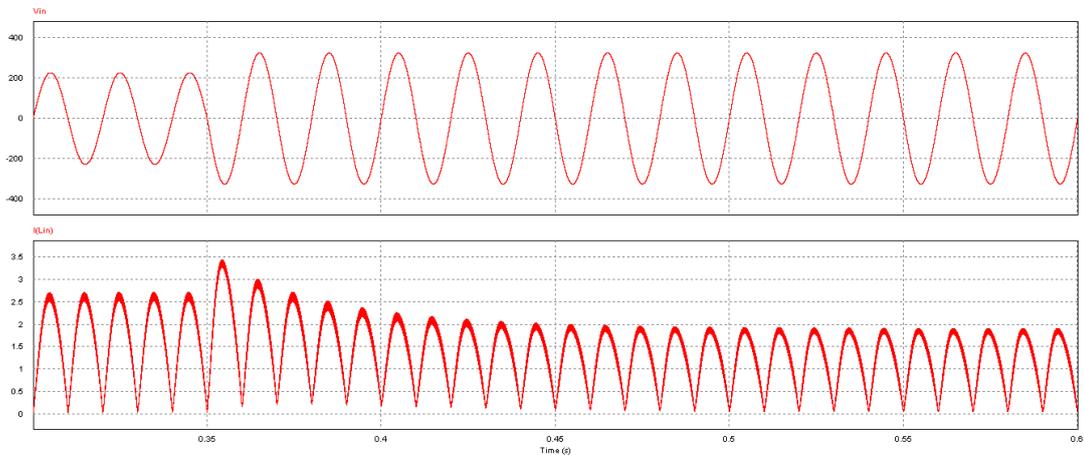
#### **ESCALONES DE TENSIÓN DE ENTRADA POSITIVOS (carga al 100 %)**

A continuación se muestran los resultados de la simulación con una duración total de 600 ms para el caso de escalones de tensión positivos del 30 % con carga al 100 %. En la tabla siguiente se muestran los escalones de tensión.

<b>SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN POSITIVO</b>		
	<b>Valor inicial</b>	<b>Escalón (180 ms)</b>
<b>Potencia de salida (W)</b>	300	300
<b>Tensión de entrada (Vef)</b>	161	230

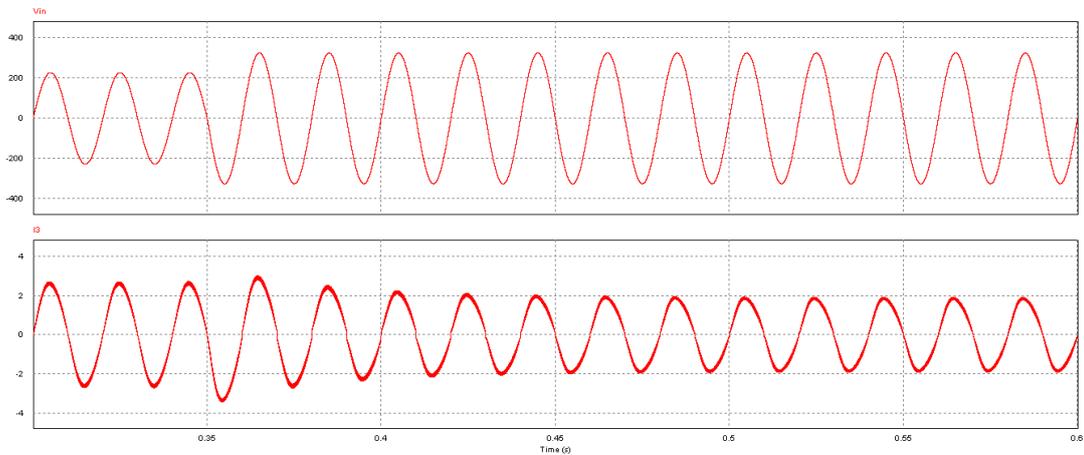
**Tabla 4.20** Escalón positivo de tensión de entrada para la simulación del lazo externo de tensión.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador y la tensión de entrada. Se aprecia como sigue el patrón senoidal rectificado de referencia disminuyendo su magnitud al subir la tensión de entrada.



**Figura 4.60** Evolución de la tensión de entrada (superior) y de la corriente de la bobina (inferior). Escalón de tensión positivo.

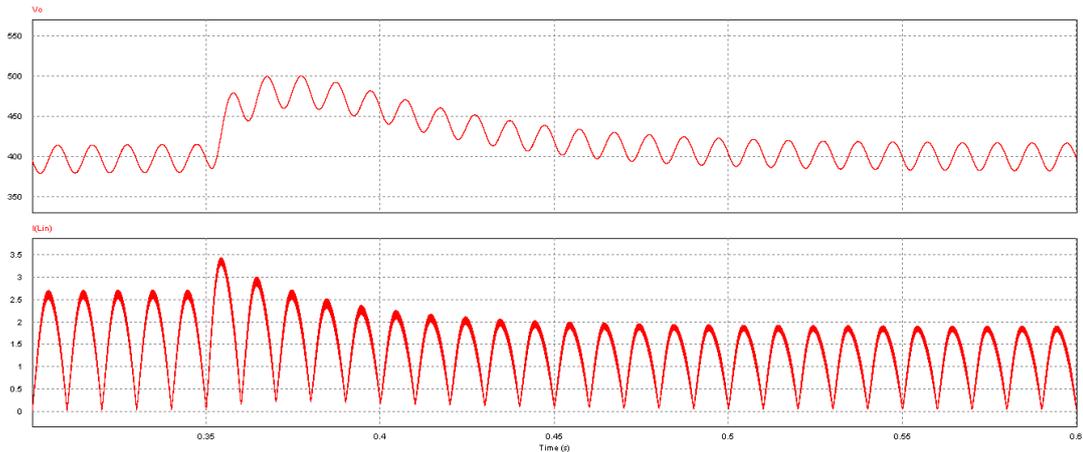
Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 4.61** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de tensión positivo.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



**Figura 4.62** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de tensión positivo.

La subida de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_min} - V_{o\_nom}}{V_o} 100 = \frac{480 - 400}{400} 100 = 20 \% \quad (4.27)$$

Se aprecia que el comportamiento ante escalones positivos en la tensión de entrada está dentro de lo esperado.

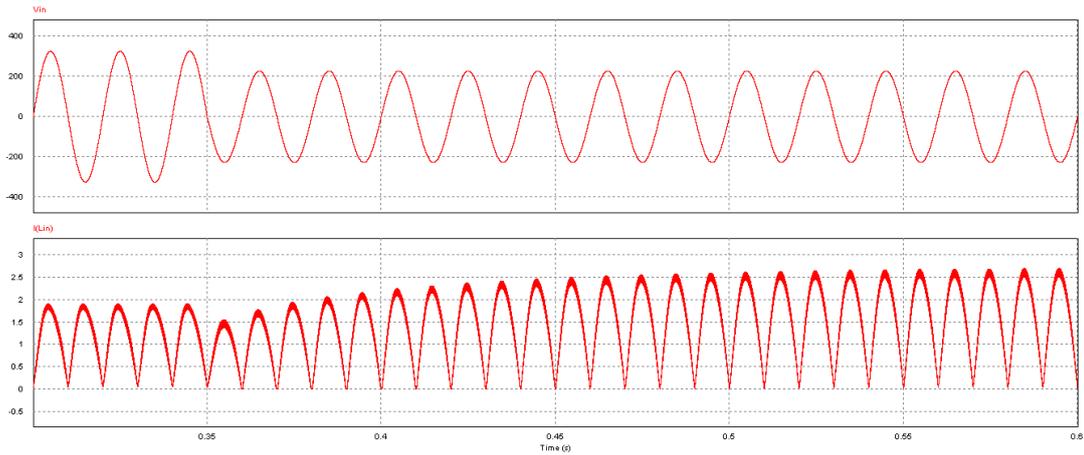
### **ESCALONES DE TENSIÓN DE ENTRADA NEGATIVOS (carga al 100 %)**

A continuación se muestran los resultados de la simulación con una duración total de 600 ms para el caso de escalones de tensión negativos del 30 % con carga al 100 %. En la tabla siguiente se muestran los escalones de tensión.

<b>SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN NEGATIVO</b>		
	<b>Valor inicial</b>	<b>Escalón (180 ms)</b>
<b>Potencia de salida (W)</b>	300	300
<b>Tensión de entrada (Vef)</b>	230	161

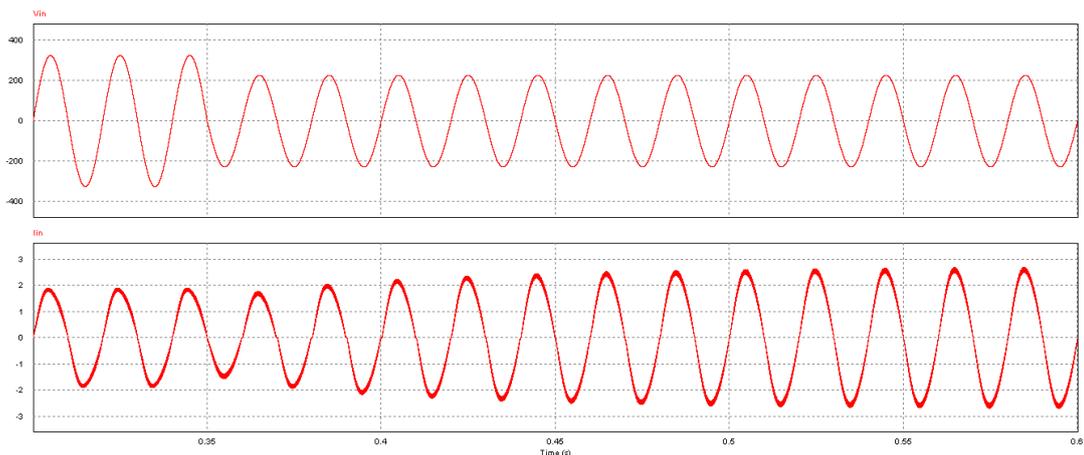
**Tabla 4.21** Escalón negativo de tensión de entrada para la simulación del lazo externo de tensión.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador y la tensión de entrada. Se aprecia como sigue el patrón senoidal rectificado de referencia aumentando su magnitud al bajar la tensión de entrada.



**Figura 4.63** Evolución de la tensión de entrada (superior) y de la corriente de la bobina (inferior). Escalón de tensión negativo.

Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada

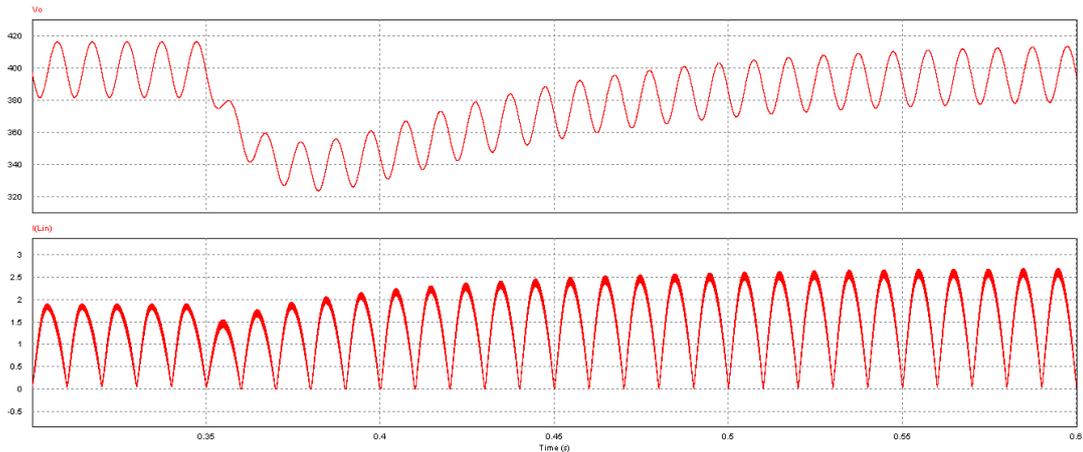


**Figura 4.64** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de tensión negativo.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia.

Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



**Figura 4.65** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de tensión negativo.

La subida de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_min} - V_{o\_nom}}{V_o} 100 = \frac{340 - 400}{400} 100 = 15 \% \quad (4.28)$$

Se aprecia que el comportamiento ante escalones negativos en la tensión de entrada está dentro de lo esperado.

Se observa como las perturbaciones en la tensión de entrada producen una variación significativa en la tensión de salida.

### **INCLUSIÓN DE FILTRO NOTCH**

Aunque en la implementación llevada a cabo en este trabajo se considera válido el comportamiento del lazo de tensión expuesto anteriormente, a continuación se muestra el efecto de incluir un filtro *Notch* sintonizado a 100 Hz en la medida de tensión de salida para eliminar el rizado presente en esta.

Al introducir un elemento nuevo en la realimentación del lazo de tensión es necesario estudiar su efecto sobre el lazo de tensión y sobre la frecuencia de corte y estabilidad del sistema.

Por su parte, el lazo interno de corriente no se verá afectado, en lo que a su estabilidad se refiere, por este nuevo elemento.

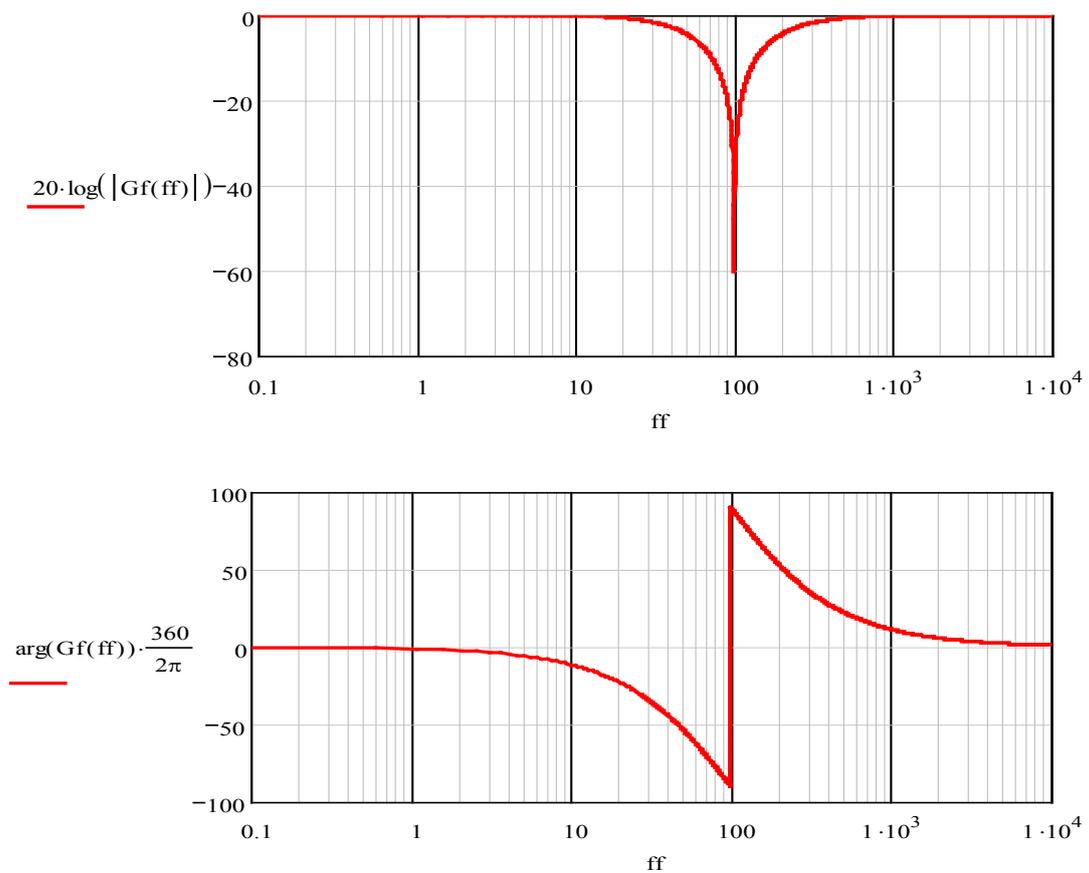
La función de transferencia de un filtro *Notch* de segundo orden está dado por la siguiente expresión

$$G_{notch}(s) = \frac{s^2 + \omega_0^2}{(s + \omega_0)^2} \quad (4.29)$$

En la anterior expresión  $\omega_o$  es la frecuencia central del filtro *Notch*, dada por la siguiente ecuación

$$\omega_o = 2 \cdot 2\pi f_{red} = 2 \cdot 2\pi \cdot 50 \quad (4.30)$$

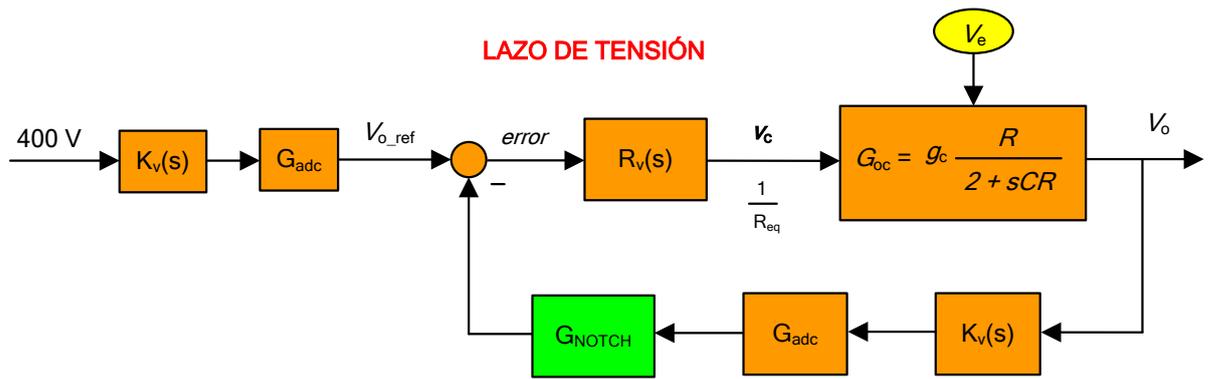
Por otra parte, en la figura siguiente se muestra la respuesta en frecuencia del filtro *Notch* bajo estudio sintonizado a 100 Hz.



**Figura 4.66** Respuesta en frecuencia de  $G_{notch}(s)$ . Magnitud (superior) y fase (inferior).

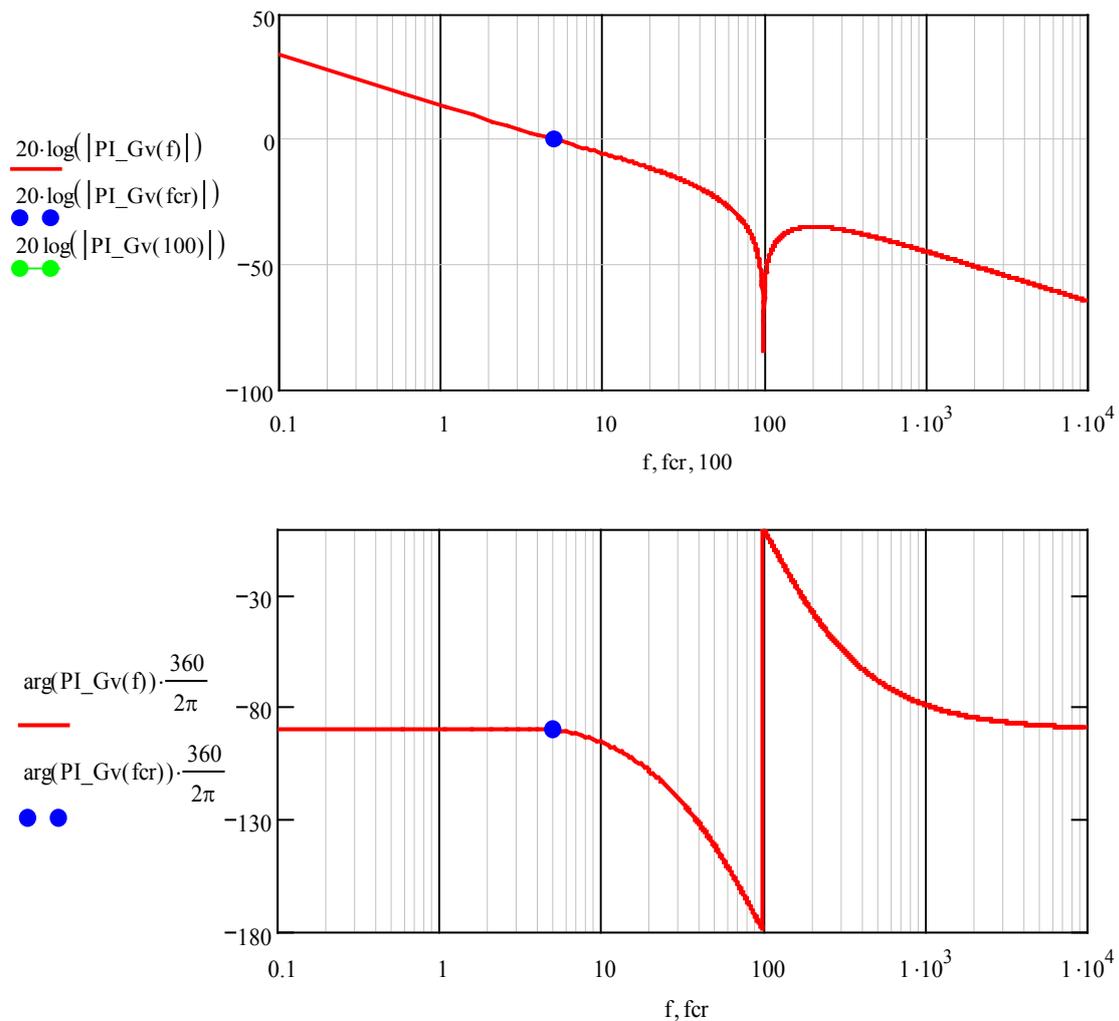
Una vez representada la respuesta en frecuencia filtro, es necesario incluirlo en el lazo externo de tensión tal y como se representa en la siguiente figura que muestra el diagrama de bloques del lazo de tensión.

En la figura se resalta en verde el bloque correspondiente a la función de transferencia del filtro *Notch*.



**Figura 4.67** Diagrama de bloques del modelo promediado del lazo externo de tensión incluyendo un filtro *Notch*.

En la siguiente figura se muestra la respuesta en frecuencia del lazo externo de tensión en cadena abierta incluyendo el filtro *Notch*. Se indica la frecuencia de corte.

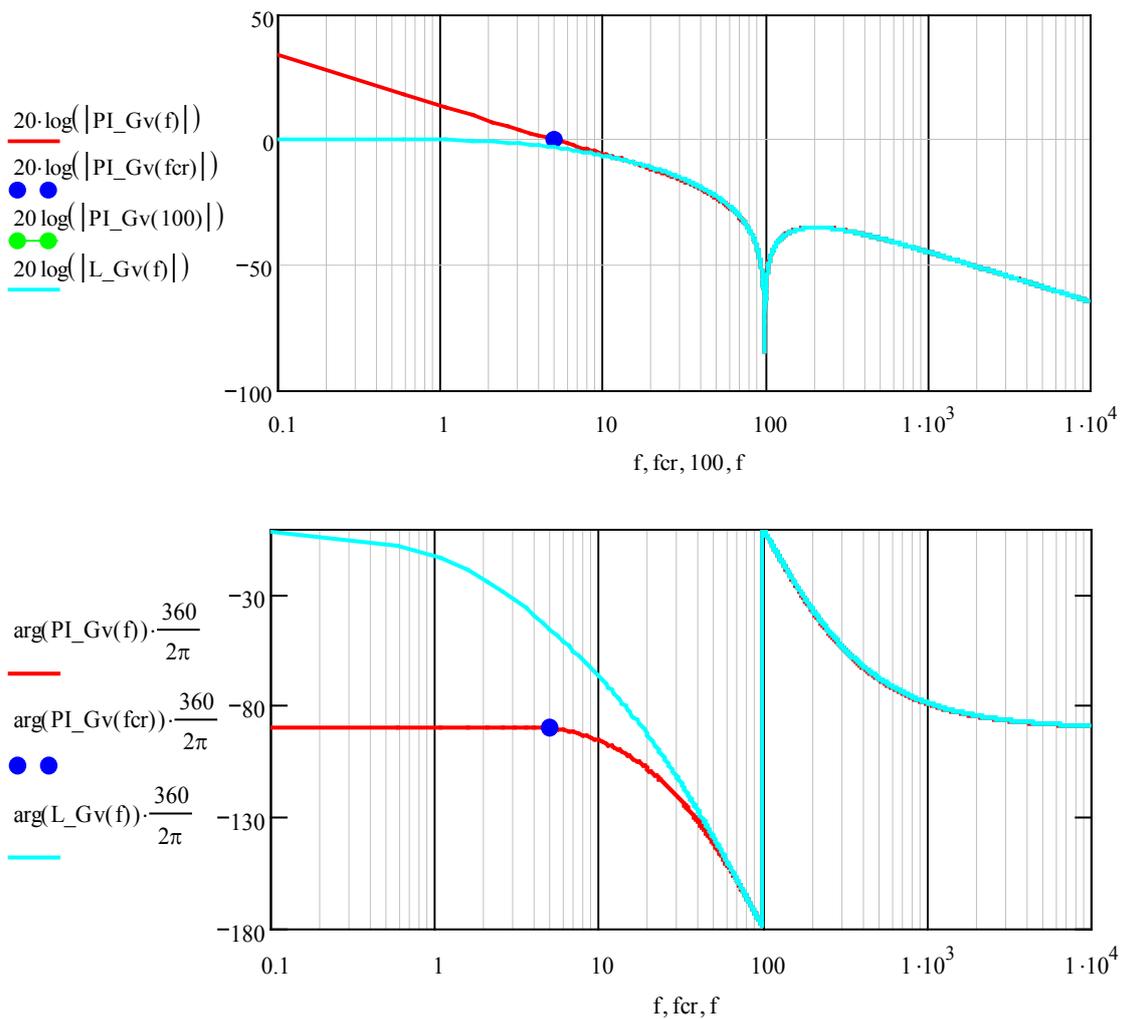


**Figura 4.68** Respuesta en frecuencia del lazo abierto de tensión. Magnitud (superior) y fase (inferior). Lazo de tensión con filtro *Notch*.

En la figura anterior se conserva el ancho de banda de 5 Hz, aunque en este caso se podría aumentar este ancho de banda ya que no es necesario atenuar tanto los 100 Hz de la tensión de salida al existir el filtro *Notch*.

No obstante, con objeto de comparar su desempeño con el caso de no emplear filtro *Notch*, se mantienen los parámetros de diseño vistos anteriormente con un ancho de banda de 5 Hz.

Por otra parte, en la figura siguiente se muestra la función de transferencia en cadena cerrada (azul) y en cadena abierta (rojo) incluyendo el filtro *Notch*.



**Figura 4.69** Respuesta en frecuencia del lazo abierto (rojo) y del lazo cerrado (azul) de tensión. Magnitud (superior) y fase (inferior). Lazo de tensión con filtro *Notch*.

Para el caso bajo estudio de incluir un filtro *Notch* en la medida de la tensión de salida del convertidor, los valores obtenidos para el margen de ganancia y margen de fase se resumen en la Tabla 4.22

REGULADOR DE CORRIENTE $R_i(s)$	
Margen de fase	90,1°
Margen de ganancia	$\infty$
Frecuencia de corte ( $f_{sw}/f_c=15$ )	5,04 kHz
Atenuación a 100 Hz	$\infty$

Tabla 4.22 Prestaciones del lazo externo de tensión incluyendo filtro Notch.

Por otra parte, en la Figura 4.70 se muestra la tensión de salida y la salida del regulador de tensión para apreciar el correcto filtrado del rizado de 100 Hz en la tensión de salida.

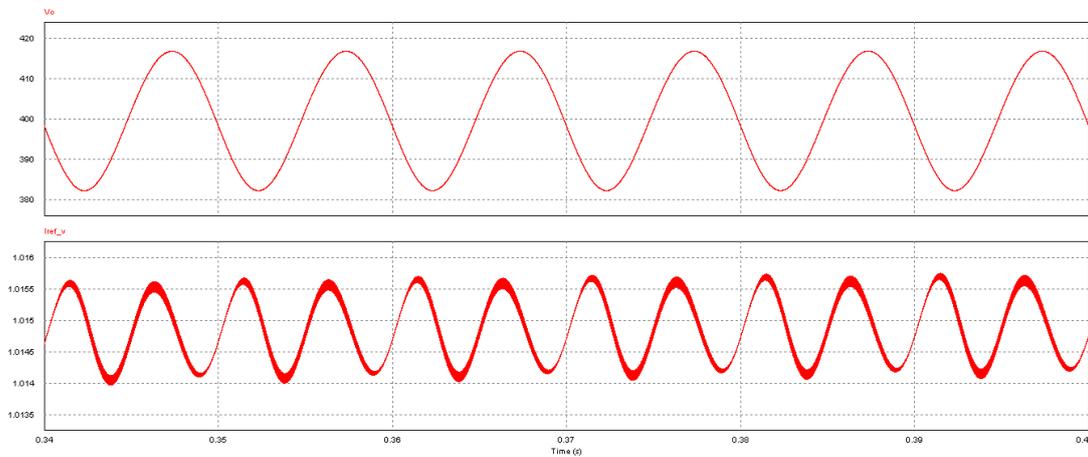


Figura 4.70 Evolución de la tensión de salida (superior) y de la referencia de corriente dada por el lazo externo de tensión (inferior). Lazo de tensión con filtro *Notch*.

Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

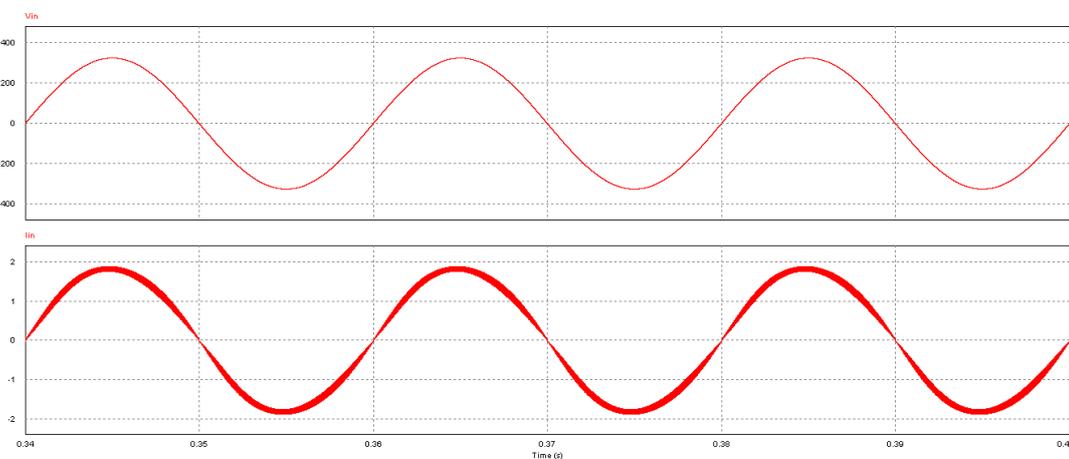
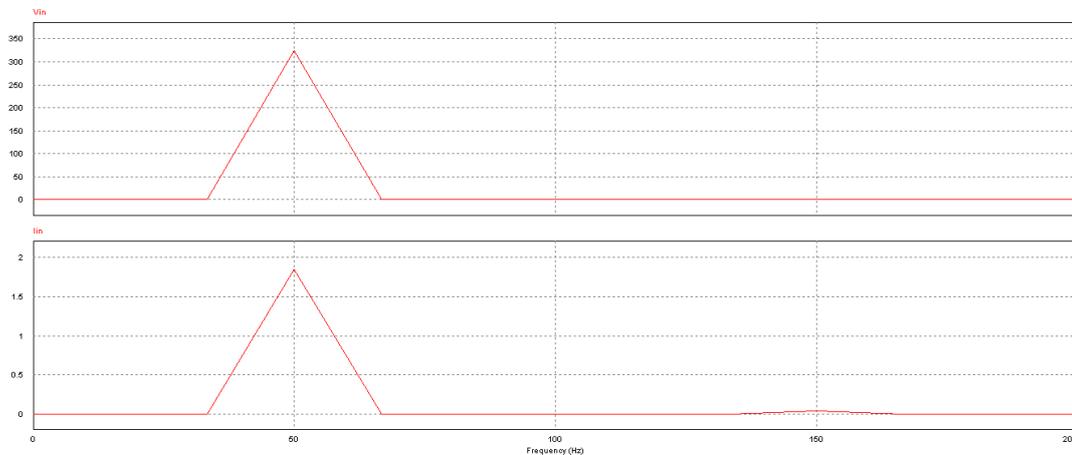


Figura 4.71 Evolución de la tensión de entrada (superior) y de la corriente de la bobina (inferior). Lazo de tensión con filtro *Notch*.

Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia, incluyendo los dos lazos, en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

Se aprecia claramente como la corriente de entrada presenta una ligera componente de 100 Hz introducida por el lazo externo de tensión. Esto empeorará las prestaciones con respecto al lazo externo de tensión ideal.



**Figura 4.72** Respuesta en frecuencia de la tensión de entrada (superior) y de la corriente de entrada (inferior) con filtro *Notch*. Se aprecia claramente la disminución de la componente de 100 Hz en la corriente de entrada.

Se observa claramente como la tensión no tiene componente armónica alguna y la corriente ha disminuido notablemente su componente de 100 Hz debido al filtro *Notch*.

Los resultados comparativos se muestran en la tabla 4.23 donde se comparan con los resultados obtenidos para la fuente de alimentación convencional con filtro capacitivo para la misma potencia de salida y tensión de entrada y salida.

Se ve claramente como al emplear un filtro *Notch* mejora la distorsión de la corriente de entrada hasta alcanzar el caso ideal obtenido con la referencia constante de tensión.

No obstante, la mejora en el factor de potencia no es significativa y el comportamiento sin filtro *Notch* es muy aceptable, no introduciendo además la complejidad adicional de incluir un filtro de segundo orden en el lazo de control.

## 4.4 Conclusiones para el control analógico

En la tabla siguiente se muestran los resultados de las pruebas realizadas para los controles analógicos del convertidor con PFC.

Se comparan los resultados de la fuente convencional y de la fuente conmutada, tanto en el caso de emplear sólo lazo de corriente y como en el caso de emplear lazo de tensión y corriente (doble lazo), tanto con filtro *Notch* como sin filtro.

	Fuente convencional	Fuente ideal conmutada (lazo I)	Fuente conmutada (lazo I y V)	Fuente conmutada ( <i>notch</i> )
Factor de potencia (pu)	0,4424	0,9989	0,9973	0,9990
Distorsión armónica (%)	194,1	4,1	5,98	4,1
Potencia activa (W)	309,3	298,5	299,9	300,3
Potencia aparente (VA)	699,9	298,8	300,7	300,6

**Tabla 4.23** Resultados comparativos de las fuentes de alimentación.

Por expuesto a lo largo de este capítulo, se considera probado el desempeño de la fuente de alimentación conmutada con corrección del factor de potencia en el dominio analógico, aunque para hacer más completo el estudio ya se han tenido en cuenta factores digitales la ganancia del ADC y retardos digitales de  $1,5 \cdot T_{SW}$ .

# 5. Control digital

## 5.1 Introducción

En los capítulos anteriores se ha llevado a cabo un exhaustivo estudio del diseño del lazo interno de corriente y del lazo externo de tensión. No obstante, el diseño realizado se ha llevado a cabo en el dominio analógico mientras que los dispositivos empleados en este trabajo para implementar el control son dispositivos digitales tales como FPGA (*Field Programmable Gate Array*).

Para llevar a cabo el control discreto son posibles dos alternativas:

- Partir de planta que representa el sistema de potencia en el dominio analógico y diseñar el regulador continuo para, posteriormente, discretizar este regulador.
- Discretizar la planta del sistema y realizar todo el diseño de los controladores en el dominio discreto.

Estos dos planteamientos para implementar el control se muestran en el diagrama de bloques de la Figura 5.1

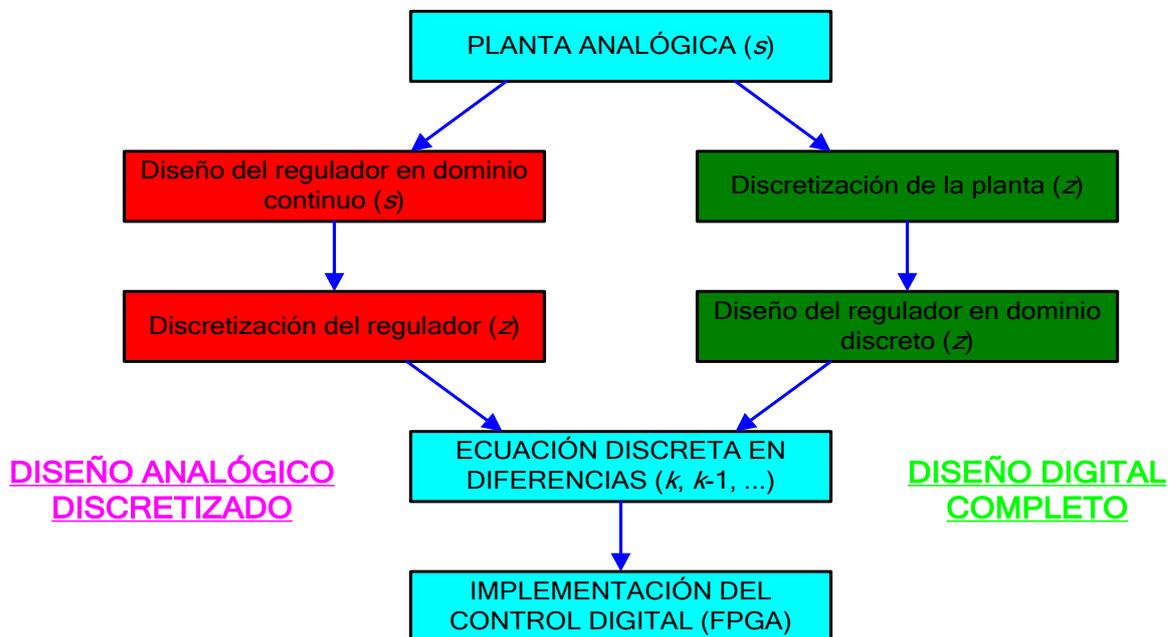


Figura 5.1 Diagrama de bloques del proceso de diseño e implementación de un regulador discreto.

Ambos métodos arrojan resultados muy similares siempre y cuando la frecuencia de corte este suficientemente alejada de la frecuencia de muestreo (al menos una década con criterio conservador). Esto se cumple generalmente en sistemas de potencia ya que las constantes de tiempo del sistema son relativamente lentas.

El planteamiento llevado a cabo en el presente trabajo se basa en la discretización del regulador continuo, hallado en los capítulos anteriores. Este método presenta la ventaja de dar una visión más cercana al sistema físico y permite el diseño de los reguladores mediante la respuesta en frecuencia, amplitud y fase (margen de ganancia y margen de fase).

## 5.2 Discretización del control analógico

Según la teoría de señal, existen diferentes métodos para pasar un sistema en el dominio continuo de Laplace a un sistema en el dominio discreto Z:

- Similitud en la respuesta impulsional.
- Similitud de la respuesta al escalón.
- Aproximación a un sistema continuo (muestreador + retenedor).
- Métodos basados en integrales.
- Transformación directa mediante  $z = e^{sT}$

En este trabajo se emplea la discretización mediante aproximación de la integral continua en el dominio s empleando la integración por partes [Ogata02][Kuo92]

La integral en el dominio de la place de una función temporal está dada por la siguiente expresión

$$\int f(t)dt = \frac{1}{s} \tag{5.1}$$

La integral de una función en el dominio continuo se puede aproximar mediante la integración a intervalos concretos de tiempo (en este caso con espaciado uniforme) y sumar el área de cada uno de las áreas parciales tal y como se muestra en la figura

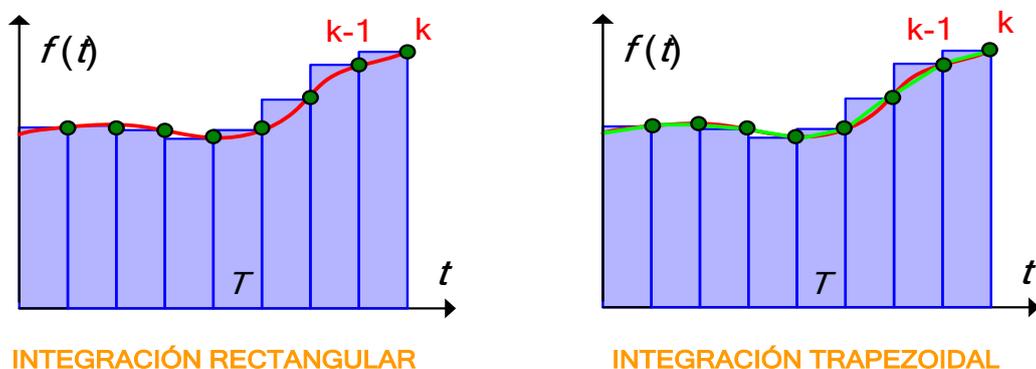


Figura 5.2 Métodos de integración discreta. Rectangular (izquierda) y trapezoidal (derecha).

Los dos principales métodos son la integración rectangular (*Backward Euler*) y la integración trapezoidal (*Tustin*) en función de cómo se defina el área parcial por formada la muestra actual  $k$  con la muestra anterior  $k-1$  (el sistema debe ser causal).

La equivalencia entre la variable  $s$  y la variable  $z$  según los dos métodos se muestra en la siguiente tabla, teniendo en cuenta que un retraso de  $n$  muestras se representa en el dominio discreto  $z$  como  $z^{-n}$ .

TRANSFORMACIONES S-Z (siendo T el periodo de muestreo)		
EXACTA	TRAPEZOIDAL	RECTANGULAR
$z = e^{sT}$	$z = \frac{1 + \frac{sT}{2}}{1 - \frac{sT}{2}}$	$z = 1 + sT$

**Tabla 5.1** Relación entre la variable  $s$  y la variable  $z$  empleando diferentes métodos.

La transformada trapezoidal arroja resultados más exactos que la transformada rectangular, aunque lleva a sistemas de mayor complejidad matemática. No obstante, para una frecuencia de muestreo suficientemente alta los resultados son muy similares y la transformada rectangular permite un tratamiento matemático más sencillo, teniendo en cuenta además que el modulador PWM de un convertidor conmutado se comporta de forma similar a un retenedor de orden cero (ZOH) [Buso06][Corradini15].

La transformada  $z$  es una poderosa herramienta matemática que permite manejar y diseñar el regulador discreto. No obstante, es necesario convertir la ecuación del regulador en el dominio  $z$  a una forma implementable en el dispositivo digital empleado (FPGA, DSP, etc). Es la denominada ecuación en diferencias.

La correspondencia entre una ecuación en la variable  $z$  y una ecuación en diferencias que relaciona las muestras actuales y la anteriores, tanto de la entrada como de la salida del sistema, es directa teniendo en cuenta que un retardo de  $n$  muestras (periodos de muestreo) se corresponde con

$$z^{-T} \cdot Y(z) = y(t - T) \tag{5.2}$$

En la expresión anterior, la variable  $T$  es el periodo de muestreo (uniforme en este caso) empleado en los ADC y que debe cumplir el teorema de *Nyquist* expresado de la siguiente forma

***La frecuencia de muestreo debe ser de, al menos, el doble de la frecuencia máxima de la señal muestreada.***

En el dominio digital un retardo de un periodo de muestreo se corresponde con un registro a nivel RTL.

## 5.2.1 Discretización del regulador del lazo de corriente

En la expresión siguiente se recuerda el controlador analógico en el dominio de Laplace hallado en apartados anteriores para el lazo interno de corriente

$$R_i(s) = \frac{\omega_i}{s} \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_p}} \quad (5.3)$$

En la Tabla 5.2 se resumen los valores obtenidos para las constantes del regulador continuo con una frecuencia de corte de 5 kHz, veinte veces inferior a la de conmutación para atenuar suficientemente el ruido de conmutación ( $f_{sw}/20$ ).

REGULADOR DISCTEO DE CORRIENTE $R_i(z)$	
Ganancia $\omega_i$ (Hz)	$20 \cdot 2\pi$
Cero $\omega_z$ (Hz)	$70 \cdot 2\pi$
Polo $\omega_p$ (Hz)	$50 \cdot 10^3 \cdot 2\pi$
Fase a la frecuencia central	$-4,29^\circ$
Fase a la frecuencia de corte	$-4,64^\circ$
Fase en baja frecuencia	$-90^\circ$

**Tabla 5.2** Parámetros del regulador analógico del lazo de corriente.

Por otra parte, en la fórmula siguiente se presenta el equivalente discreto en el dominio  $z$  del regulador para el lazo interno de corriente

$$R_i(z) = \frac{Y(z)}{X(z)} = \frac{B_0 + B_1 z^{-1}}{A_0 + A_1 z^{-1} + A_2 z^{-2}} = \frac{B_0 z}{z - A_2} = \frac{B_0}{1 - A_2 z^{-1}} \quad (5.4)$$

Partiendo de la ecuación anterior, en la expresión siguiente se muestra el equivalente expresado como ecuación en diferencias, siendo  $Y$  la salida y  $X$  la entrada. El instante de muestreo se representa mediante la variable  $k$ .

$$Y_k = \frac{B_0 X_k + B_1 X_{k-1} - A_1 Y_{k-1} - A_2 Y_{k-2}}{A_0} \quad (5.5)$$

Por otra parte, en la Tabla 5.2 se resumen los valores obtenidos para las constantes del regulador discreto con una frecuencia de corte de 5 kHz veinte veces inferior a la de conmutación para atenuar suficientemente el ruido de conmutación ( $f_{sw}/20$ ).

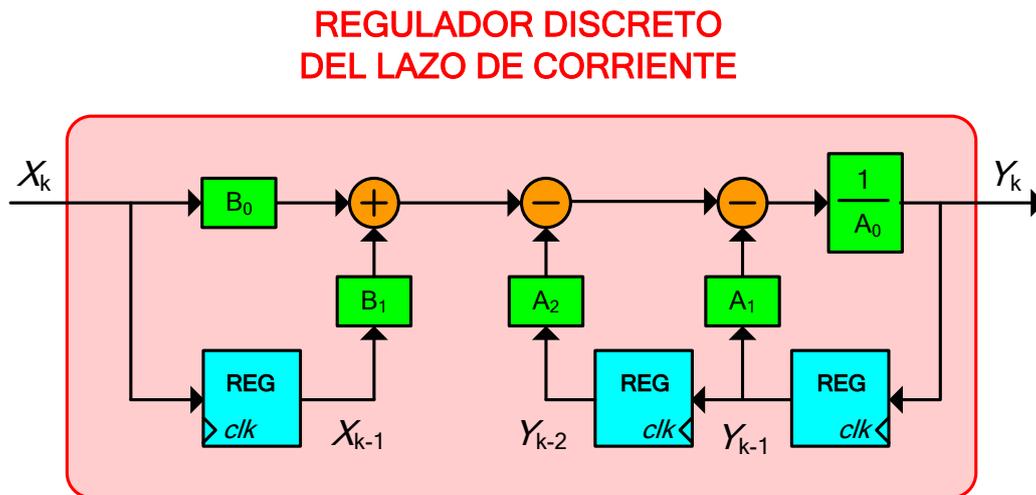
La frecuencia de muestreo del regulador coincide con la frecuencia de conmutación del PWM de 100 kHz.

REGULADOR DISCRETO DE CORRIENTE $R_i(z)$	
$A_0$	1
$A_1$	-1,24145
$A_2$	0,24145
$B_0$	0,21768
$B_1$	-0,21673
$T$	100 kHz

**Tabla 5.3** Parámetros del regulador discreto del lazo de corriente.

Se recuerda que en el diseño del regulador analógico de partida se han tenido en cuenta los retardos del control digital ( $1,5 \cdot T_{sw}$ ) así como las ganancias introducidas por el ADC y la rampa del DPWM.

Por otra parte, en la Figura 5.3 se muestra el esquema en descripción RTL del regulador discreto dado por las expresiones anteriores para el lazo interno de corriente. Se muestra la expresión completa sin simplificar para mayor generalidad.

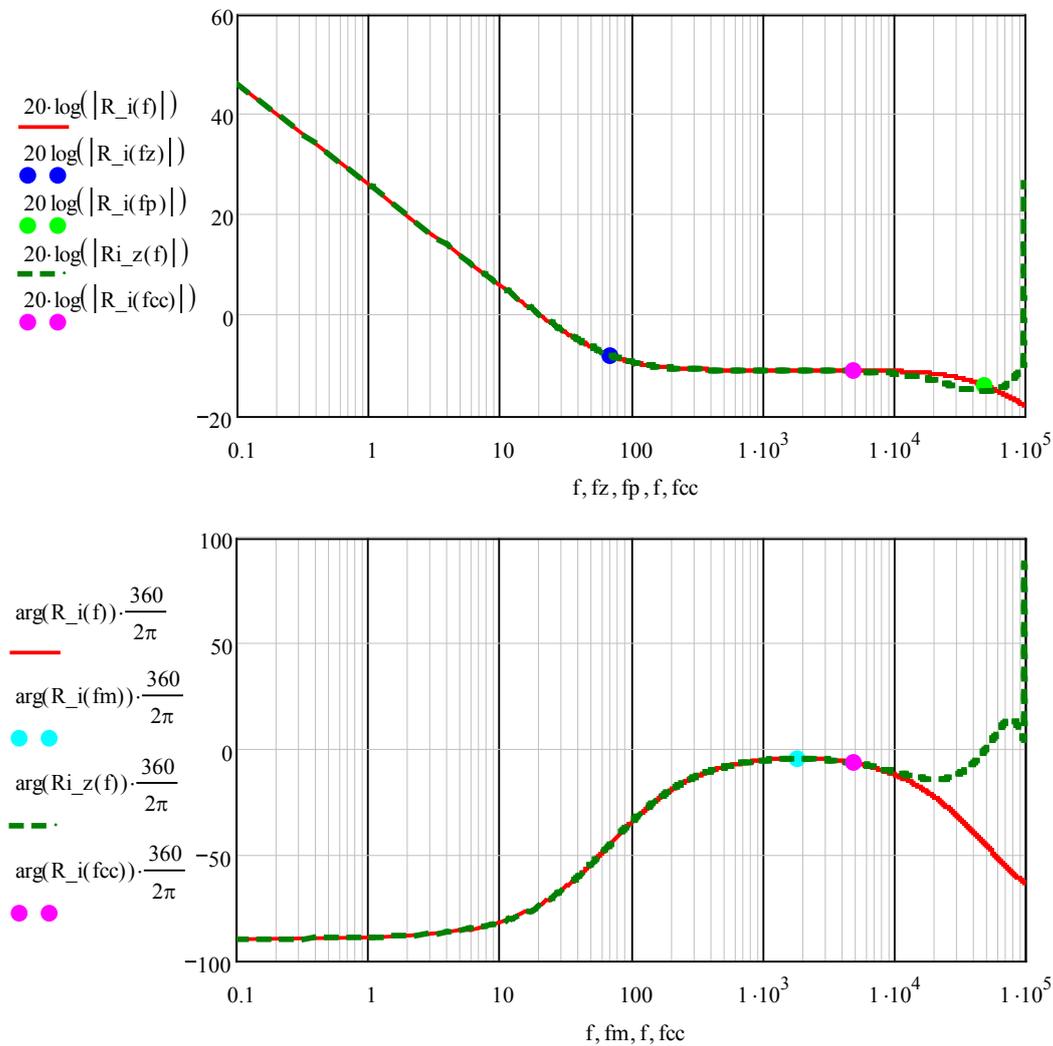


**Figura 5.3** Diagrama RTL del regulador discreto del lazo interno de corriente.

En la figura anterior en azul se muestran los registros encargados de guardar las variables en instantes anteriores. En verde se presentan las constantes y en naranja los sumadores. En muchos casos es necesario registrar la entrada y salida del bloque completo.

Para comprobar la correspondencia entre el regulador analógico y el regulador discretizado en el dominio  $z$  ( $z=e^{sT}$ ), en la figura siguiente se muestra la respuesta en frecuencia de ambos.

Se indica con un punto azul el cero del regulador y con un punto verde el polo en alta frecuencia. En la fase se indica en cian la fase máxima y en magenta la frecuencia de corte del lazo deseada de 5 kHz.



**Figura 5.4** Respuesta en frecuencia de  $R_i(z)$  discreto. Magnitud (superior) y fase (inferior).

Se aprecia claramente la forma característica de este tipo de reguladores con su fase máxima en la media geométrica del polo y del cero del regulador.

Se observa que el comportamiento de ambos reguladores es muy similar por debajo de la frecuencia de cruce de 5 kHz. Se ve el comportamiento periódico del regulador digital en torno a la frecuencia de muestreo de 100 kHz y como el comportamiento es similar hasta la mitad de la frecuencia de muestreo.

***La frecuencia de cruce debe ser inferior a la mitad de la frecuencia de muestreo***

## 5.2.2 Discretización del regulador del lazo de tensión

En la expresión siguiente se recuerda el controlador analógico en el dominio de Laplace hallado en apartados anteriores para el lazo externo de tensión

$$R_v(s) = \omega_{ii} \frac{1 + \frac{s}{\omega_{zz}}}{s} \quad (5.6)$$

En la Tabla 5.4 se resumen los valores obtenidos para las constantes del regulador con una frecuencia de corte de 5 Hz (1000 veces inferior a la del lazo de tensión).

REGULADOR DE TENSIÓN $R_v(s)$	
Ganancia $\omega_{ii}$ (Hz)	0,003 $\cdot 2\pi$
Cero $\omega_{zz}$ (Hz)	7 $\cdot 2\pi$

**Tabla 5.4** Parámetros del regulador analógico del lazo de tensión.

Por otra parte, en la fórmula siguiente se presenta el equivalente discreto en el dominio  $z$  del regulador para el lazo externo de tensión

$$R_v(z) = \frac{Y(z)}{X(z)} = \frac{B_0 + B_1 z^{-1}}{A_0 + A_1 z^{-1}} = \frac{B_0(z + \frac{B_1}{B_0})}{z - 1} = \frac{B_0(1 + \frac{B_1}{B_0} z^{-1})}{1 - z^{-1}} \quad (5.7)$$

Partiendo de la ecuación anterior, en la expresión siguiente se muestra el equivalente expresado como ecuación en diferencias, siendo  $Y$  la salida y  $X$  la entrada. El instante de muestreo se representa mediante la variable  $k$ .

$$Y_k = \frac{B_0 X_k + B_1 X_{k-1} - A_1 Y_{k-1}}{A_0} \quad (5.8)$$

Por otra parte, en la Tabla 5.5 se resumen los valores obtenidos para las constantes del regulador discreto con una frecuencia de corte de 5 Hz.

REGULADOR DISCRETO DE TENSIÓN $R_i(z)$	
$A_0$	1
$A_1$	-1
$B_0$	6,17067 $\cdot 10^{-3}$
$B_1$	-4,2857167 $\cdot 10^{-3}$
$T$	100 Hz

**Tabla 5.5** Parámetros del regulador discreto del lazo de tensión.

En este caso, la frecuencia de muestreo es de 100 Hz que coincide con la frecuencia del rizado de salida.

La tensión de salida se muestreará en los pasos por cero de la tensión de entrada, con lo cual se consigue eliminar este rizado salvo por los errores de cálculo. Así mismo, se consigue que las constantes del regulador discreto sean algo mayores lo cual facilita su implementación.

Se recuerda que el lazo de tensión se ha realizado para obtener una frecuencia de corte suficientemente alejada del rizado de 100 Hz presente en la tensión de salida con objeto de atenuarlo convenientemente.

Por otro lado, el lazo de tensión presenta una frecuencia de corte muy inferior a la frecuencia de corte del lazo interno de corriente para asegurar que este lazo interno es mucho más rápido y que proporciona la corriente marcada por su referencia, la salida del lazo externo de tensión (multiplicada por la tensión de entrada para conseguir el patrón senoidal).

Por otra parte, en la Figura 5.5 se muestra también el esquema en descripción RTL del regulador discreto dado por las expresiones anteriores para el lazo externo de tensión siendo  $X$  la entrada e  $Y$  la salida del regulador. Se muestra la expresión completa sin simplificar para mayor generalidad.

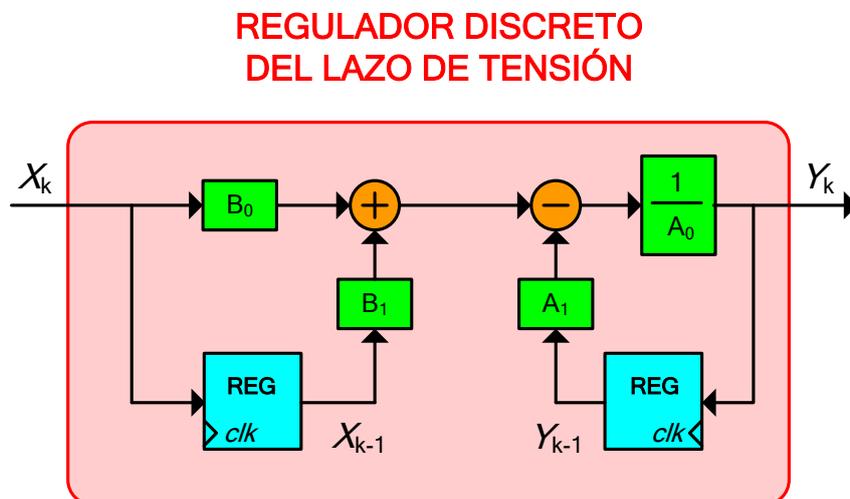
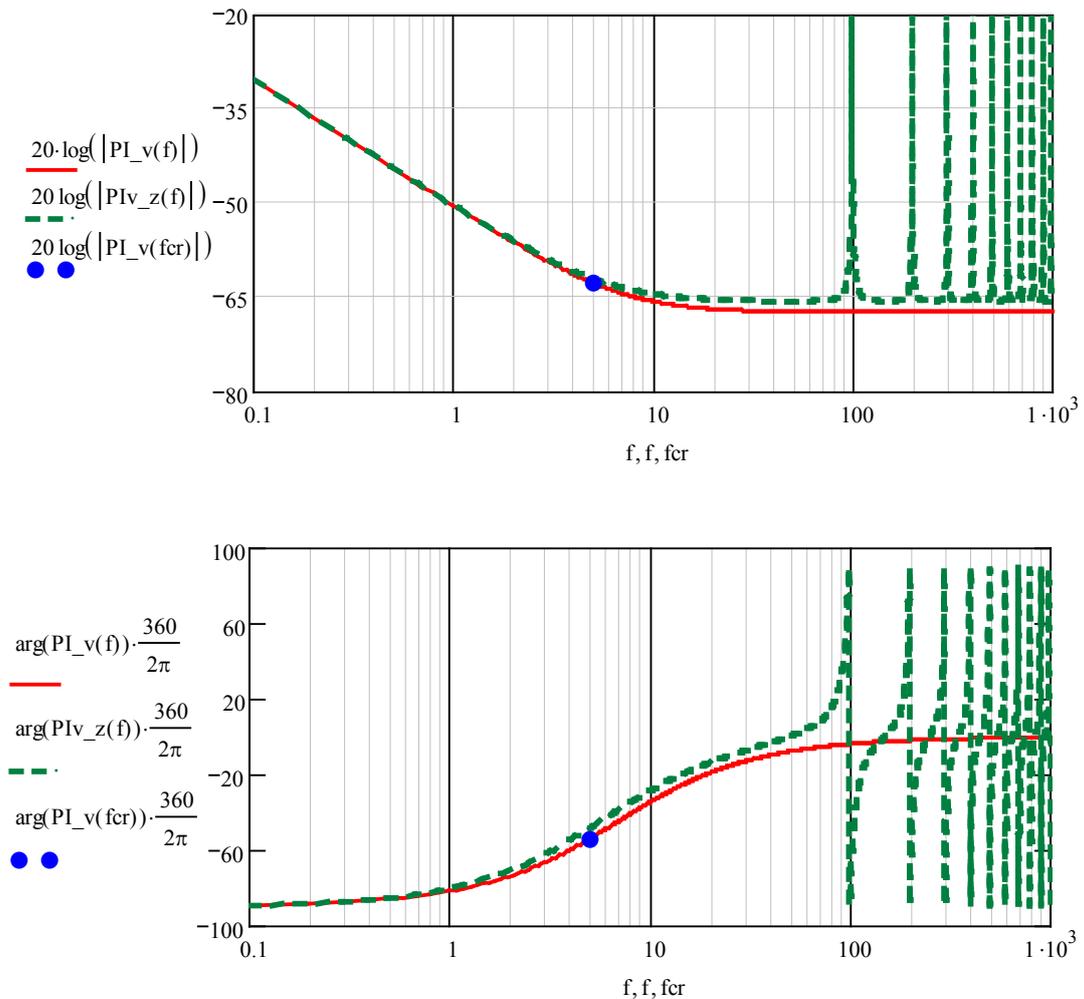


Figura 5.5 Diagrama RTL del regulador discreto del lazo externo de tensión.

En la figura anterior en azul se muestran los registros encargados de guardar las variables en instantes anteriores. En verde se presentan las constantes y en naranja los sumadores. En muchos casos es necesario registrar la entrada y salida del bloque completo.

Para comprobar la correspondencia entre el regulador analógico y el regulador discretizado en el dominio  $z$  ( $z=e^{sT}$ ), en la figura siguiente se muestra la respuesta en frecuencia de ambos.

Se indica con un punto azul la frecuencia de corte de 5 Hz, tanto en la magnitud como en la fase. En la figura se muestra en rojo la respuesta en frecuencia del regulador continuo y en verde la respuesta en frecuencia del regulador discreto.



**Figura 5.6** Respuesta en frecuencia de  $Rv(z)$  discreto. Magnitud (superior) y fase (inferior).

Se aprecia que el comportamiento de ambos reguladores es muy similar por debajo de la frecuencia de cruce de 5 Hz. Se ve el comportamiento periódico del regulador digital en torno a la frecuencia de muestreo de 100 Hz y como el comportamiento es similar hasta la mitad de la frecuencia de muestreo.

### 5.2.3 Representación en el plano Z de los reguladores

Una vez calculados el regulador de tensión y el regulador de corriente, en este apartado se muestra la representación en el plazo z de los mismos.

Partiendo de la teoría de control digital [Ogata02][Kuo92], se sabe que un sistema en cadena abierta digital es estable si sus polos están dentro del círculo unidad.

#### **REGULADOR DISCRETO DEL LAZO DE CORRIENTE**

En la expresión siguiente se muestra la función de transferencia en el plano z para el regulador de corriente.

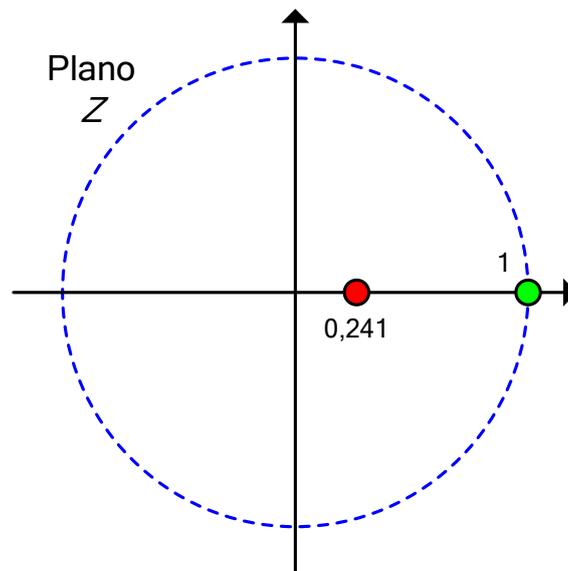
$$R_i(z) = \frac{Y(z)}{X(z)} = \frac{B_0 + B_1 z^{-1}}{A_0 + A_1 z^{-1} + A_2 z^{-2}} = \frac{B_0 z}{z - A_2} = \frac{0,217z}{z - 0,241} \quad (5.9)$$

Por otra parte, en la tabla siguiente se muestran los polos y ceros de la función de transferencia del regulador

REGULADOR DISCRETO DE TENSIÓN $R_i(z)$	
Ceros	0
Polos	0,241

**Tabla 5.6** Parámetros del regulador discreto del lazo de tensión.

Por su parte, en la figura siguiente se representan en el plano Z los polos y ceros del regulador. Se indica el círculo unidad (azul), los polos (rojo) y los ceros (verde).



**Figura 5.7** Polos y ceros del regulador de corriente en el plano z.

## REGULADOR DISCRETO DEL LAZO DE TENSIÓN

En la expresión siguiente se muestra la función de transferencia en el plano  $z$  para el regulador de corriente.

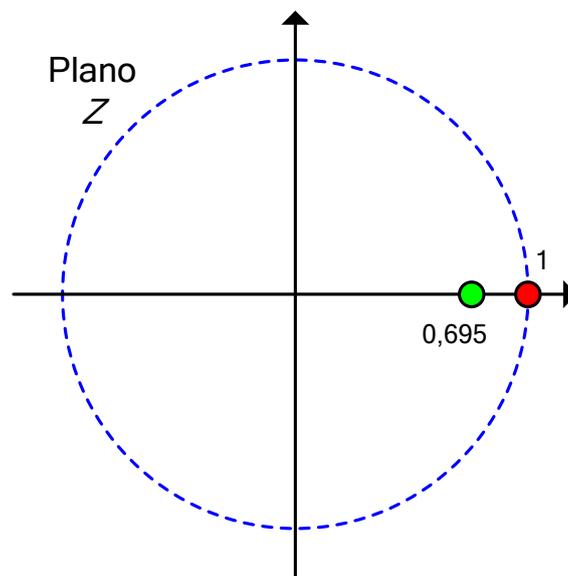
$$R_v(z) = \frac{Y(z)}{X(z)} = \frac{B_0 + B_1 z^{-1}}{A_0 + A_1 z^{-1}} = \frac{B_0(z + \frac{B_1}{B_0})}{z - 1} = \frac{6,170 \cdot 10^{-4}(z - 0,695)}{z - 1} \quad (5.10)$$

Por otra parte, en la tabla siguiente se muestran los polos y ceros de la función de transferencia del regulador

REGULADOR DISCRETO DE TENSIÓN $R_v(z)$	
Ceros	0,695
Polos	1

**Tabla 5.7** Parámetros del regulador discreto del lazo de tensión.

Por su parte, en la figura siguiente se representan en el plano  $Z$  los polos y ceros del regulador. Se indica el círculo unidad (azul), los polos (rojo) y los ceros (verde).



**Figura 5.8** Polos y ceros del regulador de tensión en el plano  $z$ .

Por su parte, la estabilidad del sistema en lazo cerrado dependerá de la situación de los polos y ceros del sistema en cadena abierta. Este análisis arrojará resultados muy similares a los calculados empleando técnicas analógicas y discretizando posteriormente.

## 5.3 Simulación circuital de los reguladores discretos

Una vez se tienen los reguladores en el dominio discreto y se ha comprobado su respuesta frecuencial en comparación con el regulador continuo equivalente, a continuación se realizan las simulaciones circuitales similares a las llevadas a cabo para el caso continuo.

### 5.3.1 Regulador discreto del lazo de corriente

Una vez diseñado el regulador discreto para el lazo interno de corriente, en este apartado se simula el modelo conmutado.

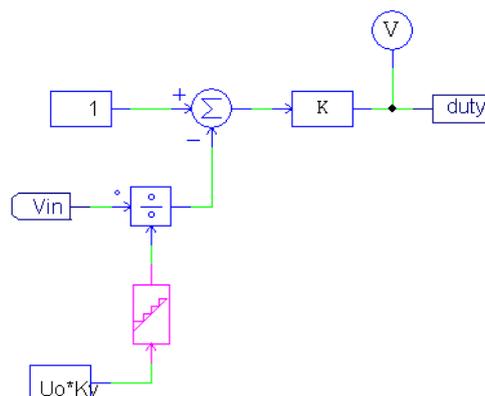
Para simular el lazo interno de corriente se somete al sistema a la carga máxima de 300 W. La tensión de entrada se supone constante e igual a 230 V eficaces de fase.

Para simular únicamente el lazo interno de corriente la referencia que daría el lazo externo de tensión, encargada de ajustar la corriente de entrada en función de la potencia de salida, se fija a un valor constante equivalente tal que la corriente de entrada sea la máxima para la potencia de salida nominal

$$I_{ref} = \frac{1}{R_{eq}} \frac{K_i}{K_v} G_{adc} = \frac{P_o K_i}{V_e^2 K_v} G_{adc} = 1,0077 \quad (5.11)$$

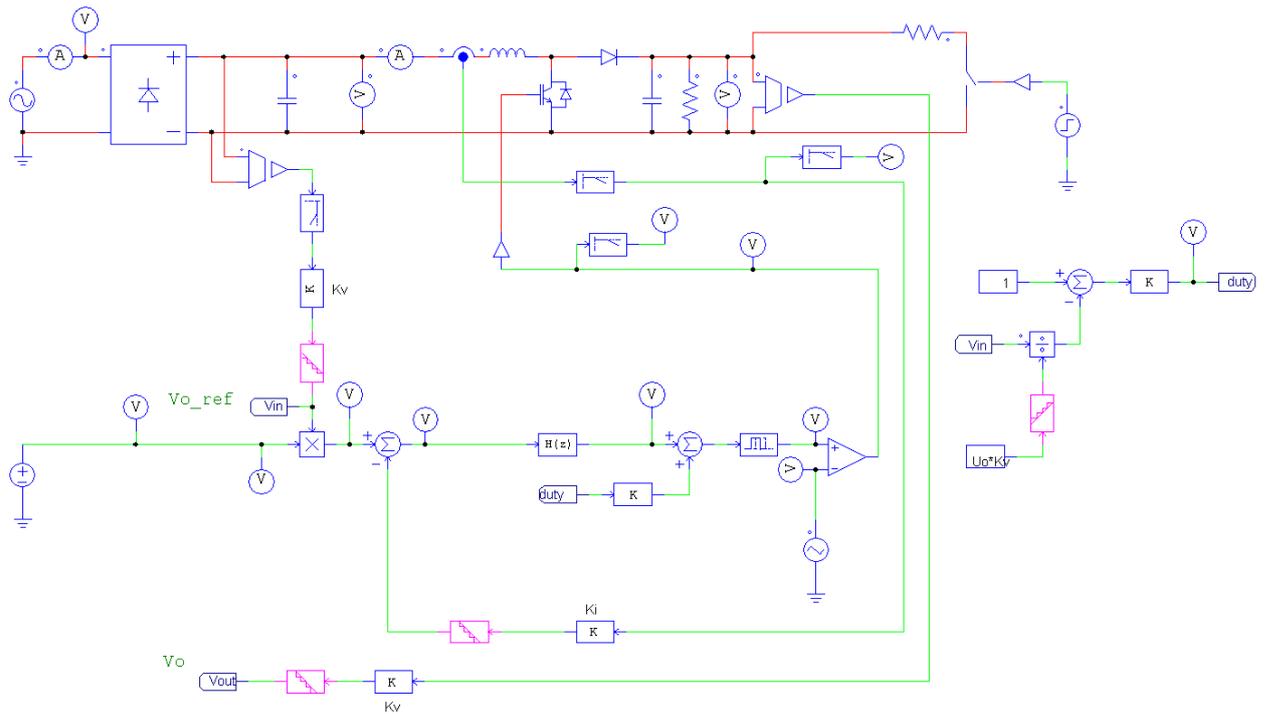
Se observa que la referencia de corriente es proporcional al inverso de la resistencia equivalente.

En la Figura 5.9 se muestra el cálculo del ciclo de trabajo para la pre-regulación empleada en el lazo interno de corriente. Se indica en magenta el ADC (sólo muestreo, sin retención).



**Figura 5.9** Circuito para la pre-regulación incluyendo el ADC.

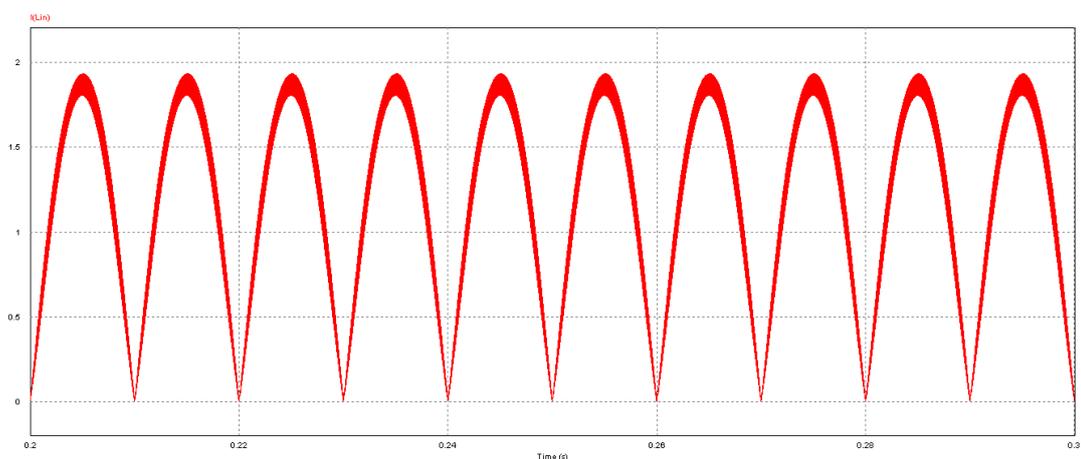
Por su parte, en la Figura 5.10 se muestra el circuito conmutado del lazo interno de corriente PFC indicando en magenta los ADC.



**Figura 5.10** Diagrama circuital para el lazo interno de corriente discreto.

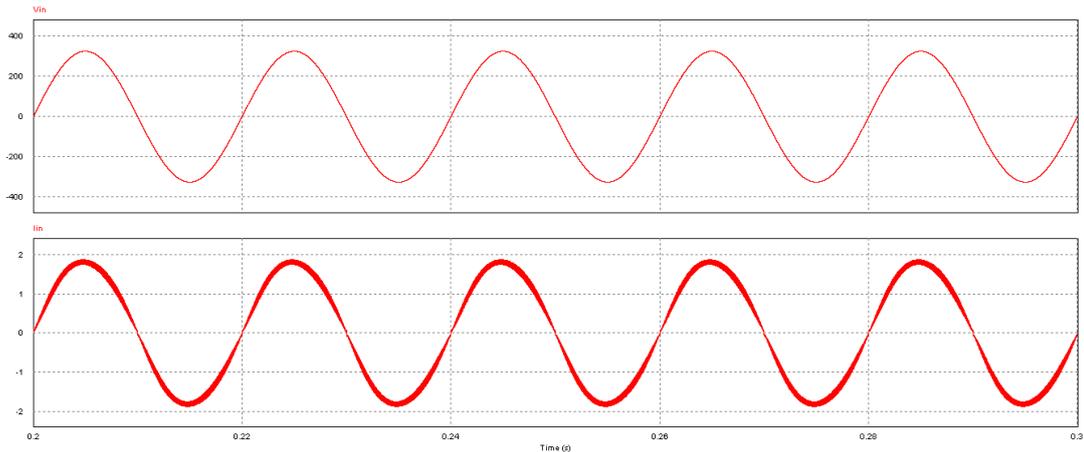
A continuación se muestran los resultados de la simulación con una duración total de 300 ms para poder apreciar convenientemente los resultados y poder emplear un paso de simulación de  $0,2 \mu\text{s}$  sin alargar excesivamente el tiempo de simulación.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia, excepto ligeramente en las proximidades de los pasos por cero.



**Figura 5.11** Corriente de salida del rectificador para control discreto.

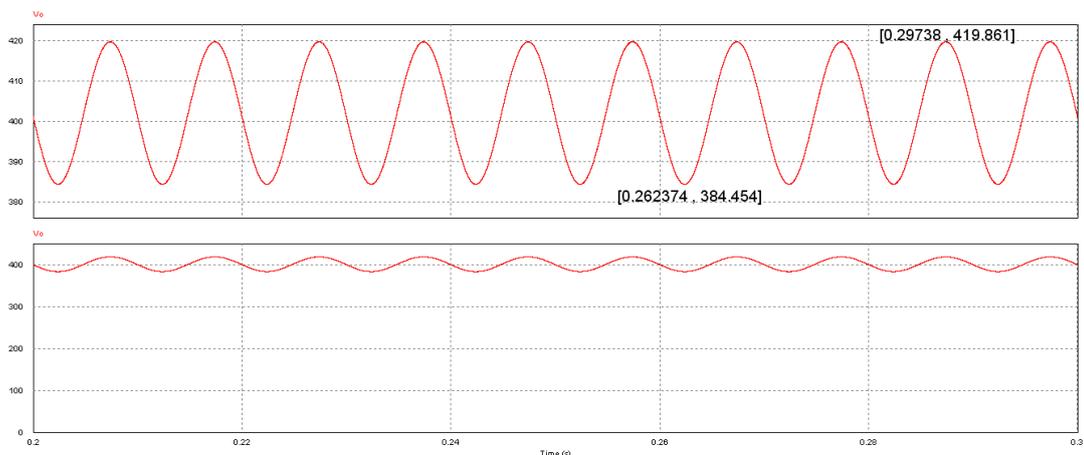
Por otra parte. En la figura siguiente se muestran las formas de onda de la tensión y corriente de entrada



**Figura 5.12** Corriente y tensión de red para control discreto.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia.

En la figura siguiente se muestra la evolución de la tensión de salida, tanto en detalle como con referencia cero para apreciar como su valor medio coincide con los 400 V esperados.



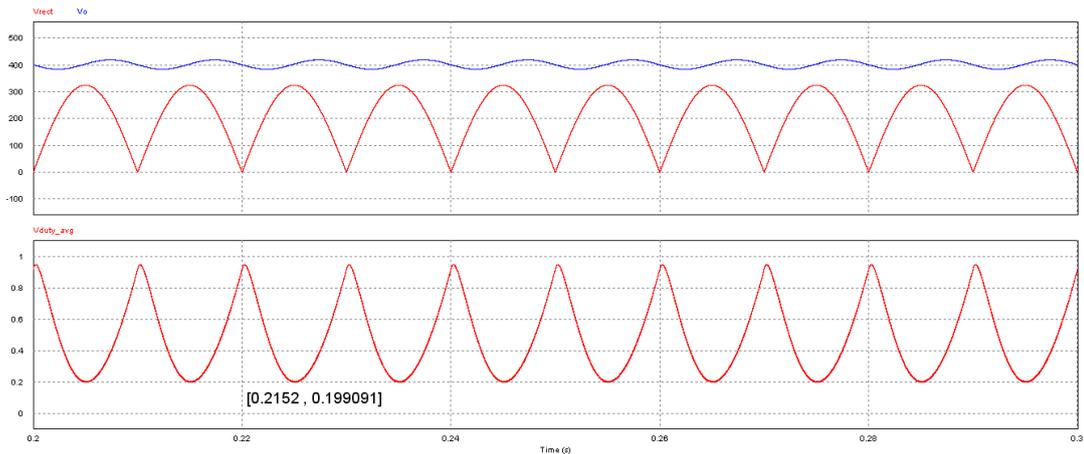
**Figura 5.13** Tensión de salida para control discreto

El rizado de la tensión de salida en valor porcentual está dado por la siguiente expresión

$$\Delta V_o = \frac{V_{o\_max} - V_{o\_min}}{V_o} 100 = \frac{419,861 - 384,454}{400} 100 = 8,85 \% \quad (5.12)$$

Se aprecia que el rizado en la tensión de salida es inferior al 10 % estipulado.

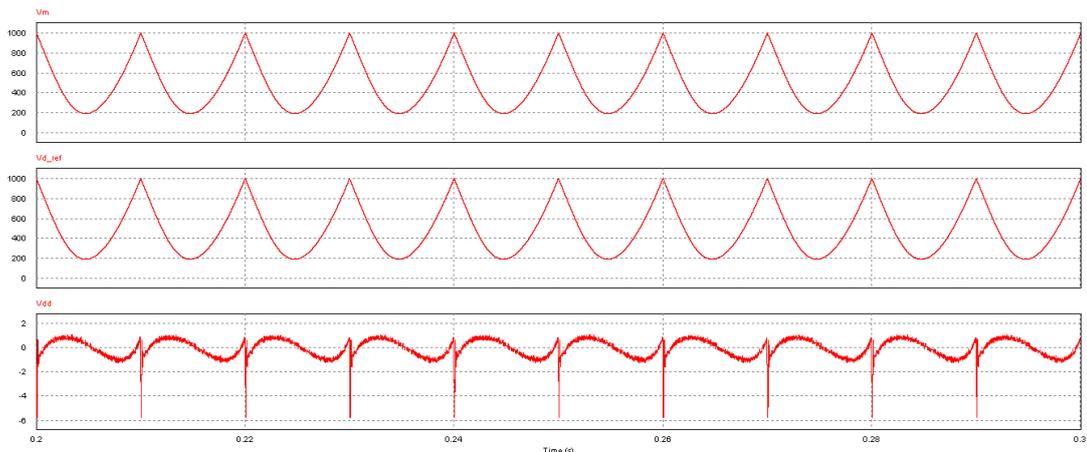
En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 5.14** Gráfica superior: Tensión de salida (azul) y tensión de entrada (rojo). Gráfica inferior: Ciclo de trabajo (valor medio).

Se aprecia como el valor mínimo del ciclo de trabajo es de 0,199 frente al valor teórico de 0,187.

En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



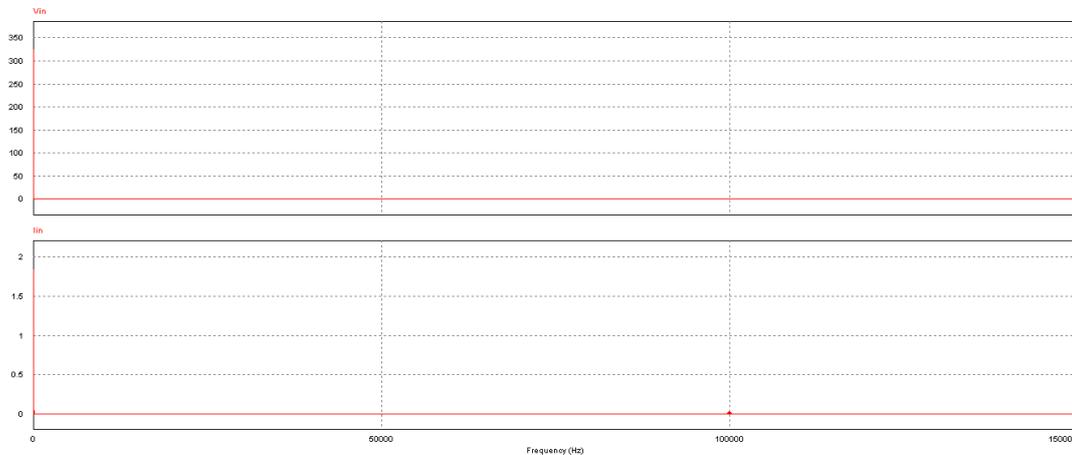
**Figura 5.15** Gráfica superior: Ciclo de trabajo total. Gráfica central: Ciclo de trabajo de la pre-regulación. Gráfica inferior: Ciclo de trabajo del PI.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

En el caso ideal (filtrado perfecto de los 100 Hz de la tensión de salida), el lazo externo de tensión no afecta al resultado en la respuesta rápida de seguimiento de la corriente de entrada.

De hecho, el fijar una tensión constante de salida (lazo externo de tensión ideal) posibilita el estudio del desempeño de las características de entrada de la fuente de alimentación sin distorsión alguna introducida por el lazo externo.



**Figura 5.16** Espectro en frecuencia de la tensión y corriente de entrada.

Se observa como la tensión no tiene componente armónica alguna y la corriente sólo tiene una pequeña componente a la frecuencia de conmutación de 100 kHz.

Hasta el momento, la pre-regulación se ha llevado a cabo empleando en la fórmula que la define la medida directa de la tensión de salida. No obstante, como se verá posteriormente, el cociente entre la tensión de entrada y la tensión de salida incluido en la fórmula supone una gran carga computacional para la FPGA aumentando considerablemente el tiempo de cálculo.

Por este motivo, es necesario optimizar el cálculo del ciclo de trabajo dado por la pre-regulación. Si el lazo de tensión actúa correctamente, el valor medio de la tensión de salida será prácticamente constante y se puede aproximar la tensión de salida por una constante. Esto mejora considerablemente el tiempo y recursos empleados en el cálculo. Como contrapartida está que el rizado de salida ayuda a conformar un ciclo de trabajo ligeramente superior durante el incremento de la corriente y ligeramente inferior durante la disminución de la corriente para sacar al sistema del régimen permanente, facto clave en los controles para corrección del factor de potencia.

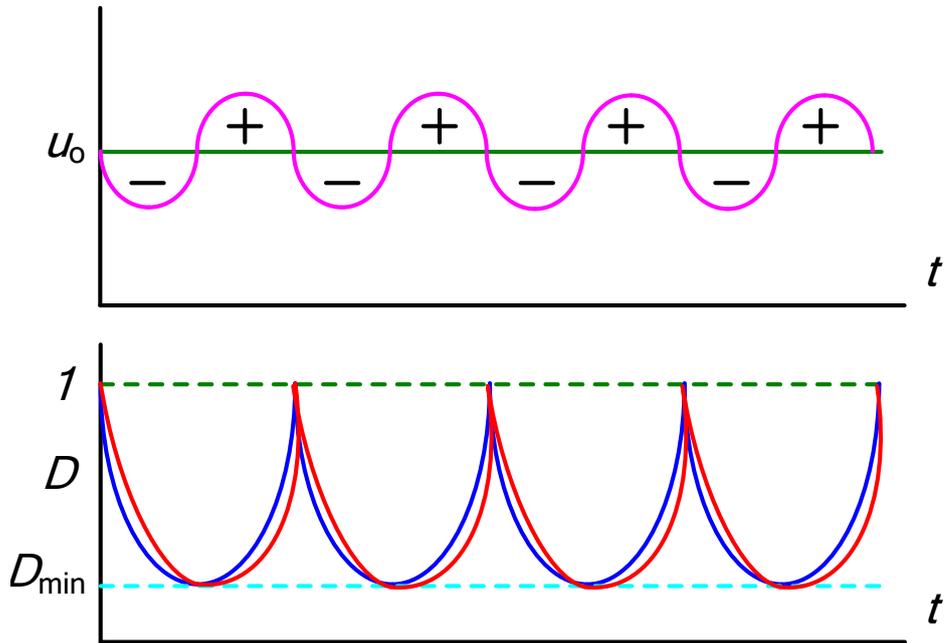
### **PRE-REGULACIÓN CON TENSIÓN DE SALIDA CONSTANTE**

En la expresión siguiente se muestra la simplificación comentada para optimizar el tiempo de cálculo.

$$D_{\text{preregulación}} = 1 - \frac{V_e(t)}{V_o(t)} \approx 1 - \frac{V_e(t)}{V_o(\text{cte})} \quad (5.13)$$

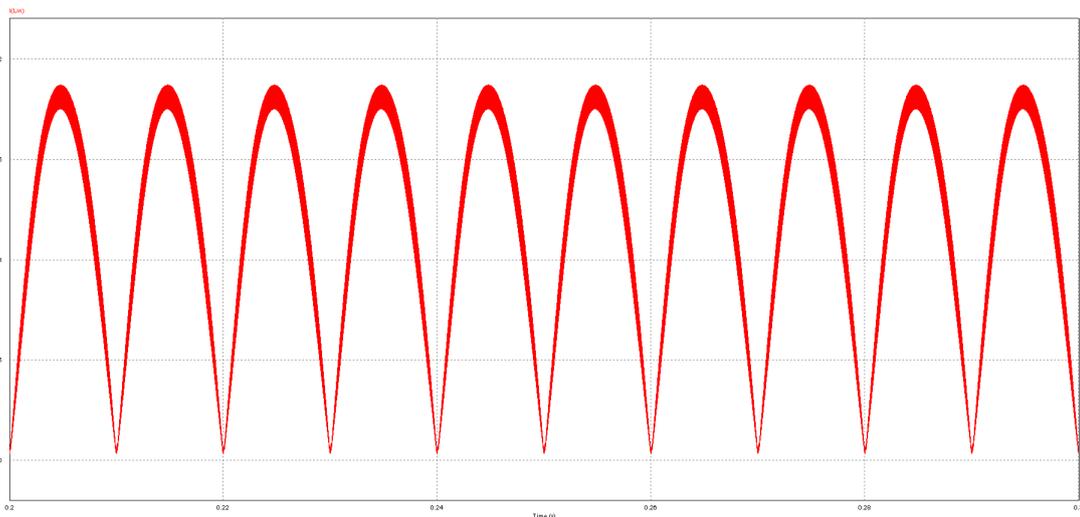
Por otra parte, en la Figura 5.15 se muestra la aportación del rizado de la tensión de salida al ciclo de trabajo.

Se muestra en rojo el ciclo de trabajo modificado como consecuencia del rizado de la tensión de salida.



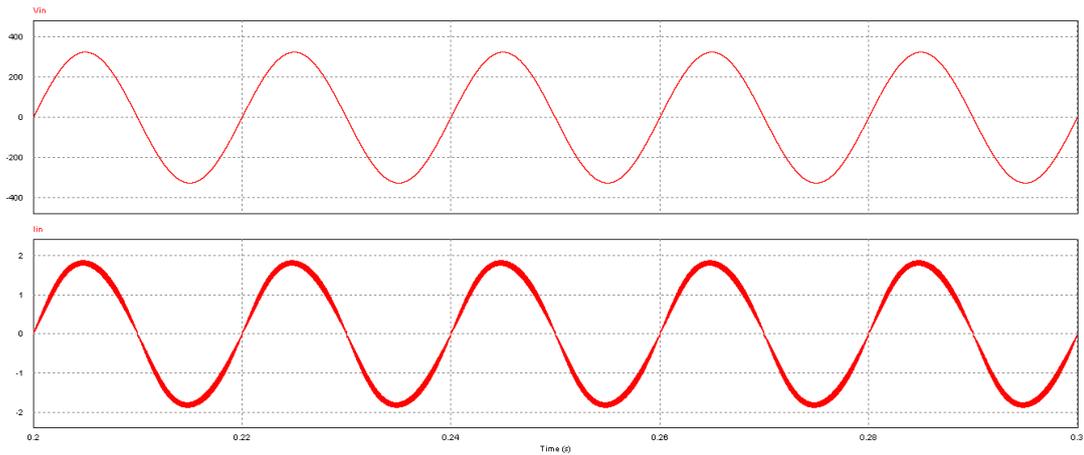
**Figura 5.17** Efecto del rizado de la tensión de salida en la pre-regulación.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia, excepto ligeramente en las proximidades de los pasos por cero.



**Figura 5.18** Corriente de salida del rectificador para control discreto (pre-regulación  $V_o = cte$ ).

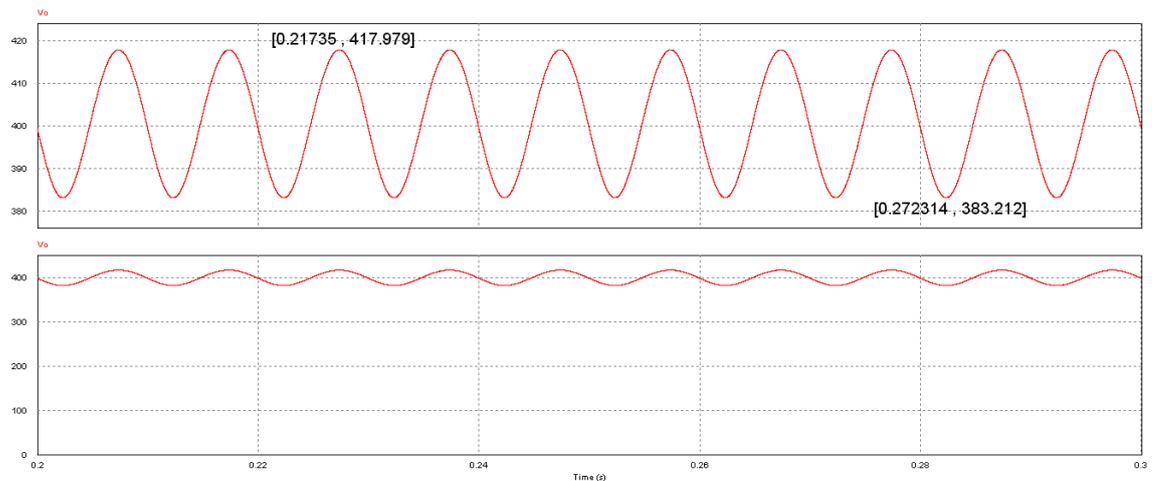
Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corriente de entrada



**Figura 5.19** Corriente y tensión de red para control discreto (pre-regulación  $V_o=cte$ ).

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia.

En la figura siguiente se muestra la evolución de la tensión de salida, tanto en detalle como con referencia cero para apreciar como su valor medio coincide con los 400 V esperados.



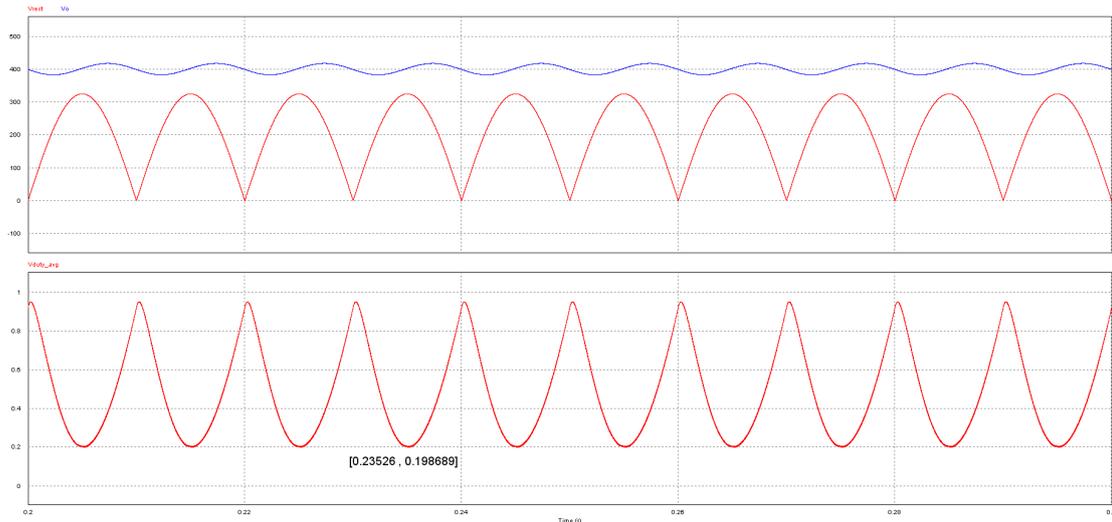
**Figura 5.20** Tensión de salida para control discreto (pre-regulación  $V_o=cte$ ).

El rizado de la tensión de salida en valor porcentual está dado por la siguiente expresión

$$\Delta V_o = \frac{V_{o\_max} - V_{o\_min}}{V_o} 100 = \frac{417,979 - 383,212}{400} 100 = 8,69 \% \quad (5.14)$$

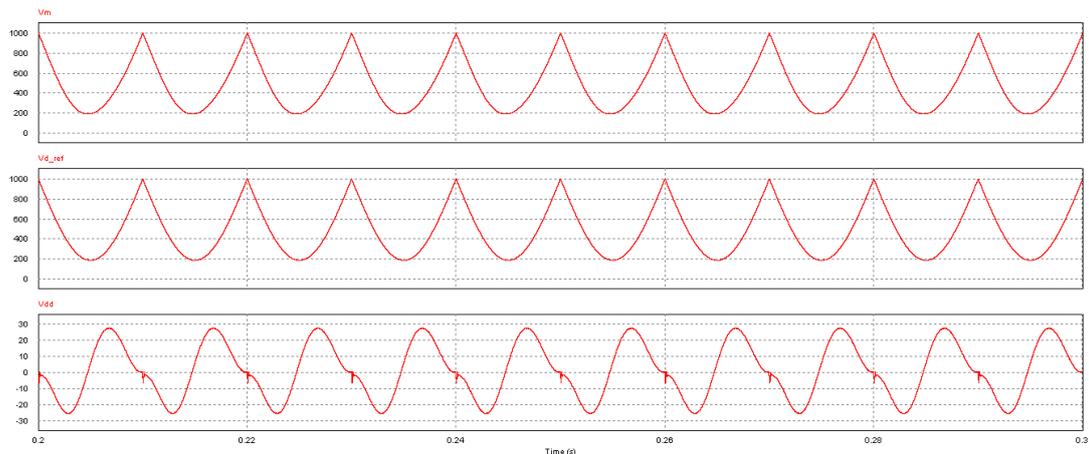
Se aprecia que el rizado en la tensión de salida es inferior al 10 % estipulado.

En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 5.21** Gráfica superior: Tensión de salida (azul) y tensión de entrada (rojo). Gráfica inferior: Ciclo de trabajo (valor medio). Pre-regulación  $V_o = cte$ .

Se aprecia que valor mínimo del ciclo de trabajo es de 0,198 frente al valor teórico de 0,187. En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



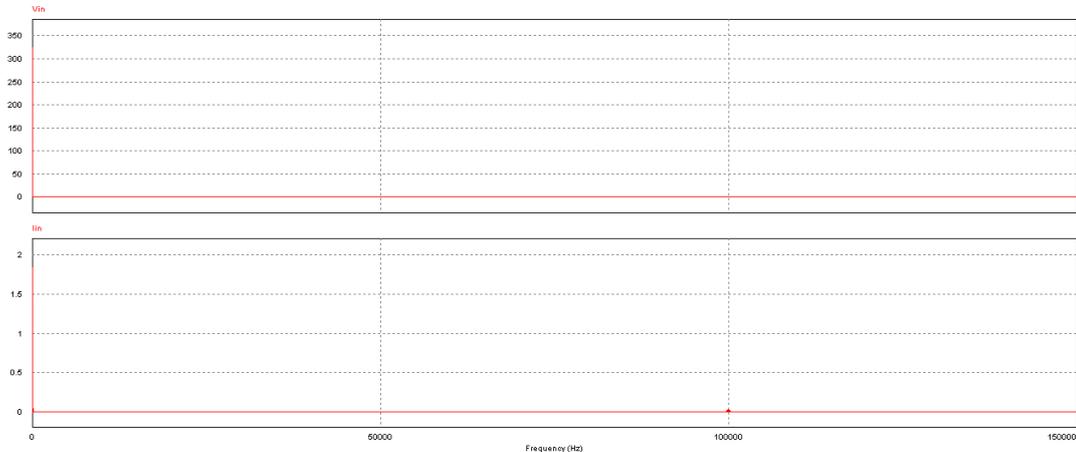
**Figura 5.22** Gráfica superior: Ciclo de trabajo total. Gráfica central: Ciclo de trabajo de la pre-regulación. Gráfica inferior: Ciclo de trabajo del PI. Pre-regulación  $V_o = cte$ .

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador.

Al emplear la medida de la tensión de salida con rizado de 100 Hz se aprecia como el esfuerzo realizado por el regulador PI del lazo de corriente es menor que en el caso de utilizar una tensión constante en la expresión de la pre-regulación.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

En el caso ideal (filtrado perfecto de los 100 Hz de la tensión de salida), el lazo externo de tensión no afecta al resultado en la respuesta rápida de seguimiento de la corriente de entrada.



**Figura 5.23** Espectro en frecuencia de la tensión y corriente de entrada (pre-regulación  $V_o=cte$ ).

Se observa como la tensión no tiene componente armónica alguna y la corriente sólo tiene una pequeña componente a la frecuencia de conmutación de 100 kHz.

Los resultados para el lazo de corriente se muestran en la tabla 5.6 donde se comparan con los resultados obtenidos para la fuente de alimentación con regulador analógico para la misma potencia de salida y tensión de entrada y salida.

LAZO INTERNO (externo de tensión ideal)	Regulador Continuo ( $V_o=cte$ )	Regulador Discreto ( $V_o=var$ )	Regulador Discreto ( $V_o=cte$ )
Factor de potencia (pu)	0,9989	0,9938	0,9913
Distorsión armónica (%)	4,2895	3,5143	4,0068
Potencia activa (W)	298,28	303,85	301,73
Potencia aparente (VA)	298,59	304,04	301,99

**Tabla 5.8** Resultados comparativos de las fuentes de alimentación.

Se ve claramente como al emplear corrección del factor de potencia mejora apreciablemente el factor de potencia y disminuye enormemente la distorsión de la corriente de entrada. Se observa como la práctica totalidad de la potencia aparente consumida a la entrada es aprovechada en la carga.

Por otra parte, se aprecia como la diferencia entre emplear en la pre-regulación una constante para la tensión de salida y emplear la tensión de salida real con rizado no es significativa, siendo los resultados satisfactorios en ambos casos. Por este motivo, a la hora de implementar la pre-regulación se empleará un valor constante para la tensión de salida dado que tiene mucha menor carga computacional.

Una vez estudiado en detalle el lazo interno de corriente discreto, se pasa a diseñar y analizar el lazo externo de tensión que es el encargado de modificar la magnitud de la referencia de corriente en función de la carga conectada.

### 5.3.2 Regulador discreto del lazo de tensión

Una vez diseñado el regulador discreto para el lazo externo de tensión, e interno de corriente, en este apartado se simula el modelo completo conmutado para ambos lazos, empleando pre-regulación (con tensión constante de salida en el cálculo de la pre-regulación).

Para comprobar el desempeño del lazo externo de tensión se somete al sistema a escalones de carga, tanto positivos como negativos, para una carga máxima de 300 W y una carga mínima del 50 % (150 W). La tensión de entrada se supone constante e igual a 230 V eficaces de fase.

Por su parte, en la Figura 5.24 se muestra el circuito conmutado completo donde se incluye el lazo externo de tensión y el lazo interno de corriente PFC.

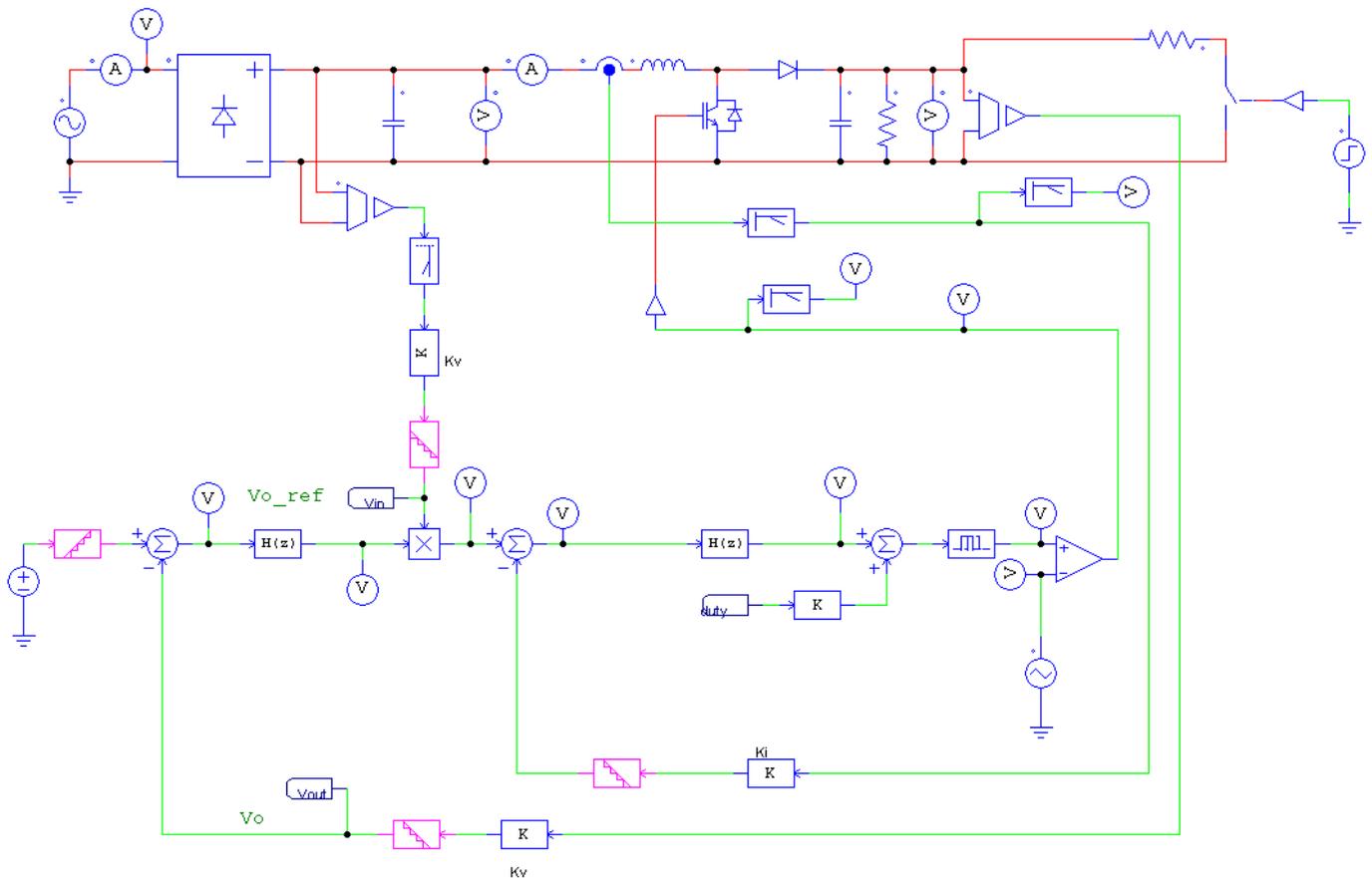


Figura 5.24 Diagrama circuital para el lazo externo de tensión discreto.

En la figura anterior se ha incluido el retardo debido al PWM y al periodo de conmutación (tiempo de cálculo).

Se han incluido en magenta los ADC (sólo muestreo, el retardo se incluye aparte) y las ganancias de las medidas de tensión y corriente.

Así mismo, se han incluido en el lazo interno de corriente la pre-regulación y los retardos digitales de  $1,5 \cdot T_{sw}$ .

La referencia de la tensión de salida se calcula según la siguiente expresión empleando los valores fijados en apartados anteriores

$$V_{o\_ref} = V_o G_{adc} K_v = 400 \cdot \frac{2^{12}}{1} 1,944 \cdot 10^{-3} = 3185 \quad (5.15)$$

Por otra parte, en la figura siguiente se muestra la pre-regulación del lazo interno de corriente actualizada con la ganancia del ADC.

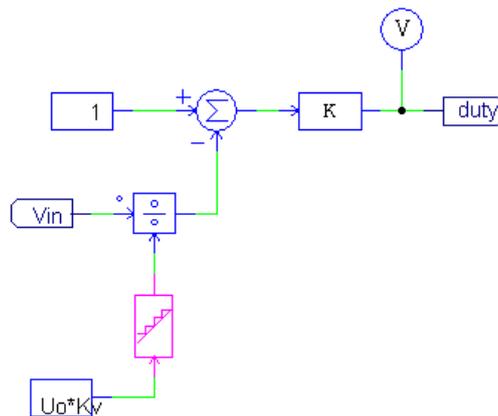


Figura 5.25 Esquema empleado en la pre-regulación con tensión de salida constante.

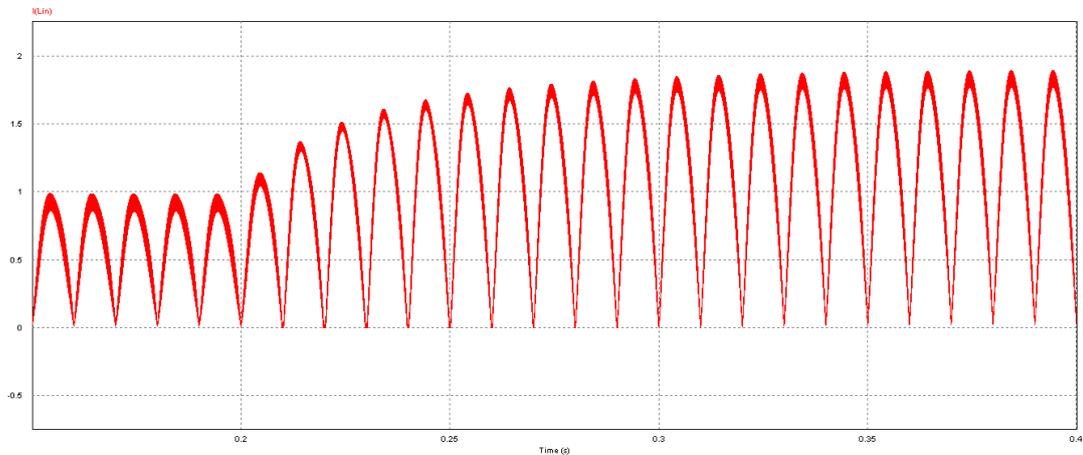
### **ESCALONES DE POTENCIA POSITIVOS (carga al 50 %)**

A continuación se muestran los resultados de la simulación con una duración total de 300 ms para el caso de escalones de potencia positivos. En la tabla siguiente se muestran los escalones de potencia.

SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN POSITIVO		
	Valor inicial	Escalón (180 ms)
Potencia de salida (W)	150	300
Tensión de entrada (Vef)	230	230

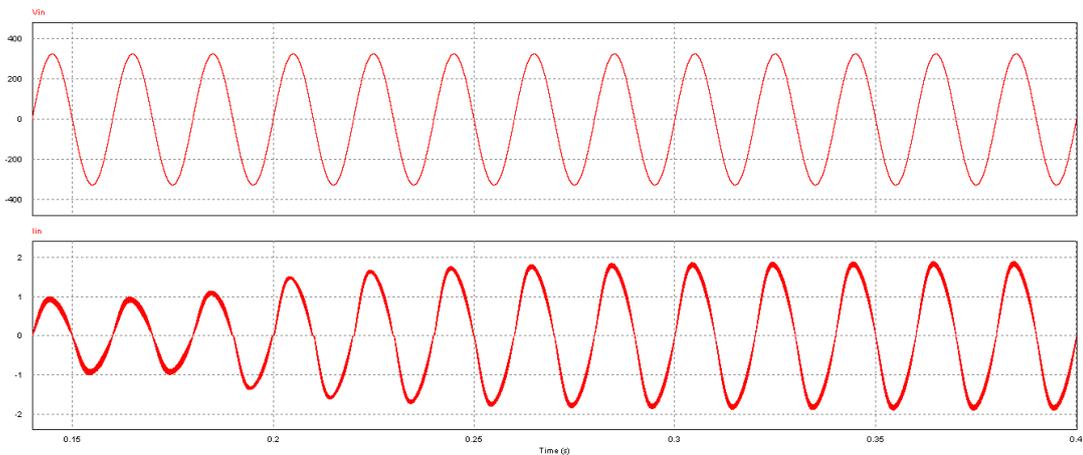
Tabla 5.9 Escalones de potencia para pruebas del lazo de tensión.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia aumentando su magnitud al demandarse más potencia en la carga.



**Figura 5.26** Evolución de la corriente de la bobina durante un escalón de carga positivo. Regulador discreto.

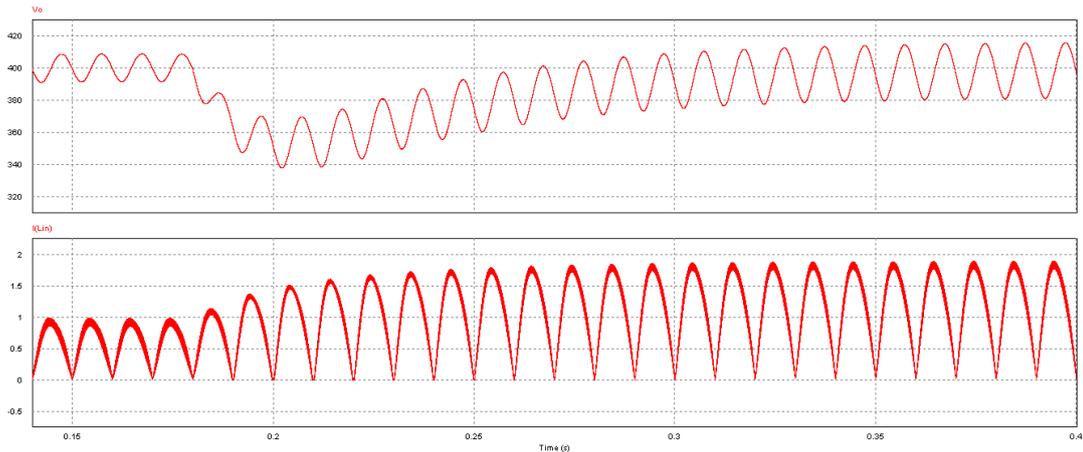
Por otra parte. En la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada.



**Figura 5.27** Evolución de la tensión (superior) y corriente (inferior) de entrada durante un escalón de carga positivo. Regulador discreto.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



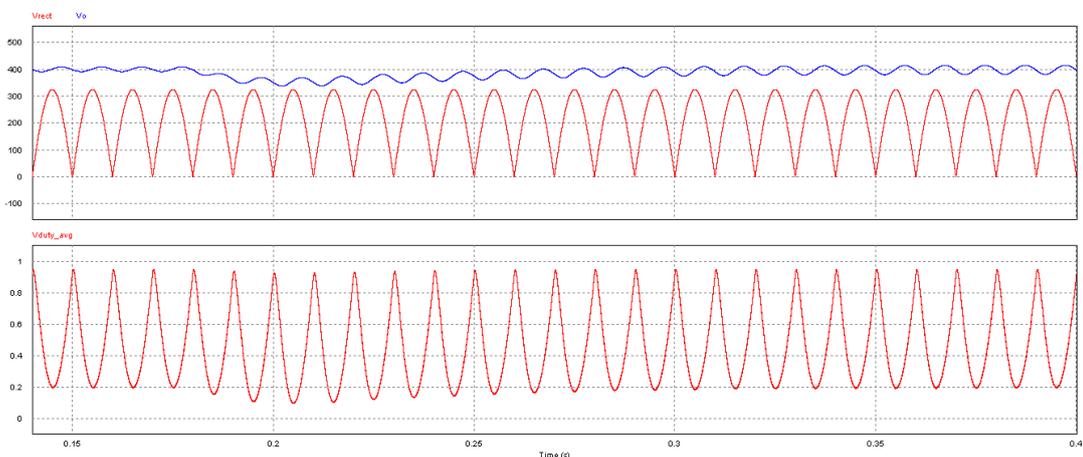
**Figura 5.28** Tensión de salida (superior) y corriente en la bobina (inferior) durante un escalón de carga positivo. Regulador discreto.

La caída de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_nom} - V_{o\_min}}{V_o} 100 = \frac{400 - 349}{400} 100 = 12,8 \% \quad (5.16)$$

Se aprecia también como el rizado de la tensión de salida es menor en condiciones de media carga como era de esperar.

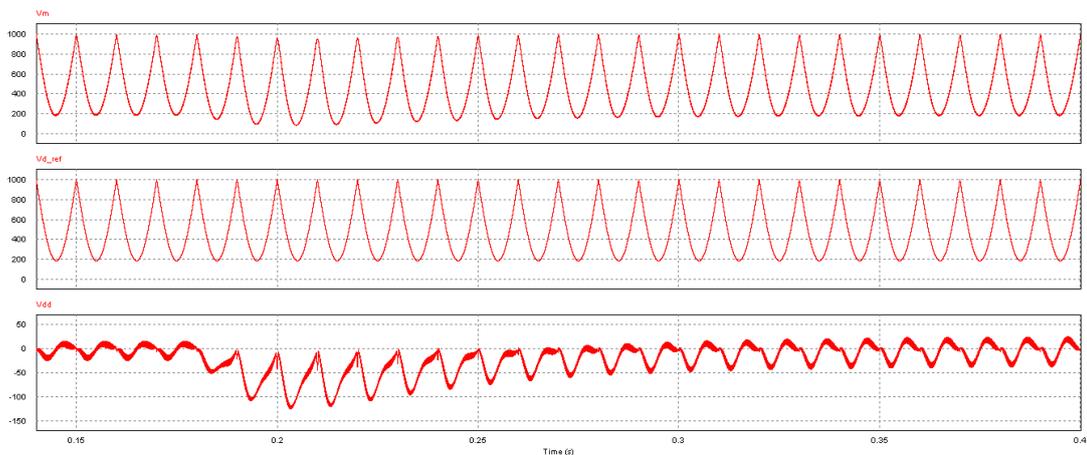
En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 5.29** Tensión de salida y de entrada (superior) junto con ciclo de trabajo (inferior) durante un escalón de carga positivo. Regulador discreto.

Se aprecia como el valor mínimo del ciclo de trabajo varía para adaptarse a las condiciones de carga.

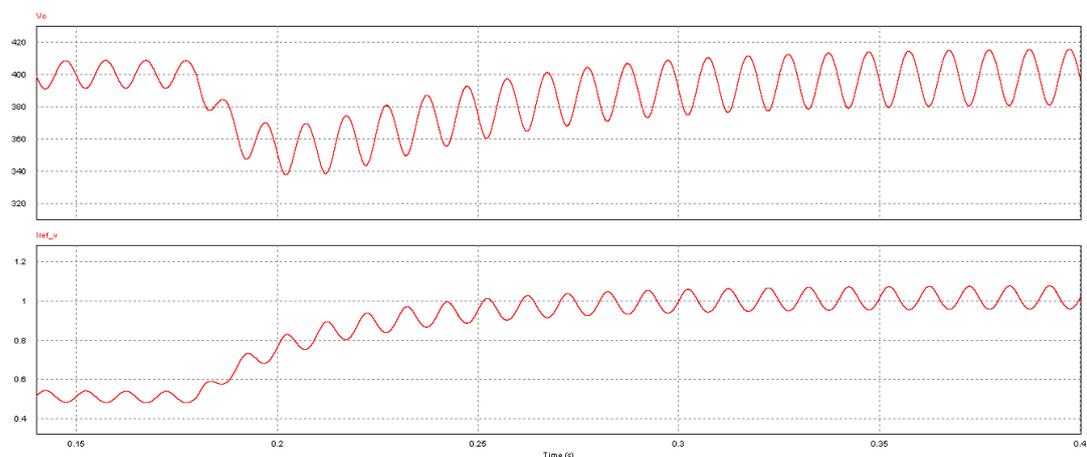
En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



**Figura 5.30** Gráfica superior: Ciclo de trabajo total. Gráfica central: Ciclo de trabajo de la pre-regulación. Gráfica inferior: Ciclo de trabajo del PI. Escalón carga positivo. Regulador discreto.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador. El efecto del *duty* aportado por el lazo es mayor a l aumentar la carga.

Por otra parte, en la Figura 5.31 se muestra la tensión de salida y la salida del regulador de tensión para apreciar el correcto filtrado del rizado de 100 Hz en la tensión de salida.

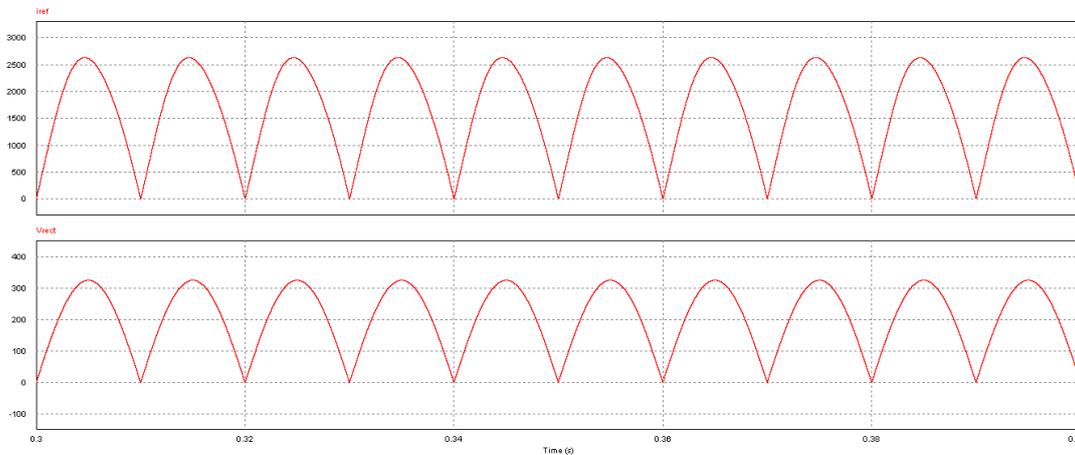


**Figura 5.31** Gráfica superior: Tensión de salida. Gráfica inferior: Referencia dada por el PI de tensión. Escalón carga positivo. Regulador discreto.

Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

Se observa en la figura como la salida del regulador sigue conteniendo algo de componente de 100 Hz que distorsionará ligeramente la forma de la corriente de entrada.

Por último, en la figura siguiente se muestra la forma de onda de la referencia de corriente vista por el lazo interno de corriente.



**Figura 5.32** Gráfica superior: Corriente de referencia para el lazo interno de corriente. Gráfica inferior: Tensión de entrada rectificada. Escalón carga positivo. Regulador discreto.

Se aprecia como la referencia de corriente está ligeramente distorsionada con los 100 Hz de la tensión de salida.

Una posible solución para disminuir el rizado del 100 Hz en la medida de la tensión de salida puede ser disminuir la frecuencia de corte del lazo externo de tensión a costa de hacer más lenta su respuesta. No obstante, se considera que la respuesta del lazo externo de tensión es buena y la distorsión en la corriente de entrada introducida por el segundo armónico de tensión es válida.

Otra solución es incluir un filtro *notch* sintonizado a la frecuencia de 100 Hz que es bastante constante ya que la frecuencia de red es muy estable.

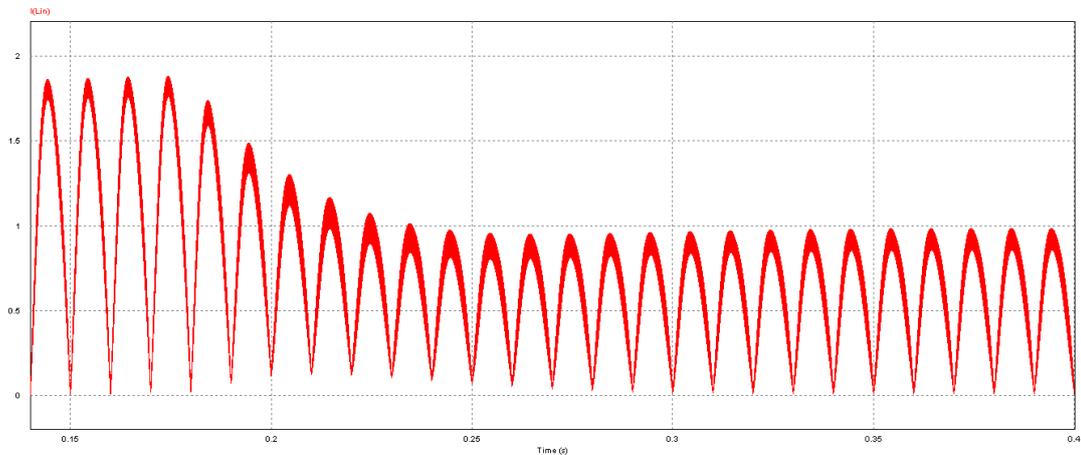
### **ESCALONES DE POTENCIA NEGATIVOS (carga al 50 %)**

A continuación se muestran los resultados de la simulación con una duración total de 300 ms para el caso de escalones de potencia negativos. En la tabla siguiente se muestran los escalones de potencia.

<b>SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN POSITIVO</b>		
	<b>Valor inicial</b>	<b>Escalón (180 ms)</b>
<b>Potencia de salida (W)</b>	300	150
<b>Tensión de entrada (V<sub>ef</sub>)</b>	230	230

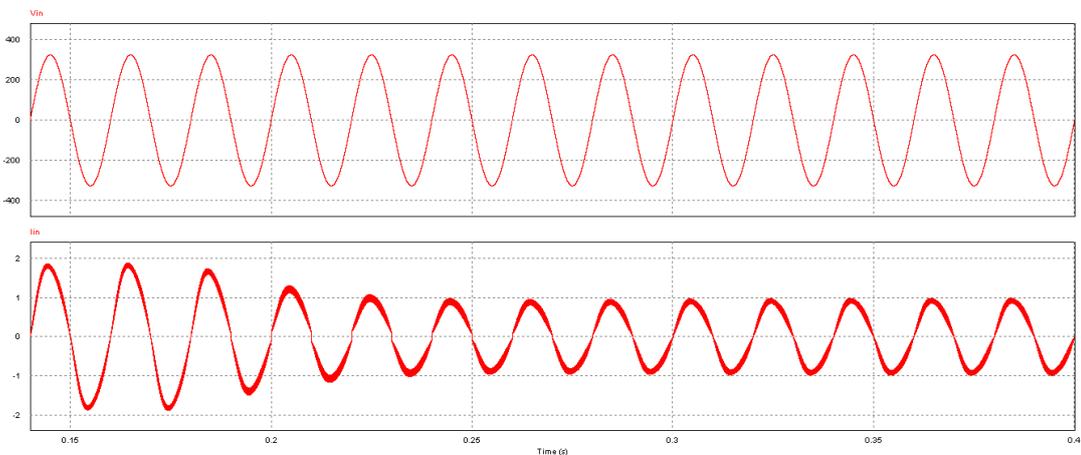
**Tabla 5.10** Escalones de potencia para el lazo externo de tensión discreto.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador. Se aprecia como sigue el patrón senoidal rectificado de referencia aumentando su magnitud al demandarse más potencia en la carga.



**Figura 5.33** Evolución de la corriente de la bobina durante un escalón de carga negativo. Regulador discreto.

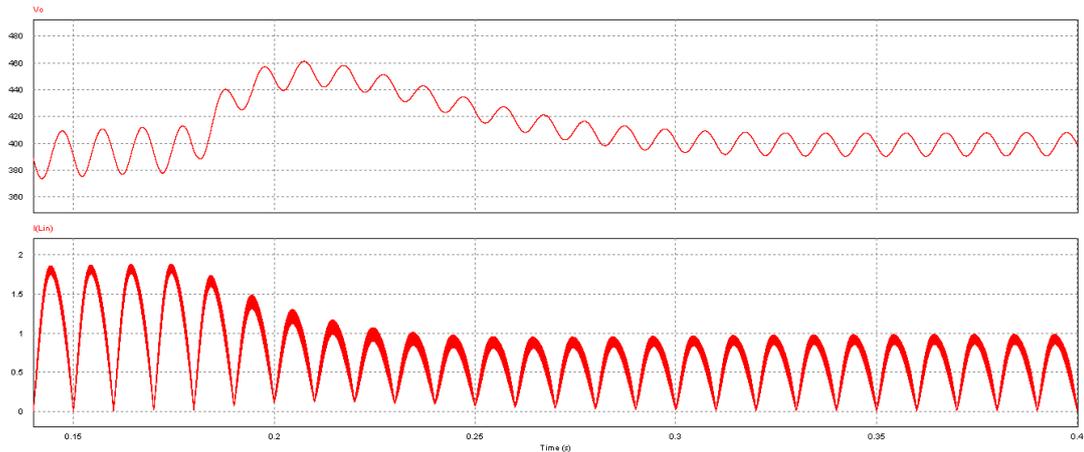
Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 5.34** Evolución de la tensión (superior) y corriente (inferior) de entrada durante un escalón de carga negativo. Regulador discreto.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



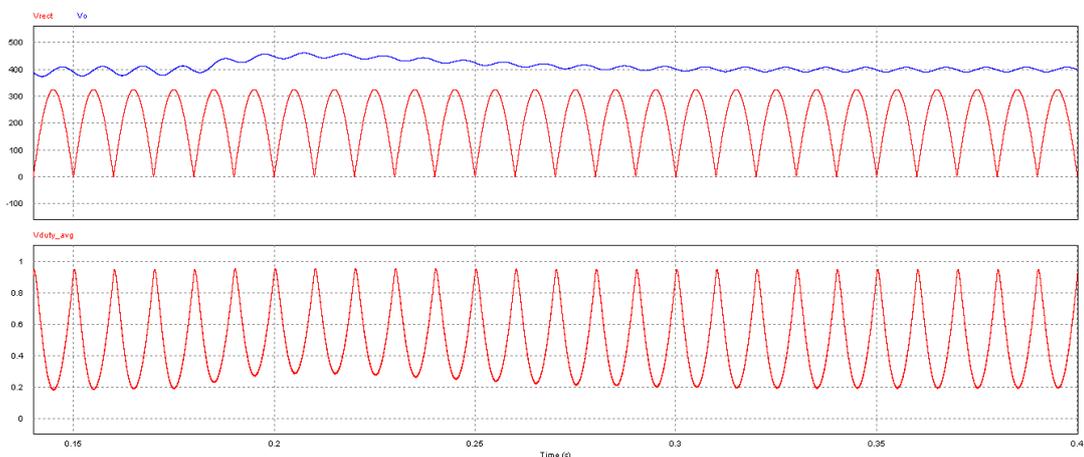
**Figura 5.35** Tensión de salida (superior) y corriente en la bobina (inferior) durante un escalón de carga negativo. Regulador discreto.

La caída de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_nom} - V_{o\_min}}{V_o} 100 = \frac{453 - 400}{400} 100 = 13,2 \% \quad (5.17)$$

Se aprecia también como el rizado de la tensión de salida es menor en condiciones de media carga como era de esperar.

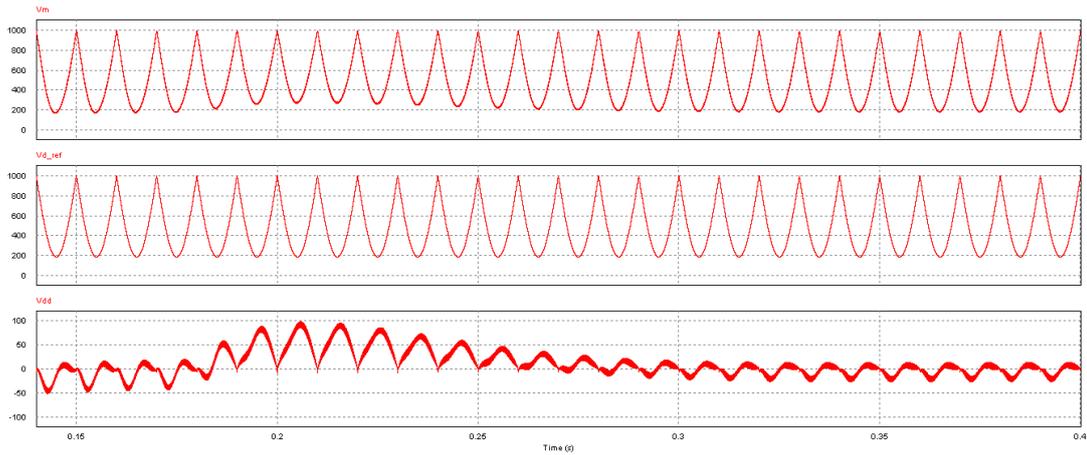
En la figura siguiente se muestra la evolución de la tensión de salida, tensión de entrada y ciclo de trabajo (obtenido filtrando el PWM con filtro paso bajo de 500 Hz)



**Figura 5.36** Tensión de salida y de entrada (superior) junto con ciclo de trabajo (inferior) durante un escalón de carga negativo. Regulador discreto.

Se aprecia como el valor mínimo del ciclo de trabajo varía para adaptarse a las condiciones de carga.

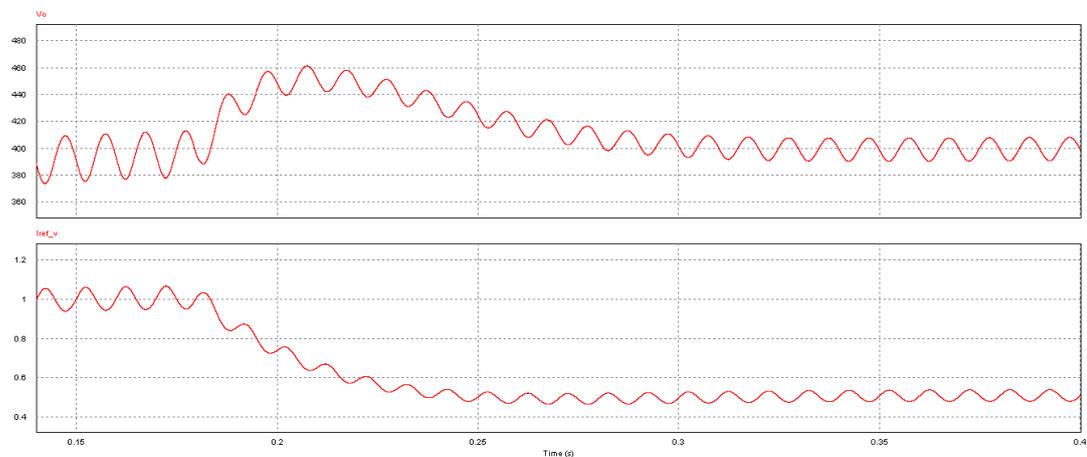
En la figura siguiente se muestra el ciclo de trabajo total, el ciclo de trabajo dado por la pre-regulación y el ciclo de trabajo dado por el regulador.



**Figura 5.37** Gráfica superior: Ciclo de trabajo total. Gráfica central: Ciclo de trabajo de la pre-regulación. Gráfica inferior: Ciclo de trabajo del PI. Escalón carga negativa. Regulador discreto.

Se aprecia claramente como la mayor parte del ciclo de trabajo es aportado por la pre-regulación y sólo una pequeña parte por el regulador. El efecto del *duty* aportado por el lazo es mayor a l aumentar la carga.

Por otra parte, en la Figura 5.38 se muestra la tensión de salida y la salida del regulador de tensión para apreciar el correcto filtrado del rizado de 100 Hz en la tensión de salida.



**Figura 5.38** Gráfica superior: Tensión de salida. Gráfica inferior: Referencia dada por el PI de tensión. Escalón carga negativa. Regulador discreto.

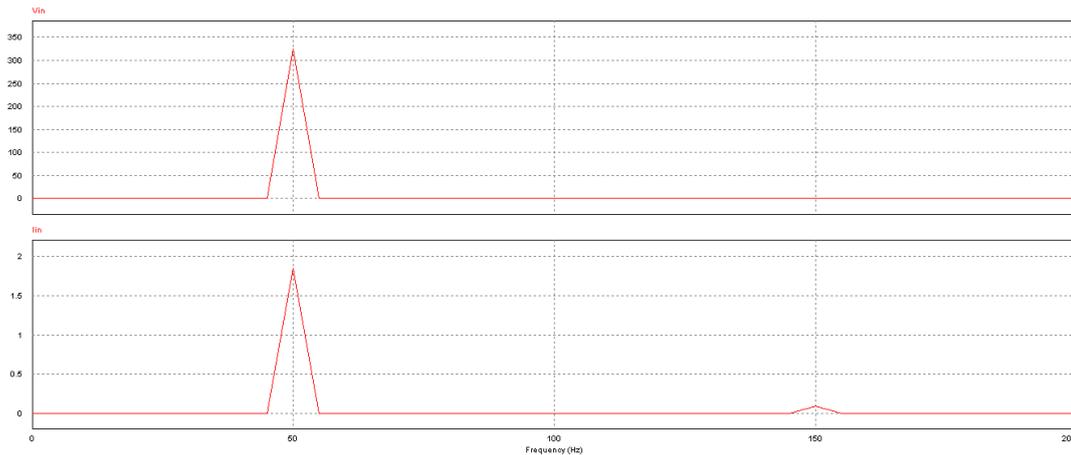
Se aprecia claramente como el lazo externo de tensión es el encargado de variar la magnitud de la referencia de corriente para el lazo interno de corriente.

Se observa en la figura como la salida del regulador sigue conteniendo algo de componente de 100 Hz que distorsionará ligeramente la forma de la corriente de entrada. La solución puede ser disminuir la frecuencia de corte del lazo externo de tensión a costa de hacer más lenta su respuesta.

Otra solución es incluir un filtro *notch* sintonizado a la frecuencia de 100 Hz que es bastante constante ya que la frecuencia de red es muy estable.

Para estudiar el efecto conseguido por las fuentes de alimentación con corrección del factor de potencia, incluyendo los dos lazos, en la figura siguiente se muestra la respuesta en frecuencia de la tensión de entrada y de la corriente de entrada para la carga de 300 W y tensión de salida de 400 V.

Se aprecia claramente como la corriente de entrada presenta cierta componente de 100 Hz introducida por el lazo externo de tensión. Esto empeorará las prestaciones con respecto al lazo externo de tensión ideal estudiado en el apartado anterior



**Figura 5.39** Gráfica superior: Espectro en frecuencia de la tensión de entrada. Gráfica inferior: Espectro en frecuencia de la corriente de entrada. Regulador discreto.

Se observa también como la tensión de entrada no tiene componente armónica alguna y la corriente tiene una pequeña componente a la frecuencia del segundo armónico de 100 kHz, a parte de la muy pequeña componente a la frecuencia de conmutación de 100 kHz.

Para comprobar la estabilidad del sistema y su desempeño para escalones en la tensión de entrada, en los siguientes apartados se muestran las principales formas de onda para:

- escalones en la tensión de entrada positivos desde el 70 % de la tensión al 100 % de la tensión con carga constante del 100 %.
- escalones en la tensión de entrada negativos desde el 100 % de la tensión al 70 % de la tensión con carga constante del 100 %.

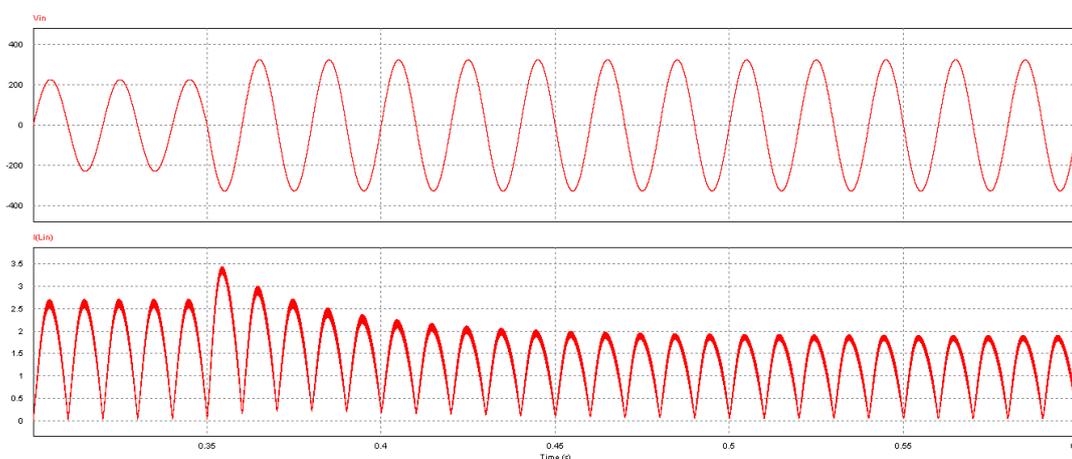
### **ESCALONES DE TENSIÓN DE ENTRADA POSITIVOS (carga al 100 %)**

A continuación se muestran los resultados de la simulación con una duración total de 600 ms para el caso de escalones de tensión positivos del 30 % con carga al 100 %. En la tabla siguiente se muestran los escalones de tensión.

SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN POSITIVO		
	Valor inicial	Escalón (180 ms)
Potencia de salida (W)	300	300
Tensión de entrada (Vef)	161	230

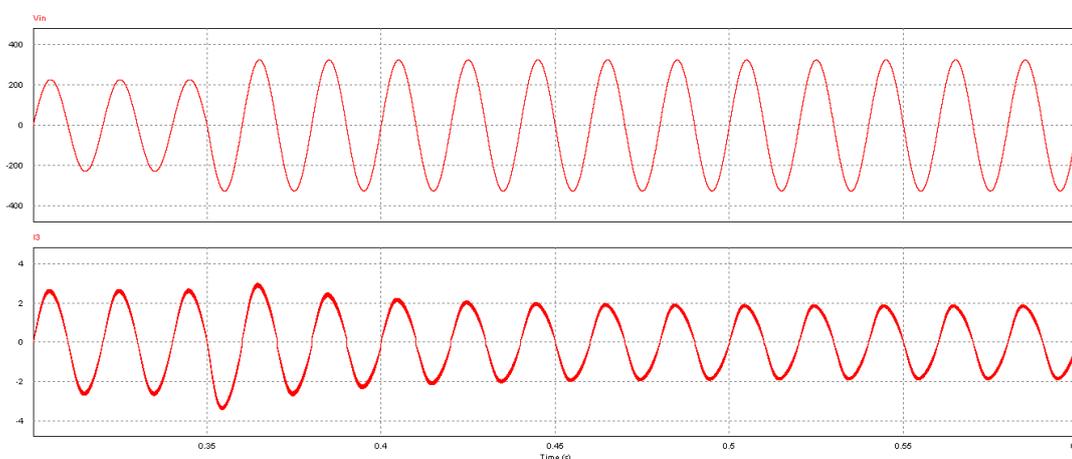
**Tabla 5.11** Escalón positivo de tensión de entrada para la simulación del lazo externo de tensión. Regulador discreto.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador y la tensión de entrada. Se aprecia como sigue el patrón senoidal rectificado de referencia disminuyendo su magnitud al subir la tensión de entrada.



**Figura 5.40** Evolución de la tensión de entrada (superior) y de la corriente de la bobina (inferior). Escalón de tensión positivo. Regulador discreto.

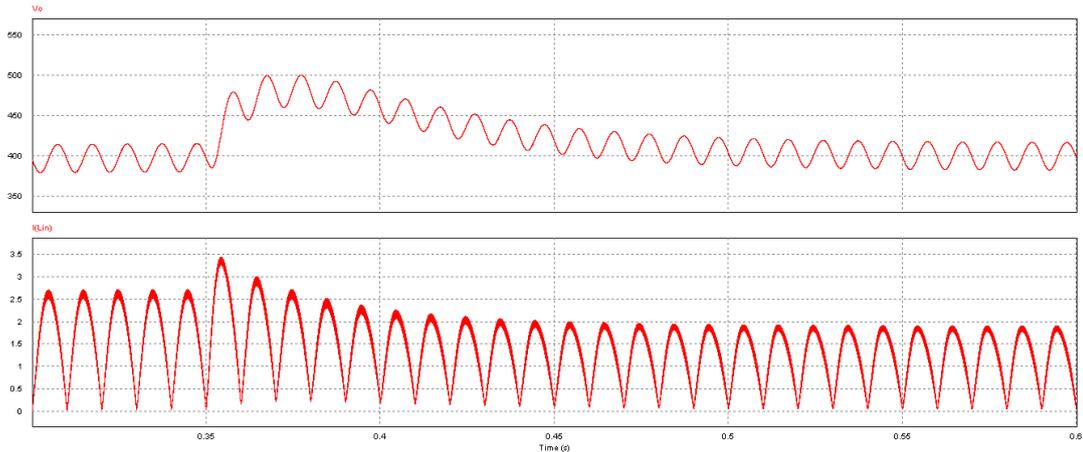
Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada



**Figura 5.41** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de tensión positivo. Regulador discreto.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia. Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



**Figura 5.42** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de tensión positivo. Regulador discreto.

La subida de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_min} - V_{o\_nom}}{V_o} 100 = \frac{483 - 400}{400} 100 = 20,7 \% \quad (5.18)$$

Se aprecia que el comportamiento ante escalones positivos en la tensión de entrada está dentro de lo esperado.

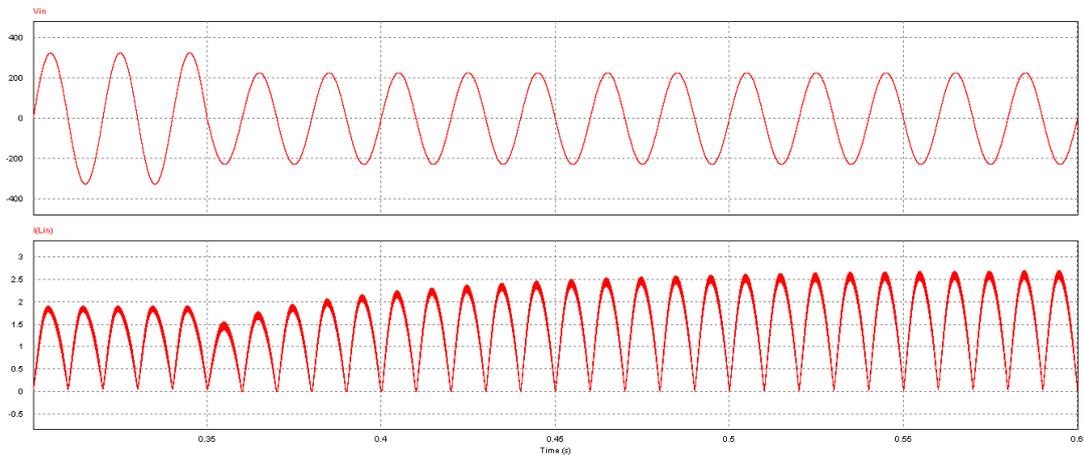
**ESCALONES DE TENSIÓN DE ENTRADA NEGATIVOS (carga al 100 %)**

A continuación se muestran los resultados de la simulación con una duración total de 600 ms para el caso de escalones de tensión negativos del 30 % con carga al 100 %. En la tabla siguiente se muestran los escalones de tensión.

SIMULACIÓN SISTEMA COMPLETO (400 ms) - ESCALÓN NEGATIVO		
	Valor inicial	Escalón (180 ms)
Potencia de salida (W)	300	300
Tensión de entrada (Vef)	230	161

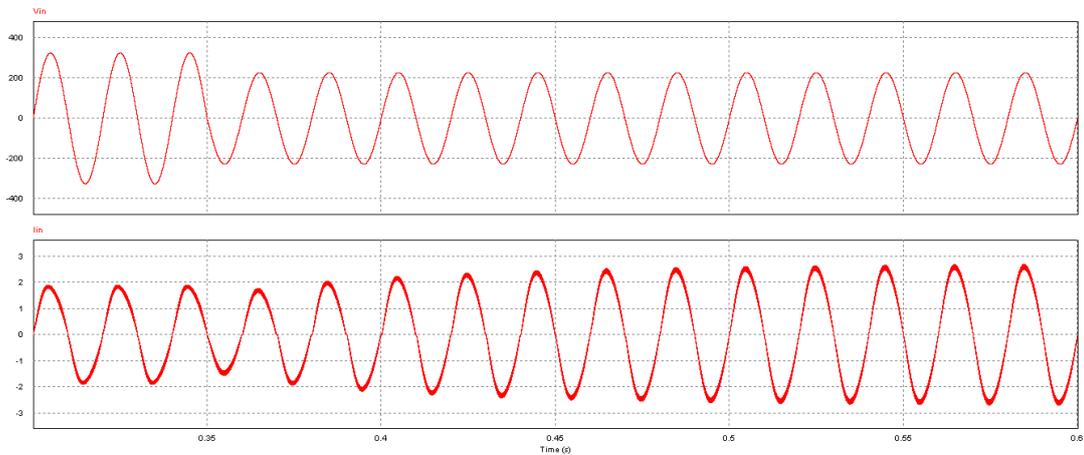
**Tabla 5.12** Escalón negativo de tensión de entrada para la simulación del lazo externo de tensión. Regulador discreto.

En la figura siguiente se muestra la evolución de la corriente a la salida del rectificador y la tensión de entrada. Se aprecia como sigue el patrón senoidal rectificado de referencia aumentando su magnitud al bajar la tensión de entrada.



**Figura 5.43** Evolución de la tensión de entrada (superior) y de la corriente de la bobina (inferior). Escalón de tensión negativo. Regulador discreto.

Por otra parte, en la figura siguiente se muestran las formas de onda de la tensión y corrientes de entrada

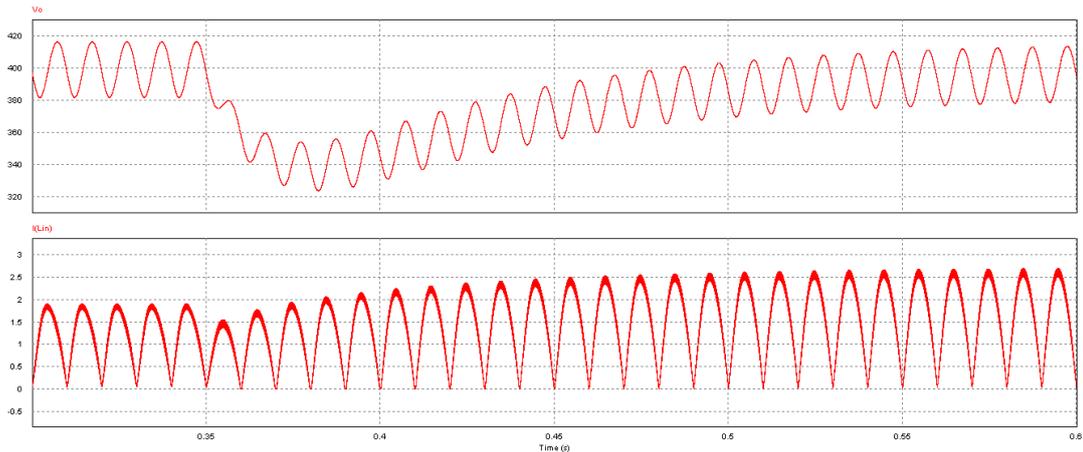


**Figura 5.44** Evolución de la tensión de entrada (superior) y de la corriente de entrada (inferior). Escalón de tensión negativo. Regulador discreto.

Se aprecia como la corriente de entrada muestra una forma senoidal con el rizado propio de la conmutación en alta frecuencia.

Se observa que la corriente presenta una ligera distorsión introducida por el segundo armónico de 100 Hz presente en la tensión de salida.

En la figura siguiente se muestra la evolución de la tensión de salida junto a la corriente de entrada para apreciar el transitorio de potencia y como su valor medio coincide con los 400 V esperados.



**Figura 5.45** Evolución de la tensión de salida (superior) y de la corriente de la bobina (inferior). Escalón de tensión negativo. Regulador discreto. Regulador discreto.

La subida de la tensión de salida en valor porcentual está dado por la siguiente expresión (se toma como referencia el valor medio)

$$\Delta V_o = \frac{V_{o\_min} - V_{o\_nom}}{V_o} 100 = \frac{338 - 400}{400} 100 = 15,5 \% \quad (5.19)$$

Se aprecia que el comportamiento ante escalones negativos en la tensión de entrada está dentro de lo esperado.

Se observa como las perturbaciones en la tensión de entrada producen una variación significativa en la tensión de salida.

Los resultados para la corriente de entrada se muestran en la tabla 5.13 donde se comparan con los resultados obtenidos para la fuente de alimentación convencional con filtro capacitivo para la misma potencia de salida y tensión de entrada y salida.

	Fuente convencional	Fuente (analógica) conmutada PFC	Fuente (digital) conmutada PFC
Factor de potencia (pu)	0,4424	0,9989	0,9973
Distorsión armónica (%)	194,1	4,1	5,98
Potencia activa (W)	309,3	298,5	299,9
Potencia aparente (VA)	699,9	298,8	300,7

**Tabla 5.13** Comparativa de los resultados incluyendo el control discreto.

Se ve claramente como al emplear corrección del factor de potencia mejora apreciablemente el factor de potencia y disminuye enormemente la distorsión de la corriente de entrada. Se observa como la práctica totalidad de la potencia aparente consumida a la entrada es aprovechada en la carga.

El efecto de introducir el lazo de tensión real es introducir una mayor distorsión en la corriente de entrada debido a los 100 Hz de la tensión de salida. No obstante, el efecto es muy pequeño al estar el lazo de control diseñado para atenuarla.

Por otro lado se observa que la potencia es más exacta en el caso de emplear lazo externo ya que el pequeño error en la tensión de salida introducido por el lazo interno de corriente (ganancia finita a 100 Hz) es corregido por el lazo externo de tensión que fija la tensión de salida a los 400 V exactos (ganancia infinita en DC).

Se aprecia que el factor de potencia en el caso de emplear controladores discretos y controladores analógicos es muy similar siendo muy aceptables los resultados obtenidos con los controladores digitales para el lazo interno de corriente y para el lazo externo de tensión.



# 6. Implementación del control digital en VHDL

## 6.1 Introducción

Una diseñados y comprobados mediante simulación circuital los reguladores en el dominio discreto, es necesario implementar estos reguladores en un lenguaje de descripción hardware (HDL), en este caso VHDL que será el empleado para programar la FPGA.

Con objeto de comprobar el correcto desempeño de los reguladores implementados en VHDL, se realizan simulaciones individuales en el dominio temporal de los reguladores (el dominio frecuencial ya ha sido demostrado en el capítulo anterior).

Una vez comprobado el correcto funcionamiento de los reguladores VHDL individuales, se realizan simulaciones completas del sistema bajo estudio (convertidor Boost, ADCs y reguladores) en el dominio digital mediante VHDL.

## 6.2 Implementación de los reguladores en VHDL

En este apartado se presentan los pasos más importantes seguidos en la implementación de los reguladores de corriente y de tensión en VHDL.

Para completar la exposición, se introducen en primer lugar los fundamentos de operaciones en coma fija en código VHDL para, posteriormente, mostrar la implementación de los reguladores en coma fija y simular su comportamiento.

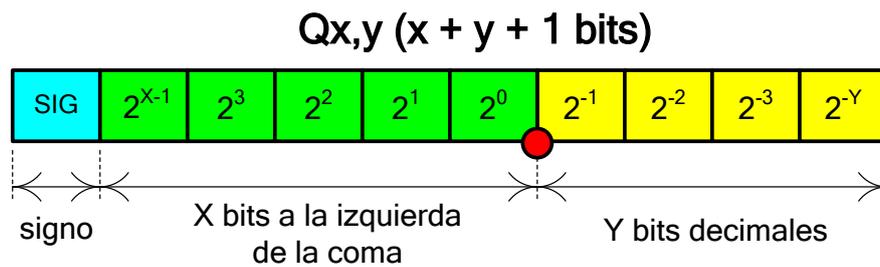
Una vez comprobado el correcto funcionamiento de los reguladores individuales en VHDL se realizan simulaciones completas del sistema bajo estudio en el dominio digital mediante VHDL:

- Convertidor *Boost*.
- Convertidores analógico-digital (ADC).
- Regulador interno de corriente aislado.
- Regulador externo de tensión (combinado con el regulador interno de corriente).

## 6.3 Fundamentos de coma fija en VHDL

En primer lugar se realiza una pequeña introducción al trabajo mediante VHDL en formato de coma fija. Este formato presenta la ventaja de la gran rapidez en los cálculos así como una mayor optimización en el proceso de síntesis de la FPGA.

Un número en coma fija se define por una cantidad  $X$  de dígitos enteros (a la izquierda de la coma) más una  $Y$  cantidad de dígitos decimales (a la derecha de la coma) tal y como se aprecia en la siguiente figura [Bishop]



**Figura 6.1** Formato de un número codificado en coma fija según la librería *sfixed*.

El número total de bits es  $x+y+1$  ya que el MSB es el bit de signo. La nomenclatura empleada para representar un número en coma fija en el formato dado por la librería *sfixed* es  $Q_{x,y}$ .

La manera de transformar un número decimal en un número en coma fija es la representada en la tabla siguiente

CODIFICACIÓN EN COMA FIJA SEGÚN LA LIBRERÍA <i>sfixed</i> $Q_{x,y}$	
<b>Parte entera</b>	$2^X$ igual al entero inmediatamente superior al número decimal ( $X$ puede ser negativo)
<b>Parte decimal</b>	$Y$ se ajusta según la resolución deseada y teniendo en cuenta la longitud de los registros
<b>Número total de bits</b>	$X + Y + 1$

**Tabla 6.1** Codificación en coma fija según la librería *sfixed*.

A modo de ejemplo, a continuación se muestra la codificación de dos números empleando el formato de la librería *sfixed*

$$0,003478_{\text{decimal}} = Q_{X,Y} = Q_{-8,40} \quad (6.1)$$

$$1478,53_{\text{decimal}} = Q_{X,Y} = Q_{11,21} \quad (6.2)$$

Por otra parte, en la Tabla 6.2 se muestran las reglas aplicables para las principales operaciones matemáticas [Bishop].

OPERACIONES EN COMA FIJA SEGÚN LA LIBRERÍA <i>sfixed</i> $Q_{x,y}$	
$Q_{x_a,y_a} + Q_{x_b,y_b}$	$Q_{\max(x_a,x_b)+1, \min(y_a,y_b)}$
$Q_{x_a,y_a} - Q_{x_b,y_b}$	$Q_{\max(x_a,x_b)+1, \min(y_a,y_b)}$
$Q_{x_a,y_a} * Q_{x_b,y_b}$	$Q_{(x_a+x_b)+1, \min(y_a,y_b)}$
$Q_{x_a,y_a} / Q_{x_b,y_b}$	$Q_{(x_a-x_b)+1, \min(y_a,y_b)}$

Tabla 6.2 Operaciones en coma fija según la librería *sfixed*.

Una vez presentados los fundamentos de la operación en coma fija en VHDL mediante la librería *sfixed*, a continuación se muestra la implementación y simulación de los reguladores en VHDL.

## 6.4 Regulador de corriente en VHDL

Para implementar el regulador discreto del lazo de corriente en VHDL se parte de la descripción del mismo a nivel RTL, el cual ha sido hallado en el capítulo anterior y se muestra de nuevo en la figura siguiente por comodidad

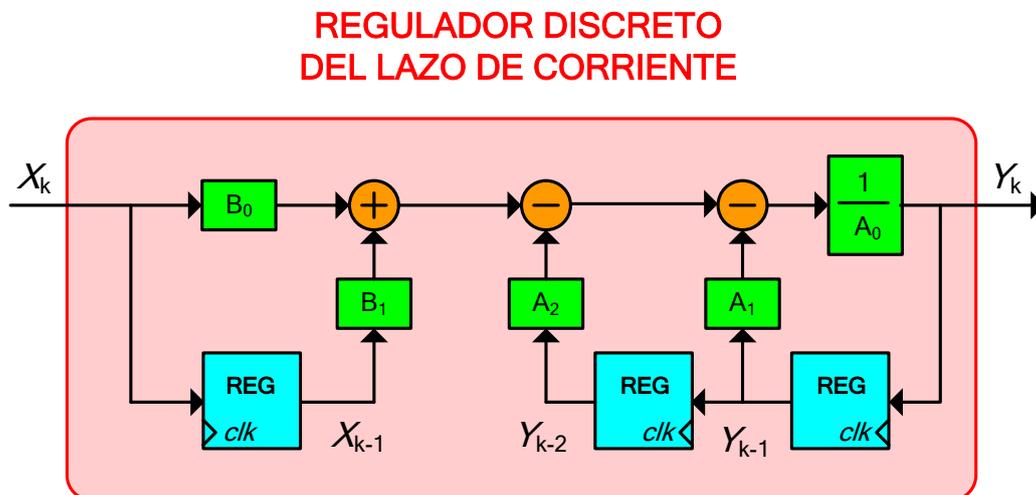


Figura 6.2 Diagrama RTL del regulador discreto del lazo interno de corriente.

En la tabla siguiente se resumen las constantes del regulador calculadas en el capítulo anterior.

REGULADOR DISCRETO DE CORRIENTE $R_i(z)$	
$A_0$	1
$A_1$	-1,24145
$A_2$	0,24145
$B_0$	0,21768
$B_1$	-0,21673
$T$	100 kHz

**Tabla 6.3** Parámetros del regulador discreto del lazo de corriente.

Partiendo de la descripción RTL, en la tabla siguiente se muestra un detalle del código VHDL empleado para implementar este regulador

REGULADOR DISCRETO DE CORRIENTE $R_i(z)$ en VHDL
<pre> sX0 &lt;= to_sfixed(Xext, sX0);  REGISTROS: process(Clk, Reset) -- Cada z**-1 equivale a un registro begin      if Reset = '1' then          sX1 &lt;= (others =&gt; '0');         sX2 &lt;= (others =&gt; '0');         sY1 &lt;= (others =&gt; '0');         sY2 &lt;= (others =&gt; '0');      elsif Clk = '1' and Clk'event then          sX1 &lt;= sX0;         sY1 &lt;= sYinterna;         sY2 &lt;= sY1;      end if; end process REGISTROS;  -- Multiplicaciones del numerador sB0X0 &lt;= resize (B0 * sX0, sB0X0); sB1X1 &lt;= resize (B1 * sX1, sB1X1);  -- Multiplicaciones del denominador sA1Y1 &lt;= resize (A1 * sY1, sA1Y1); sA2Y2 &lt;= resize (A2 * sY2, sA2Y2);  -- Cálculo de la suma final sYinterna &lt;= resize (sB0X0 + sB1X1 - sA1Y1 - sA2Y2, sYinterna);  sYsal &lt;= resize (sYinterna, sYsal); </pre>

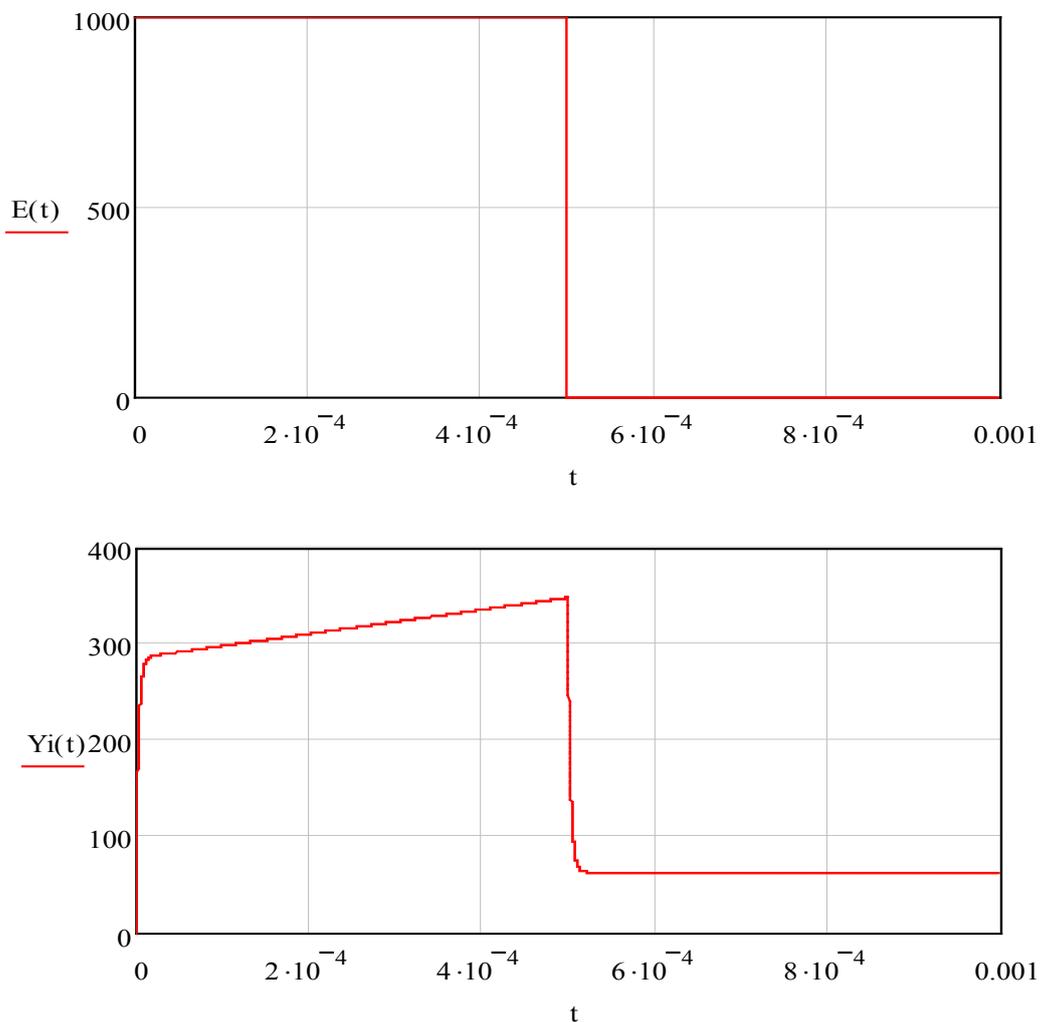
**Tabla 6.4** Detalle de la implementación en VHDL del regulador de corriente.

Se observa como se ha empleado en la implementación VHDL la librería en coma fija *sfixed*.

### 6.4.1 Simulación individual del regulador de corriente

Para comprobar la correcta codificación de las constantes del regulador en VHDL mediante la librería *sfixed* se comparan las respuestas ante un escalón de entrada de la función de transferencia del regulador de corriente codificada mediante coma flotante y la codificada mediante la librería *sfixed* en VHDL.

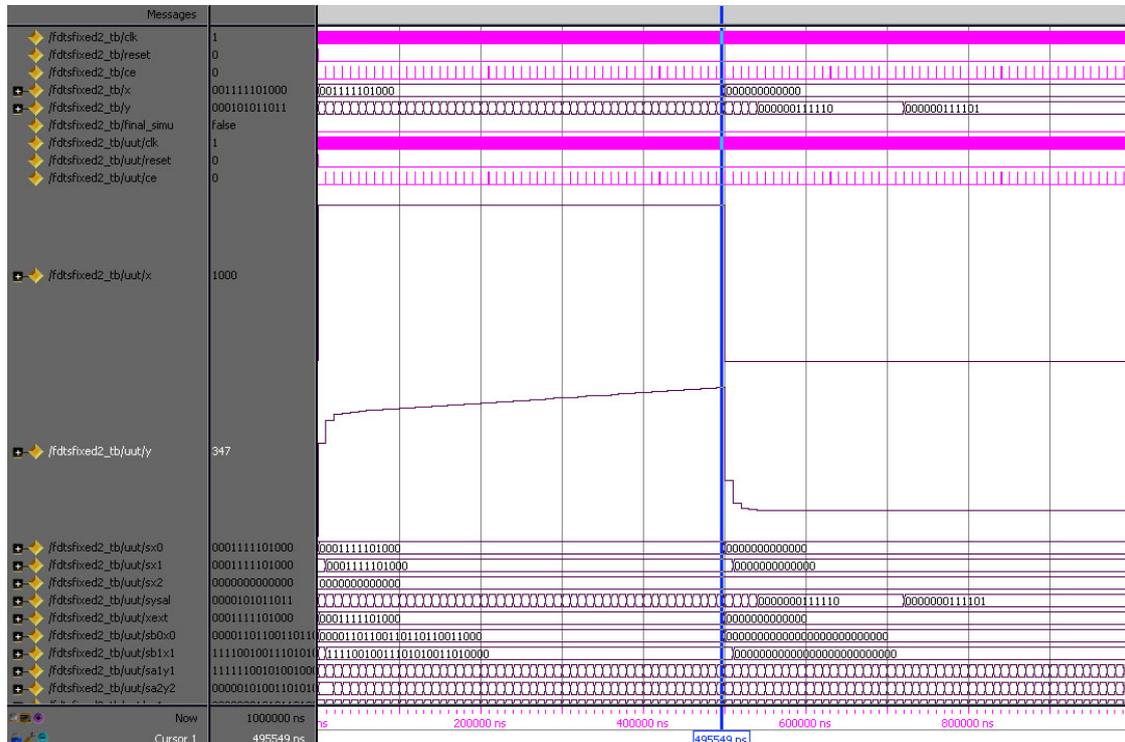
En la figura siguiente se muestra el escalón de entrada y la respuesta temporal del regulador de corriente codificado en coma flotante. El tiempo de simulación es de 1 ms al ser un regulador con gran ancho de banda.



**Figura 6.3** Respuesta al escalón del regulador de corriente discreto en coma flotante.

Se aprecia el efecto de la parte integral y proporcional del regulador de corriente.

Por otra parte, en la figura siguiente se muestra el escalón de entrada y la respuesta temporal del regulador de corriente codificado en VHDL (inferior) y en coma fija (superior).



**Figura 6.4** Respuesta al escalón del regulador de corriente discreto en coma fija VHDL.

Se observa claramente como la respuesta del regulador codificado en coma flotante (ideal) y del regulador codificado en VHDL en coma fija son prácticamente idénticas.

De este modo, queda probada la validez de la codificación VHDL en coma fija mediante la librería *fixed* de VHDL.

En las simulaciones anteriores se han empleado órdenes de magnitud similares a los que empleará el regulador VHDL en la aplicación real ya que los ADC dan como resultado de la conversión números enteros en el rango de 0 hasta  $2^n-1$ .

A continuación se realizan las comprobaciones homólogas para el regulador del lazo externo de tensión.

## 6.5 Regulador de tensión en VHDL

Para implementar el regulador discreto del lazo de tensión en VHDL se parte de la descripción del mismo a nivel RTL, el cual ha sido hallado en el capítulo anterior y se muestra de nuevo en la figura siguiente por comodidad

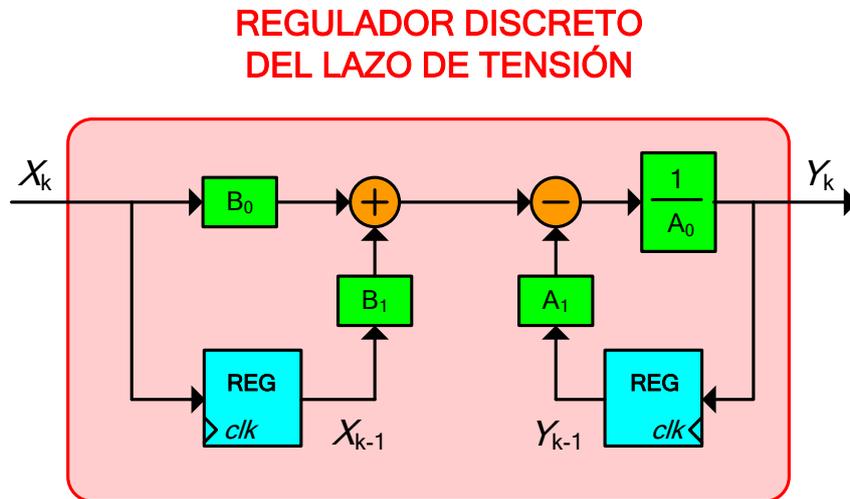


Figura 6.5 Diagrama RTL del regulador discreto del lazo interno de tensión.

En la tabla siguiente se resumen las constantes del regulador calculadas en el capítulo anterior.

REGULADOR DISCRETO DE TENSIÓN $R_i(z)$	
$A_0$	1
$A_1$	-1
$B_0$	$6,17067 \cdot 10^{-3}$
$B_1$	$-4,2857167 \cdot 10^{-3}$
$T$	100 Hz

Tabla 6.5 Parámetros del regulador discreto del lazo de tensión.

Partiendo de la descripción RTL, En la tabla siguiente se muestra un detalle del código VHDL empleado para implementar este regulador.

En este caso la salida se ha escalado por 1000 para poder apreciar los resultados como números enteros sin decimales.

## REGULADOR DISCRETO DE TENSIÓN $R_V(z)$ en VHDL

```
sXX0 <= to_sfixed(XXext, sXX0);

REGISTROS: process (Clk, Reset)
-- Cada z**-1 equivale a un registro
begin

    if Reset = '1' then

        sXX1 <= (others => '0');
        sXX2 <= (others => '0');
        sYY1 <= (others => '0');

    elsif Clk = '1' and Clk'event then

        sXX1 <= sXX0;
        sYY1 <= sYYsat;

    end if;
end process REGISTROS;

-- Multiplicaciones del numerador
sBB0XX0 <= resize (BB0 * sXX0, sBB0XX0);
sBB1XX1 <= resize (BB1 * sXX1, sBB1XX1);

-- Multiplicaciones del denominador sin saturacion
sAA1YY1 <= resize (AA1 * sYY1, sAA1YY1);

-- Cálculo de la suma final en resolución interna sin saturacion
sYYinterna <= resize (sBB0XX0 + sBB1XX1 - sAA1YY1, sYYinterna);

-- SE ESCALA POR 1000 YA QUE LA SALIDA ESTA EN TORNO A 1
sYYsal <= resize (sYYsat*sYYescalado,sYYsal);
```

Tabla 6.6 Detalle de la implementación en VHDL del regulador de tensión.

Se observa como se ha empleado en la implementación VHDL la librería en coma fija *sfixed*.

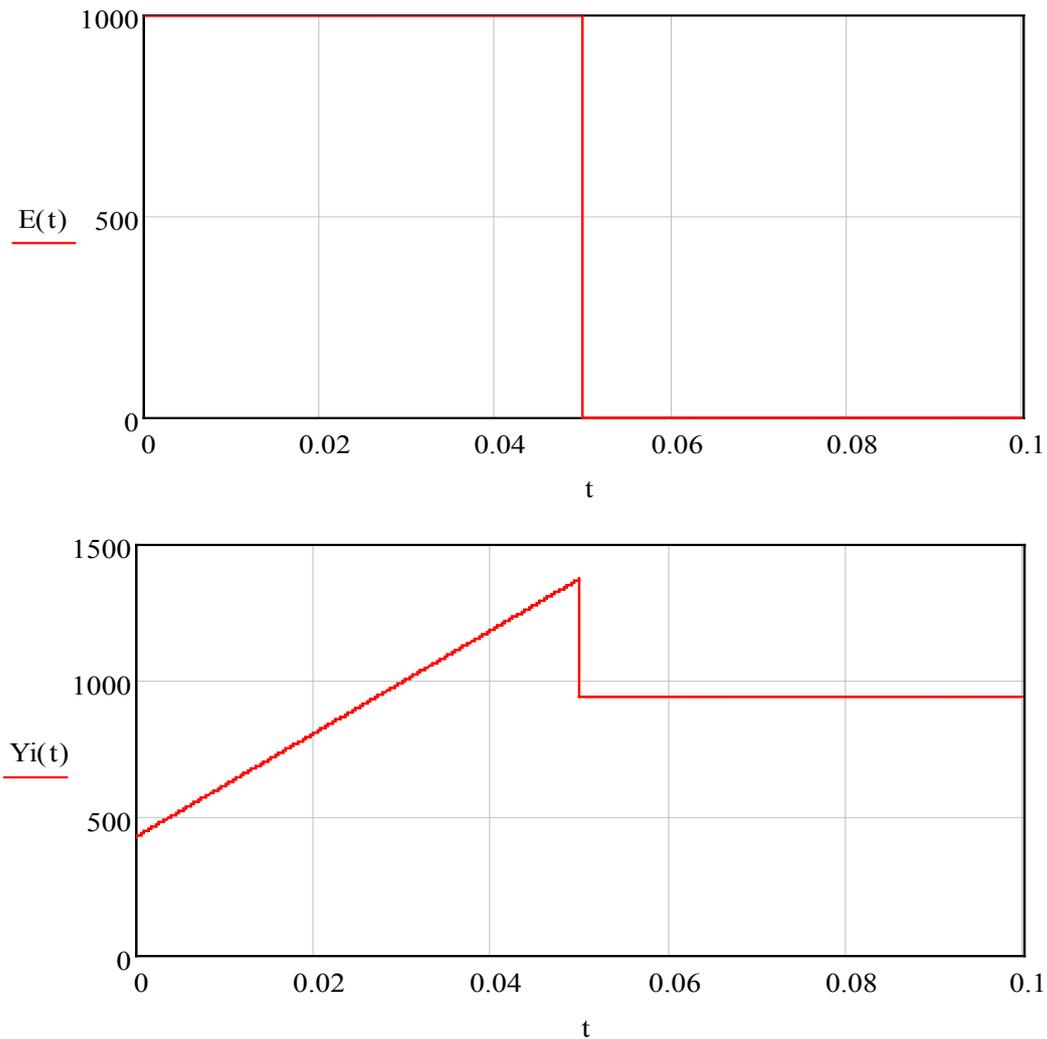
### 6.5.1 Simulación individual del regulador de tensión

Para comprobar la correcta codificación de las constantes del regulador en VHDL mediante la librería *sfixed* se comparan las respuestas ante un escalón de entrada de la función de transferencia del regulador de corriente codificada mediante coma flotante y la codificada mediante la librería *sfixed* en VHDL.

En la figura siguiente se muestra el escalón de entrada y la respuesta temporal del regulador de corriente codificado en coma flotante.

La salida se ha multiplicado por 1000 para obtener números enteros sin decimales y poder comparar los resultados con los arrojados en la simulación en coma fija mediante VHDL.

En este caso el tiempo total de simulación (100 ms) es mayor al ser un regulador mucho más lento.



**Figura 6.6** Respuesta al escalón del regulador de corriente discreto en coma flotante.

Se aprecia el efecto de la parte integral y proporcional del regulador de corriente.

Por otra parte, en la figura siguiente se muestra el escalón de entrada y la respuesta temporal del regulador de corriente codificado en VHDL (inferior) y en coma fija (superior).

Se observa claramente como la respuesta del regulador codificado en coma flotante (ideal) y del regulador codificado en VHDL en coma fija son prácticamente idénticas.

De este modo, queda probada la validez de la codificación VHDL en coma fija mediante la librería *sfixed* de VHDL.

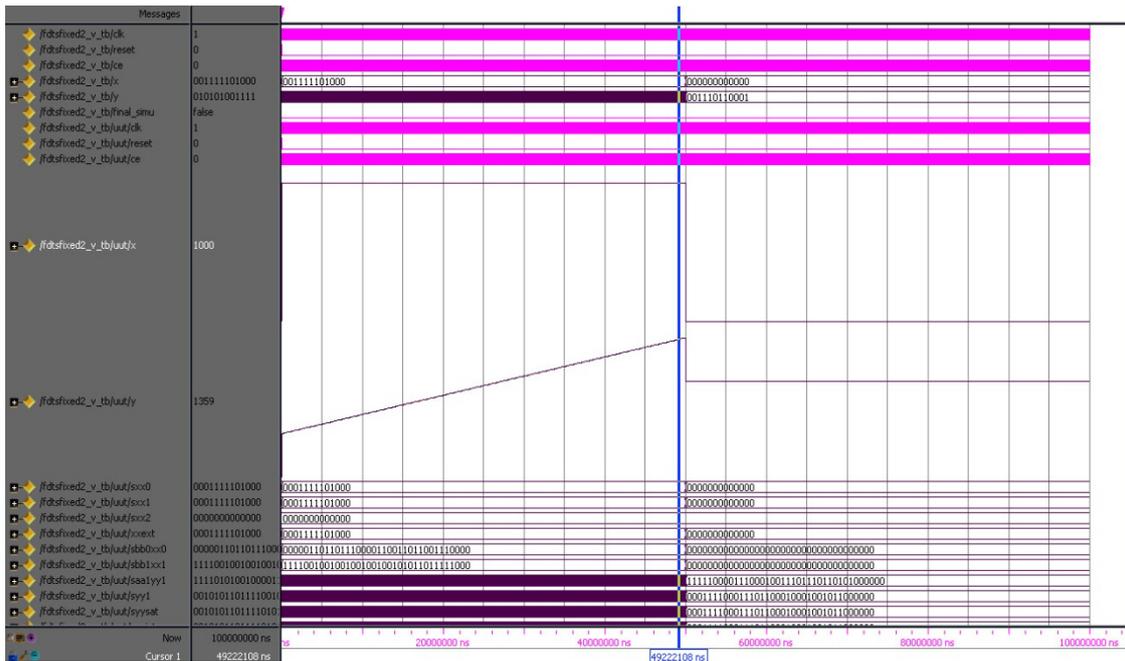


Figura 6.7 Respuesta al escalón del regulador de corriente discreto en coma fija VHDL.

En las simulaciones anteriores se han empleado órdenes de magnitud similares a los que empleará el regulador VHDL en la aplicación real ya que los ADC dan como resultado de la conversión números enteros en el rango de 0 hasta  $2^n-1$ .

A continuación se realizan las comprobaciones homólogas para el regulador del lazo externo de tensión.

## 6.6 Simulación del sistema completo en VHDL

Una vez se han comprobado de manera individual el regulador de corriente y el regulador de tensión, en este apartado se realiza una simulación completa en VHDL del sistema bajo estudio de forma similar a la llevada a cabo mediante simulaciones circuitales.

Se simulan el lazo interno de corriente y el lazo externo de tensión, sometiendo al regulador tanto a régimen permanente (lazo de corriente) como a régimen transitorio (lazo de tensión).

Para integrar las ecuaciones diferenciales del convertidor elevador se utiliza la aproximación discreta de la derivada empleando un paso de integración de 10 ns, correspondiente a una frecuencia de reloj de 100 MHz.

Para realizar la simulación se emplean los siguientes componentes mostrados en la Figura 6.9.

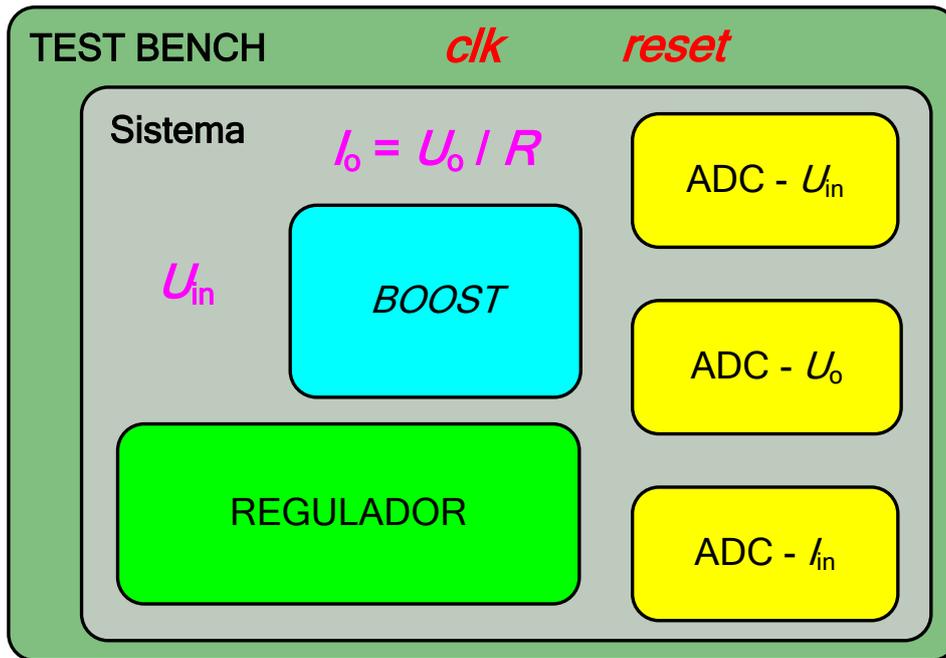


Figura 6.8 Diagrama de bloques de los componentes de la simulación VHDL.

En la figura anterior se han incluido en magenta la relación que da la tensión de entrada rectificadora y la relación que da la corriente de carga en función de la resistencia.

A continuación se muestra la declaración de la entidad de cada uno de los bloques de la figura anterior y se presentan sus fundamentos.

### Convertidor Boost

En la tabla siguiente se presenta la declaración de la entidad para el convertidor *Boost* apreciando sus diferentes señales de entrada y salida.

ENTIDAD DEL COMPONENTE <i>BOOST</i> en VHDL
<pre> entity Boost is   port (     --In     Clk : in std_logic;     Reset : in std_logic;     Mosfet : in std_logic;     Vg : in real;     Ir : in real;     -- Out     Iin : out real;     Vout : out real   ); end Boost; </pre>

Tabla 6.7 Declaración de la interfaz en VHDL del convertidor *Boost*.

Se aprecia que el regulador recibe la tensión de entrada, la corriente de carga y genera como salidas la corriente de entrada y la tensión de salida en coma flotante.

Para llevar a cabo los cálculos de las ecuaciones diferenciales que definen al convertidor elevador, la simulación discretiza las ecuaciones mediante diferencias finitas empleando la frecuencia de reloj de 100 MHz con el tiempo de encendido y apagado dado en su entrada discreta del PWM.

Este componente no será sintetizable y sirve únicamente con propósito de simulación al trabajar en coma flotante.

### **Regulador**

En la tabla siguiente se presenta la declaración de la entidad para el regulador apreciando sus diferentes señales de entrada y salida.

ENTIDAD DEL COMPONENTE REGULADOR en VHDL
<pre>entity Regulador is port (   Clk : in std_logic;   Reset : in std_logic;    Encendido : in std_logic;    VoutRef : in std_logic_vector(11 downto 0);   PwmOut : out std_logic;    DataADCVg : in std_logic_vector(11 downto 0);   StartADCVg : out std_logic;    DataADCiin : in std_logic_vector(11 downto 0);   StartADCiin : out std_logic;    DataADCvout : in std_logic_vector(11 downto 0);   StartADCvout : out std_logic;    varAUX : out std_logic_vector(11 downto 0) ); end Regulador;</pre>

**Tabla 6.8** Declaración de la interfaz en VHDL del regulador.

Se aprecia que el regulador recibe los datos provenientes de los ADC en formato Q12.0 y los procesa dando a la salida el PWM necesario para conseguir un error nulo en régimen permanente y responder a los transitorios.

En la implementación final el regulador incluirá entradas adicionales conectadas a conectadas a interruptores de la placa para:

- Encender el PWM o poner la onda moduladora a cero.
- Indicar si se desea lazo sólo de corriente o doble lazo.
- Indicar si se desea incluir pre-regulación o no.

Por otra parte, la tensión de referencia del lazo de tensión se presenta como entrada ya que esta entrada podrá ser modificada mediante la GUI por el usuario y será recibida por la UART y enviada al regulador.

Cabe destacar que este componente será el único componente sintetizable para su implementación en la FPGA.

## ADC

En la tabla siguiente se presenta la declaración de la entidad para el ADC apreciando sus diferentes señales de entrada y salida.

ENTIDAD DEL COMPONENTE <i>ADC</i> en VHDL
<pre>entity AdcReal2StdVector is   generic(     CYCLESDELAY : integer := 5;     NBITS : integer := 12   );   port(     Clk : in std_logic;     Reset : in std_logic;     Start : in std_logic;     AnalogIn : in real;     DataOut : out std_logic_vector(NBITS-1 downto 0)   ); end AdcReal2StdVector;</pre>

**Tabla 6.9** Declaración de la interfaz en VHDL del ADC.

Se aprecia que el ADC recibe los datos “analógicos” en coma flotante que simulan el sistema y los convierte en un vector de 12 bits que es la resolución de los ADC integrados en la FPGA usada en este proyecto.

Se instancia un ADC por cada variable leída del sistema:

- ADC para la tensión de entrada.
- ADC para la corriente de entrada.
- ADC para la tensión de salida.

El inicio de la conversión es controlado mediante la señal de entrada “start” que indica el comienzo de la conversión.

## Sistema

En la tabla siguiente se presenta la declaración de la entidad para el sistema apreciando sus diferentes señales de entrada y salida.

ENTIDAD DEL COMPONENTE <i>SISTEMA</i> en VHDL
<pre>entity Sistema is   port (     Clk : in std_logic;     Reset : in std_logic;     Carga : in std_logic;     --Ir : in real;     VoutRef : in std_logic_vector(11 downto 0);     --Outputs of the ADCs     Vout : out std_logic_vector(11 downto 0);     Iin : out std_logic_vector(11 downto 0)   ); end Sistema;</pre>

**Tabla 6.10** Declaración de la interfaz en VHDL del sistema.

Mediante esta entidad se simula el sistema bajo estudio que incluye los siguientes componentes:

- Convertidor *Boost*.
- Regulador.
- ADC para la tensión de entrada.
- ADC para la corriente de entrada.
- ADC para la tensión de salida.
- Generador de la tensión de entrada rectificada.
- Relación entre la tensión de salida, carga e intensidad de salida.

El sistema recibe la tensión de referencia del lazo de tensión que es pasada al regulador y recibe la señal que indica un escalón de carga para provocar escalones de carga del 50 %.

Por otra parte el sistema genera como salidas la tensión de salida y la corriente de entrada como vectores de bits.

### **Test Bench**

En la tabla siguiente se presenta la declaración de la entidad para el *test bench* apreciando sus diferentes señales de entrada y salida.

ENTIDAD DEL COMPONENTE <i>TEST BENCH</i> en VHDL
<pre>entity TopTb is end TopTb;</pre>

**Tabla 6.11** Declaración de la interfaz en VHDL del *Test Bench*.

El banco de pruebas o *test bench* es la entidad de nivel superior que no posee entradas ni salidas.

El banco de pruebas instancia el componente “sistema” y le envía la señal de reloj de 100 MHz, la señal asíncrona de *reset* y la señal que controla los escalones de carga.

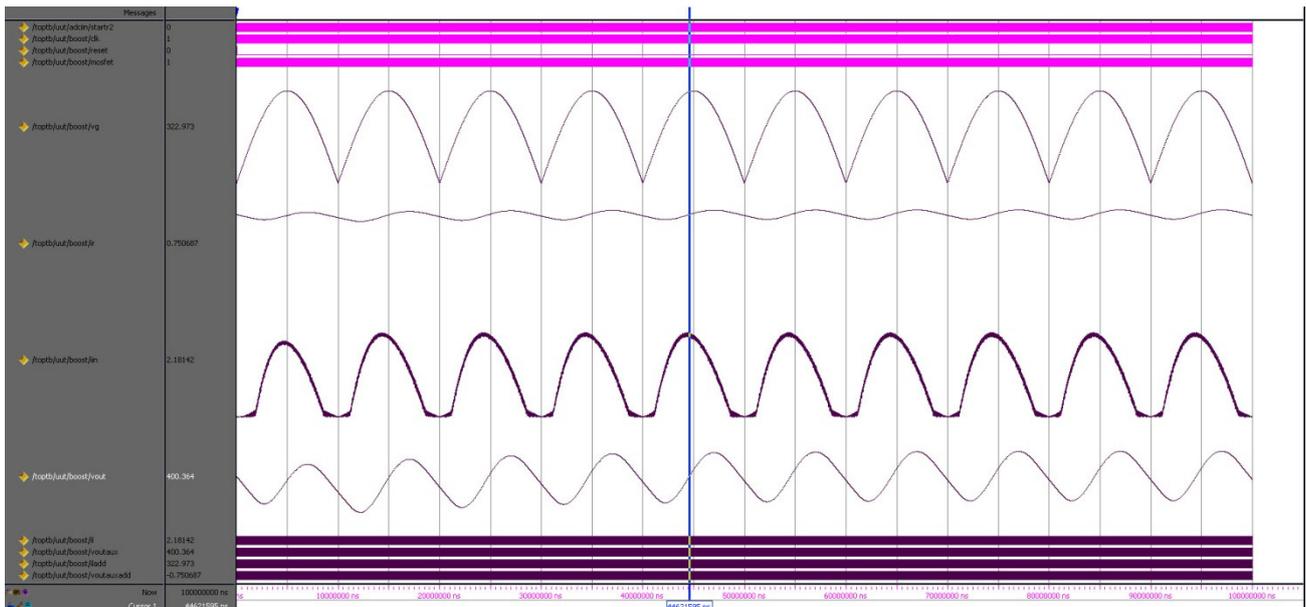
### **6.6.1 Resultados del lazo de corriente en VHDL**

Una vez introducidos los diferentes componentes que integran la simulación en VHDL del sistema bajo estudio. A continuación se muestran los resultados de las simulaciones.

Se han llevado a cabo simulación con pre-regulación y sin pre-regulación para comprobar su efecto y que los resultados coinciden con lo visto anteriormente.

### **LAZO DE CORRIENTE SIN PRE-REGULACIÓN**

En la figura siguiente se muestran los resultados de la simulación en VHDL para el lazo interno de corriente estando el sistema en las mismas condiciones que las detalladas en apartados anteriores. No se incluye la pre-regulación.



**Figura 6.9** Resultados de la simulación del lazo de corriente en VHDL. Sin pre-regulación.

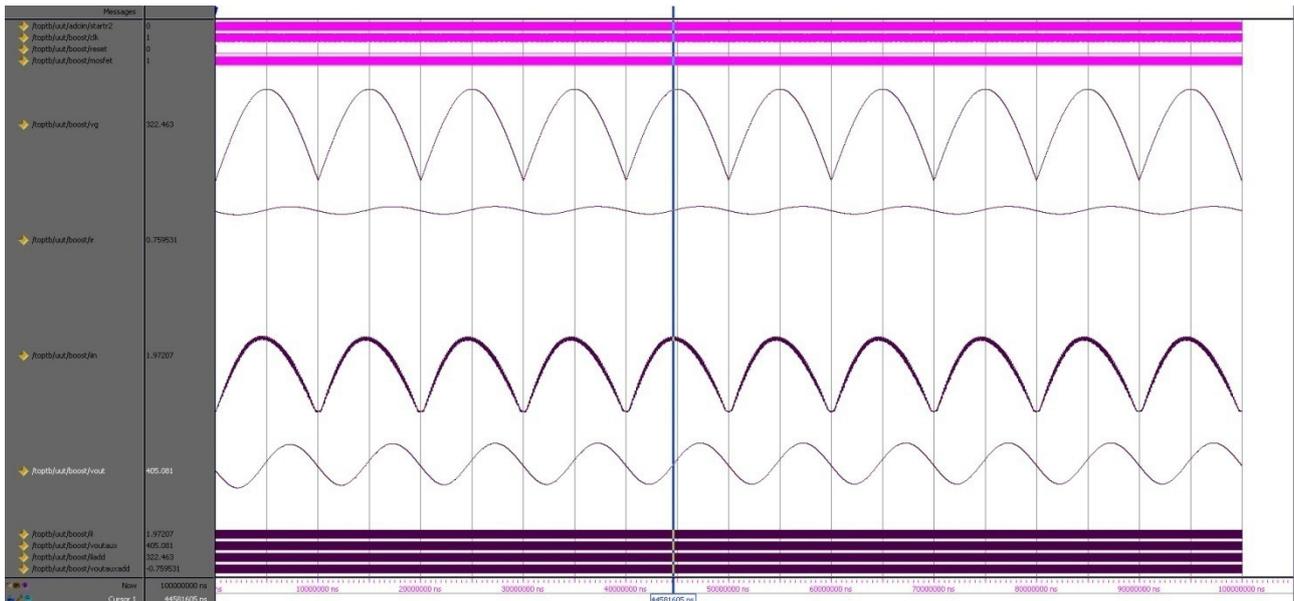
Se observa claramente como las formas de onda se corresponden con lo esperado y coinciden con las obtenidas en apartados anteriores.

Se aprecia como la corriente de entrada sigue el patrón senoidal (incluyendo cierto rizado) de la tensión de entrada excepto en los pasos por cero de la tensión de entrada, donde presenta una significativa distorsión.

Por su parte se observa como la tensión de salida presenta el rizado de 100 Hz esperado y con valor medio cercano a 400 V.

### **LAZO DE CORRIENTE CON PRE-REGULACIÓN**

En la figura siguiente se muestran los resultados de la simulación en VHDL para el lazo interno de corriente estando el sistema en las mismas condiciones que las detalladas en apartados anteriores. Se incluye la pre-regulación.



**Figura 6.10** Resultados de la simulación del lazo de corriente en VHDL. Con pre-regulación.

Se observa claramente como las formas de onda se corresponden con lo esperado y coinciden con las obtenidas en apartados anteriores.

Se aprecia como la corriente de entrada sigue el patrón senoidal (incluyendo cierto rizado) de la tensión de entrada para régimen permanente del lazo internod e corriente (lazo externo ideal).

Por su parte se observa como la tensión de salida presenta el rizado de 100 Hz esperado y con valor medio cercano a 400 V.

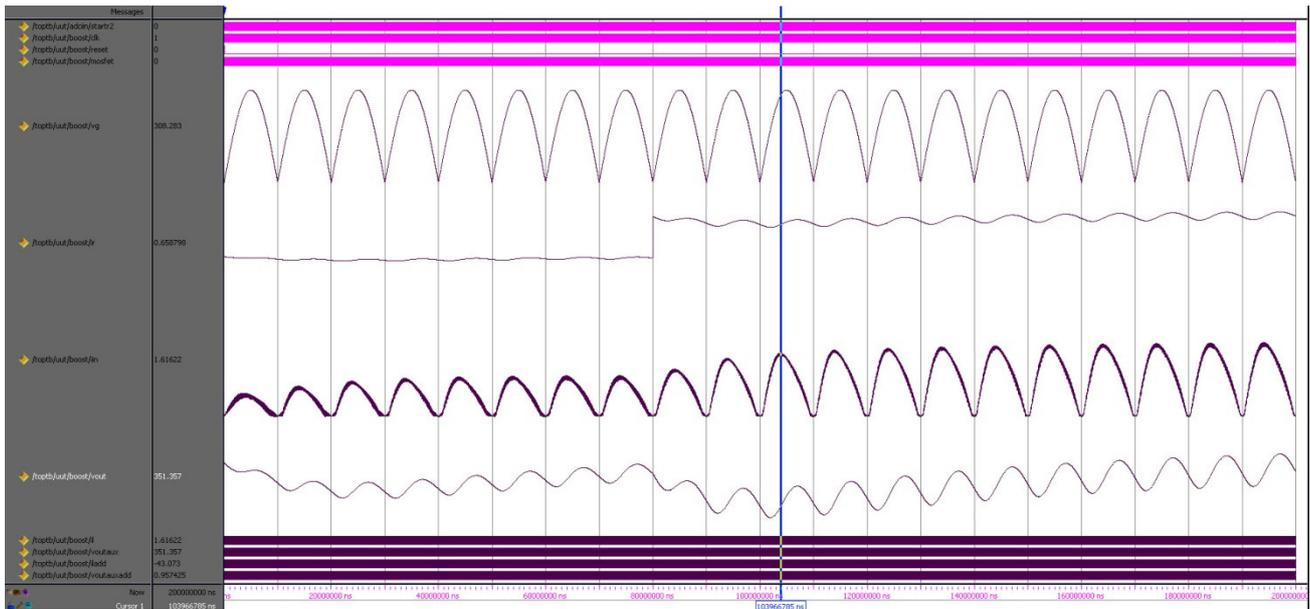
Se observa como al emplear pre-regulación los resultados mejoran considerablemente coincidiendo estas observaciones con los visto en capítulos anteriores.

## 6.6.2 Resultados del lazo de tensión en VHDL

A continuación se muestran los resultados de la simulación del lazo externo de tensión sometiendo al sistema a escalones de carga positivos y negativos del 50 %

### **ESCALONES DE CARGA POSITIVOS DEL 50 %**

En la figura siguiente se muestran los resultados de la simulación en VHDL para el lazo interno de tensión sometiendo al sistema a un escalón de carga positivo del 50 %.

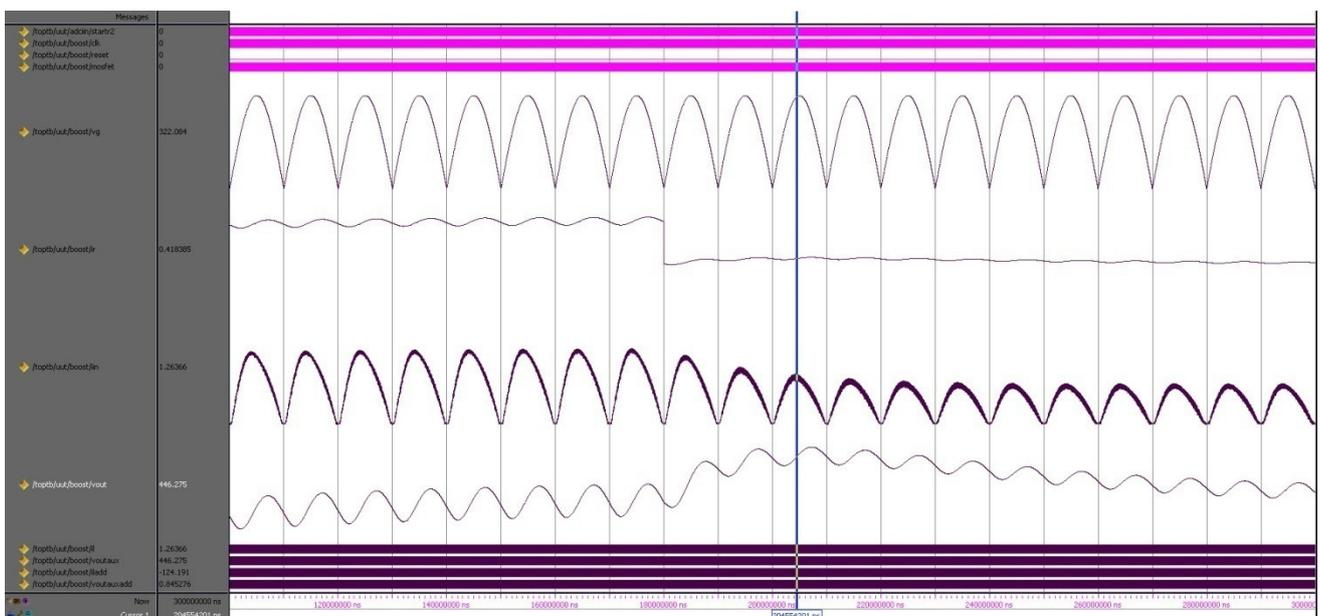


**Figura 6.11** Resultados de la simulación del lazo de tensión en VHDL. Escalón de carga positivo del 50 %.

Se observa claramente como las formas de onda se corresponden con lo esperado y coinciden con las obtenidas en apartados anteriores.

### ESCALONES DE CARGA NEGATIVOS DEL 50 %

En la figura siguiente se muestran los resultados de la simulación en VHDL para el lazo interno de tensión sometiendo al sistema a un escalón de carga negativo del 50 %.



**Figura 6.12** Resultados de la simulación del lazo de tensión en VHDL. Escalón de carga negativo del 50 %.

Se observa claramente como las formas de onda se corresponden con lo esperado y coinciden con las obtenidas en apartados anteriores, tanto para el régimen permanente como ante transitorios de carga.

# 7. Monitorización y medidas

## 7.1 Introducción

En este capítulo se presenta el control de los ADC internos a la FPGA así como los métodos implementados para la visualización de las variables del controlador: visualización mediante *display* de siete segmentos y visualización en PC mediante interfaz gráfica de usuario o GUI.

## 7.2 Manejo e implementación del ADC

La placa de desarrollo Nexys 4 DDR empleada en este proyecto monta una FPGA de tipo Artix 7 la cual integra dos XADC. Los ADC tienen una resolución de 12 bits. En la figura siguiente se muestra un diagrama de bloques de los ADC [Xilinx-UG480].

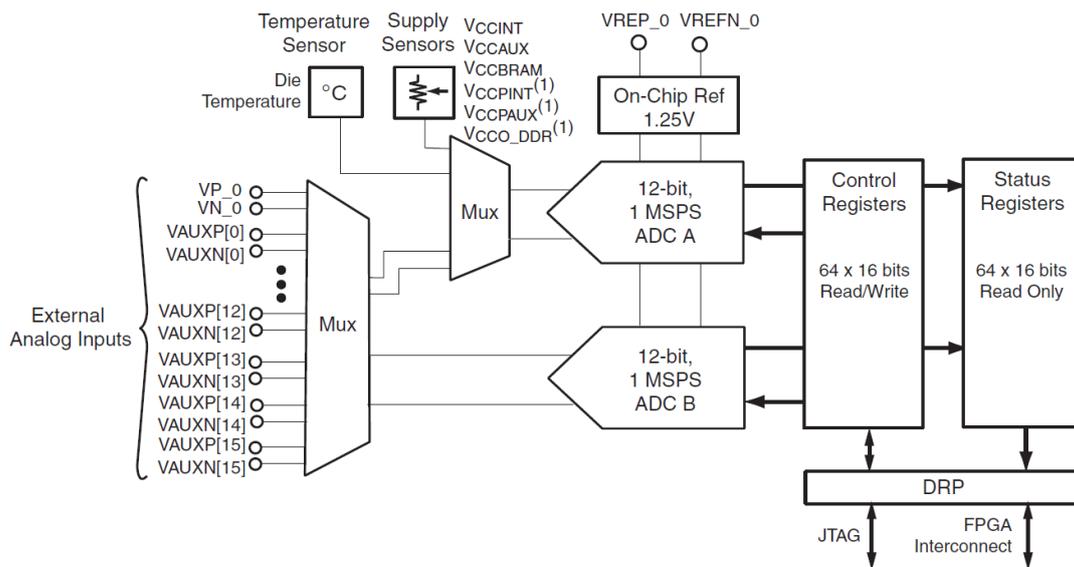


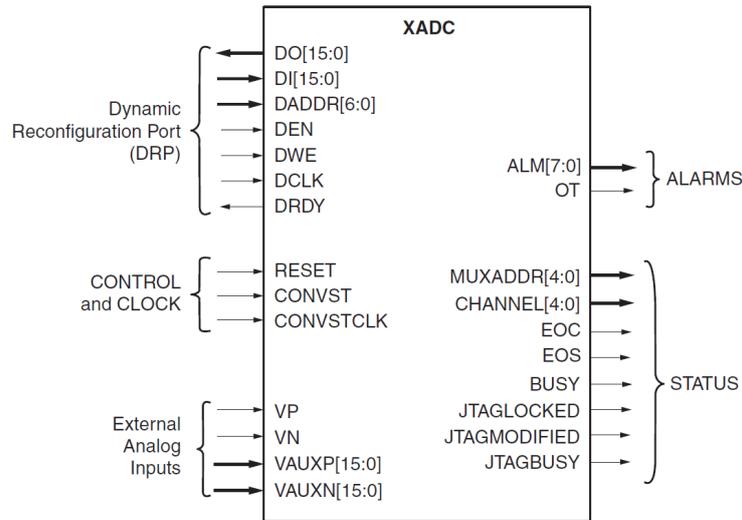
Figura 7.1 Diagrama de bloques del convertor XADC de Xilinx (adaptada de [Xilinx-UG480]).

El ADC interno de Xilinx dispone de 2 ADC independientes cada uno de ellos capaz de muestrear simultáneamente alguno de los 16 canales de entradas analógicas. No obstante, algunas de las entradas están conectadas internamente para medir sensores internos de la FPGA o de la placa.

Uno de los principales inconvenientes de este tipo de ADC es su reducida tensión de entrada, de 0 a 1 V, siendo necesario filtrar convenientemente el ruido de las medidas antes de entrar al ADC.

La frecuencia máxima del ADC es 1 MSPS para 25 MHz de reloj interno del ADC.

Por otra parte, en la figura siguiente se muestra la interfaz del ADC donde se detallan las entradas y salidas del mismo [Xilinx-UG480].



**Figura 7.2** Interfaz del convertor XADC de Xilinx (adaptada de [Xilinx-UG480]).

El ADC dispone de un puerto de entrada-salida que permite tanto leer registros internos del ADC como escribir en ellos. Este puerto se denomina DRP y se accede a él mediante un bus de datos y un bus de direcciones.

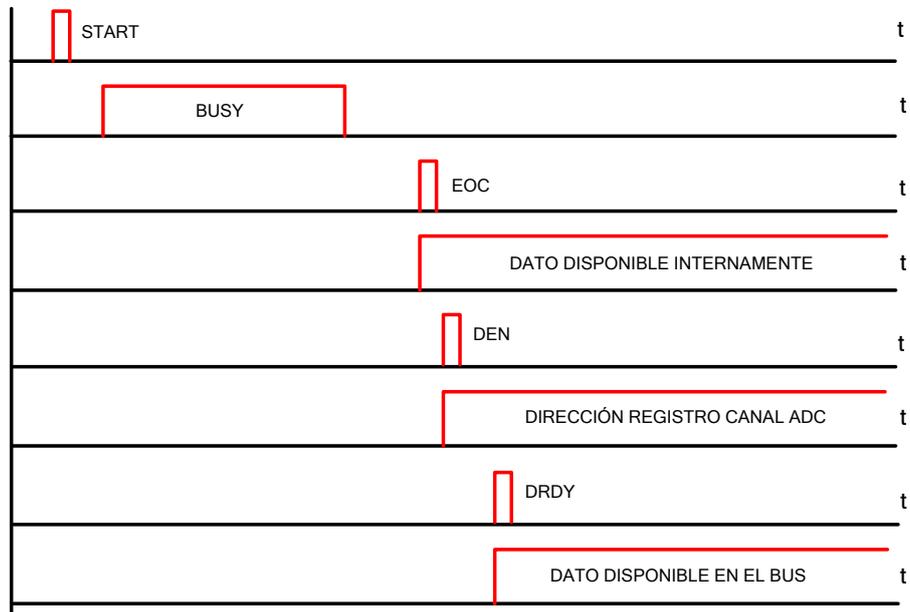
Es importante resaltar que las entradas del ADC son diferenciales y se debe proveer una conexión para positivo y masa en cada canal del ADC. Es fundamental conectar el negativo de cada canal del ADC a la masa común de la placa de la FPGA y a la masa común del circuito de medida.

Por otra parte, es necesario configurar diferentes opciones del ADC para, entre otros, especificar el modo de muestreo. En este caso se ha seleccionado el muestreo simultáneo de dos canales y el disparo de la conversión mediante eventos, en este caso generados por el regulador. Cada vez que se genere un evento de comienzo de conversión por parte del regulador (cada 100 kHz) el ADC muestreará en primer lugar los canales VAUX02 y VAUX10 simultáneamente, una vez terminada la captura de estos canales muestreará simultáneamente los canales VAUX03 y VAUX11.

Cuando la conversión simultánea de cada dos canales finaliza el ADC genera una señal de final de conversión EOC. Al leer el circuito externo esta señal se tiene la certeza de que los datos muestreados están en los correspondientes registros de datos de los canales del ADC. Al finalizar una secuencia de conversión genera la señal EOS.

El ADC emplea 25 ciclos de reloj interno en realizar la conversión y su frecuencia máxima de trabajo son 25 MHz (se especifica mediante un divisor en su registro de control). Por ello, la frecuencia máxima de trabajo es de 1 MHz. En este caso, dado que se realizan dos conversiones seguidas (2 + 2 canales) la frecuencia máxima teórica es de 500 MHz. No obstante, este valor se medirá en las simulaciones.

En la figura 7.1 se muestra la temporización y señales necesarias para una operación de conversión y lectura del bus del puerto DRP. Las escalas temporales de la figura son aproximadas para una mejor visualización.



**Figura 7.3** Cronograma de las señales de control del XADC.

Por su parte, en la Tabla 7.1 se muestra el significado de las principales señales de la figura anterior.

<b>SEÑALES DE CONTROL DEL ADC (se indica sentido de las señales, visto desde el ADC)</b>		
CONVST	in	orden para indicar que se quiere iniciar una conversión (es este control se genera este evento cada 10 $\mu$ s por parte del regulador)
BUSY	out	señal para indicar que el ADC está ocupado. Esta señal también indica que se puede iniciar otra conversión ya que el circuito de muestreo está listo (no así el dato de la conversión, este sólo está listo cuando el ADC genera la señal EOC o EOS para indicar final de secuencia)
EOC	out	señal para indicar que se ha finalizado la conversión y que el dato está disponible en el registro interno del canal correspondiente (en modo simultáneo significa dos datos disponibles)
EOS	out	señal para indicar que se ha finalizado la conversión la conversión de una secuencia de conversiones (coincide con el último EOC)
DEN	in	orden para indicar que se quiere acceder al bus (la dirección que se quiere leer o escribir debe estar disponible al activar esta señal)
DRDY	out	señal para indicar que el dato está listo en el bus de datos para leerlo

**Tabla 7.1** Principales señales de control del XADC

De modo ilustrativo, para apreciar la interfaz y la configuración inicial del convertidor XADC y las diferentes señales y registros implicados, en la tabla siguiente se muestra el código de ejemplo dado por el fabricante para inicializar el componente en lenguaje Verilog (en lenguaje VHDL es similar).

<b>INTERFAZ E INICIALIZACIÓN DEL XADC EN VERILOG</b>	
<pre> XADC #(     // Initializing the XADC Control Registers     .INIT_40(16'h9000), // Calibration coefficient averaging disabled     // averaging of 16 selected for external channels     .INIT_41(16'h2ef0), // Continuous Sequencer Mode, Disable unused ALMs,     // Enable calibration     .INIT_42(16'h0400), // Set DCLK divider to 4, ADC = 500Ksps, DCLK = 50MHz     .INIT_48(16'h4701), // Sequencer channel - enable Temp sensor, VCCINT, VCCAUX,     // VCCBRAM, and calibration     .INIT_49(16'h000f), // Sequencer channel - enable aux analog channels 0 - 3     .INIT_4A(16'h4700), // Averaging enabled for Temp sensor, VCCINT, VCCAUX,     // VCCBRAM     .INIT_4B(16'h0000), // No averaging on external channels     .INIT_4C(16'h0000), // Sequencer Bipolar selection     .INIT_4D(16'h0000), // Sequencer Bipolar selection     .INIT_4E(16'h0000), // Sequencer Acq time selection     .INIT_4F(16'h0000), // Sequencer Acq time selection     .INIT_50(16'hb5ed), // Temp upper alarm trigger 85°C     .INIT_51(16'h5999), // Vccint upper alarm limit 1.05V     .INIT_52(16'ha147), // Vccaux upper alarm limit 1.89V     .INIT_53(16'hddd), // OT upper alarm limit 125°C     .INIT_54(16'ha93a), // Temp lower alarm reset 60°C     .INIT_55(16'h5111), // Vccint lower alarm limit 0.95V     .INIT_56(16'h91EB), // Vccaux lower alarm limit 1.71V     .INIT_57(16'hae4e), // OT lower alarm reset 70°C     .INIT_58(16'h5999), // VCCBRAM upper alarm limit 1.05V     .INIT_5C(16'h5111), // VCCBRAM lower alarm limit 0.95V     .SIM_MONITOR_FILE("sensor_input.txt")     // Analog Stimulus file. Analog input values for simulation )  XADC_INST ( // Connect up instance IO. See UG480 for port descriptions     .CONVST(GND_BIT), // not used     .CONVSTCLK(GND_BIT), // not used     .DADDR(DADDR_IN[6:0]),     .DCLK(DCLK_IN),     .DEN(DEN_IN),     .DI(DI_IN[15:0]),     .DWE(DWE_IN),     .RESET(RESET_IN),     .VAUXN(aux_channel_n[15:0]),     .VAUXP(aux_channel_p[15:0]),     .ALM(alm_int),     .BUSY(BUSY_OUT),     .CHANNEL(CHANNEL_OUT[4:0]),     .DO(DO_OUT[15:0]),     .DRDY(DRDY_OUT),     .EOC(EOC_OUT),     .EOS(EOS_OUT),     .JTAGBUSY(), // not used     .JTAGLOCKED(), // not used     .JTAGMODIFIED(), // not used     .OT(OT_OUT),     .MUXADDR(), // not used     .VP(VP_IN),     .VN(VN_IN) ); </pre>	

**Tabla 7.2** Interfaz e inicialización del XADC.

Se aprecia claramente el gran número de variables implicadas para configurar el XADC así como la complejidad de la interfaz [Xilinx-UG480].

Para manejar las señales anteriores durante el proceso de conversión y lectura del ADC, se implementan dos máquinas de estados:

- Máquina de estados maestra (ASM1) encargada de generar las señales de manejo del ADC para los diferentes canales requeridos.
- Máquina de estados esclava (ASM2 -> ASM2-1 + ASM2-2) encargada de generar las señales para la lectura y escritura del bus de datos y direcciones del DPR en función de las órdenes recibidas de la máquina de estados maestra (ASM1).

En la siguiente figura se muestra un diagrama simplificado de la máquina de estados de conversión y lectura de los canales VAUX02-VAUX10 y VAUX03-VAUX11.

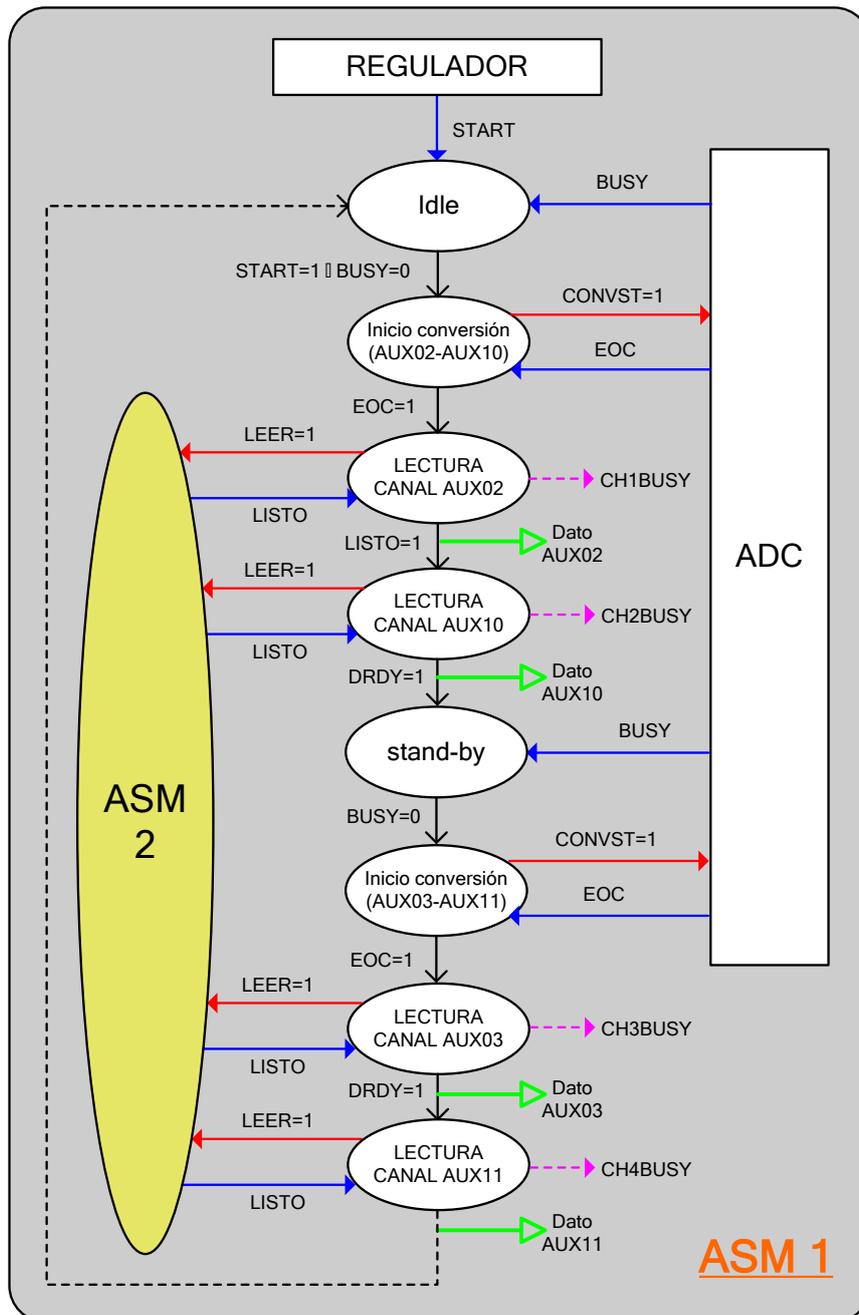


Figura 7.4 Máquina de estados para control del ADC (conversión y lectura).

Por su parte, en la figura 7.5 se muestra la temporización y señales necesarias para una operación de lectura del bus del puerto DRP, máquina de estados ASM2-1.

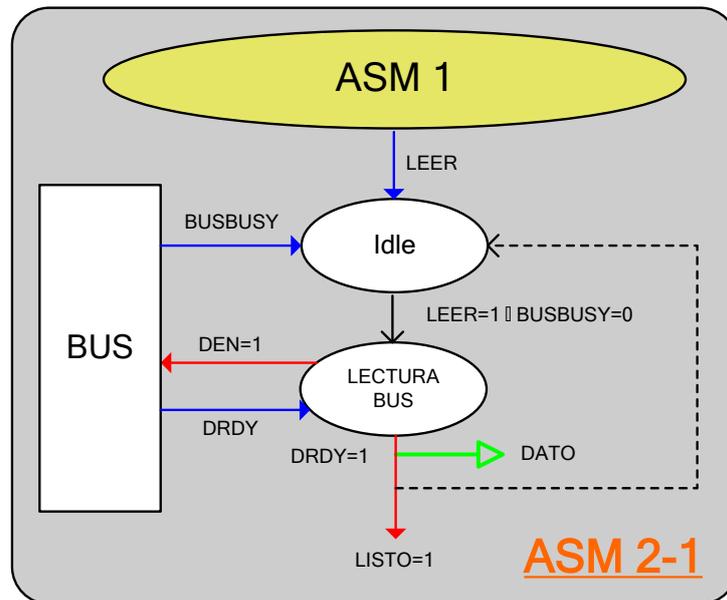


Figura 7.5 Máquina de estados para control del bus del ADC (lectura).

Por último, en la figura 7.6 se muestra la temporización y señales necesarias para una operación de escritura del bus del puerto DRP, máquina de estados ASM2-2.

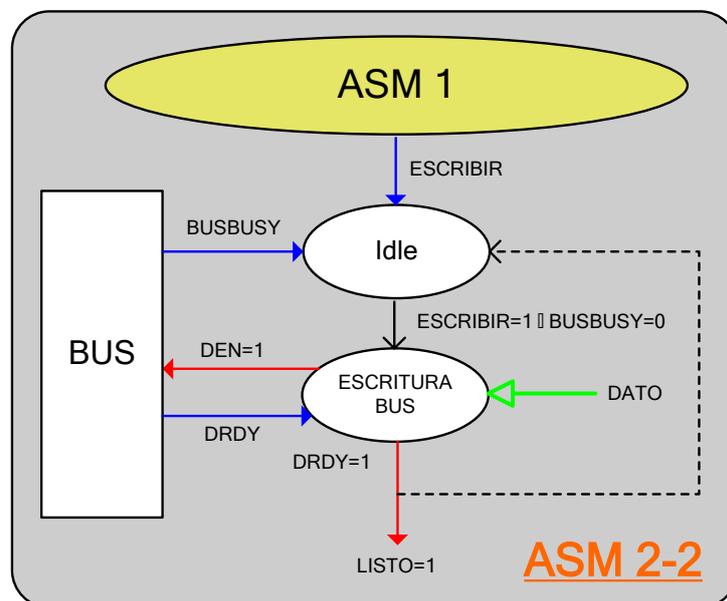
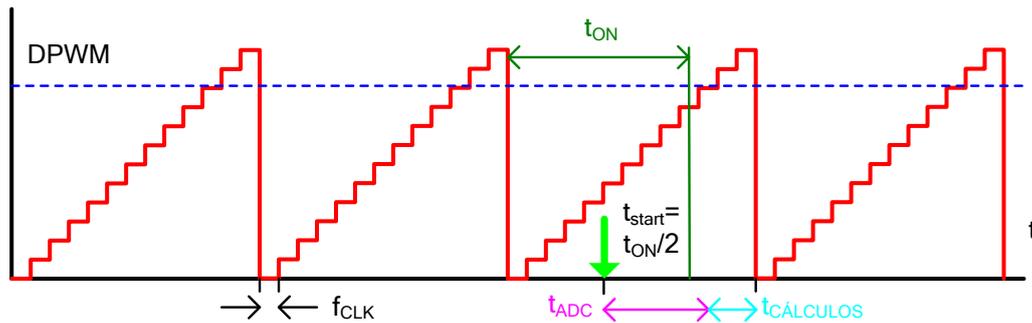


Figura 7.6 Máquina de estados para control del bus del ADC (escritura).

Una vez diseñado el código VHDL para el control del ADC, a continuación se realizan simulaciones del funcionamiento del XADC mediante la herramienta ISIM de Xilinx [Xilinx-UG682].

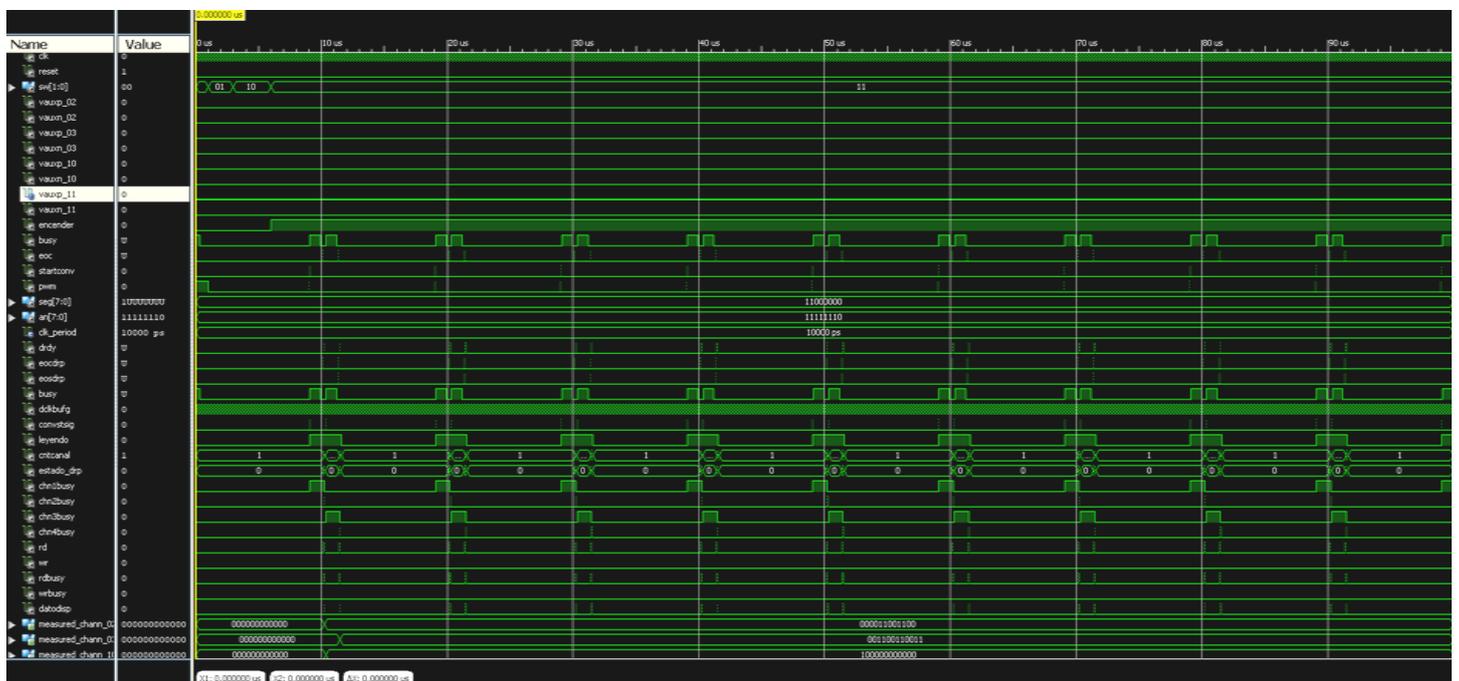
Los datos analógicos de entrada es necesario especificarlos mediante un fichero de texto para realizar la simulación en la herramienta ISim de Xilinx [Xilinx-UG682].

En la figura siguiente se muestran las principales señales implicadas en el proceso de muestreo y lectura de los ADC. Se observa en la figura que el tiempo total hasta que el último dato está disponible es de 2,49  $\mu\text{s}$  siendo este tiempo inferior a la mitad del periodo de conmutación como se verá posteriormente. Muestreando en la mitad del ciclo de trabajo se consigue evitar el ruido de las conmutaciones (al inicio y final del ciclo) y se obtiene aproximadamente el valor medio de la corriente.



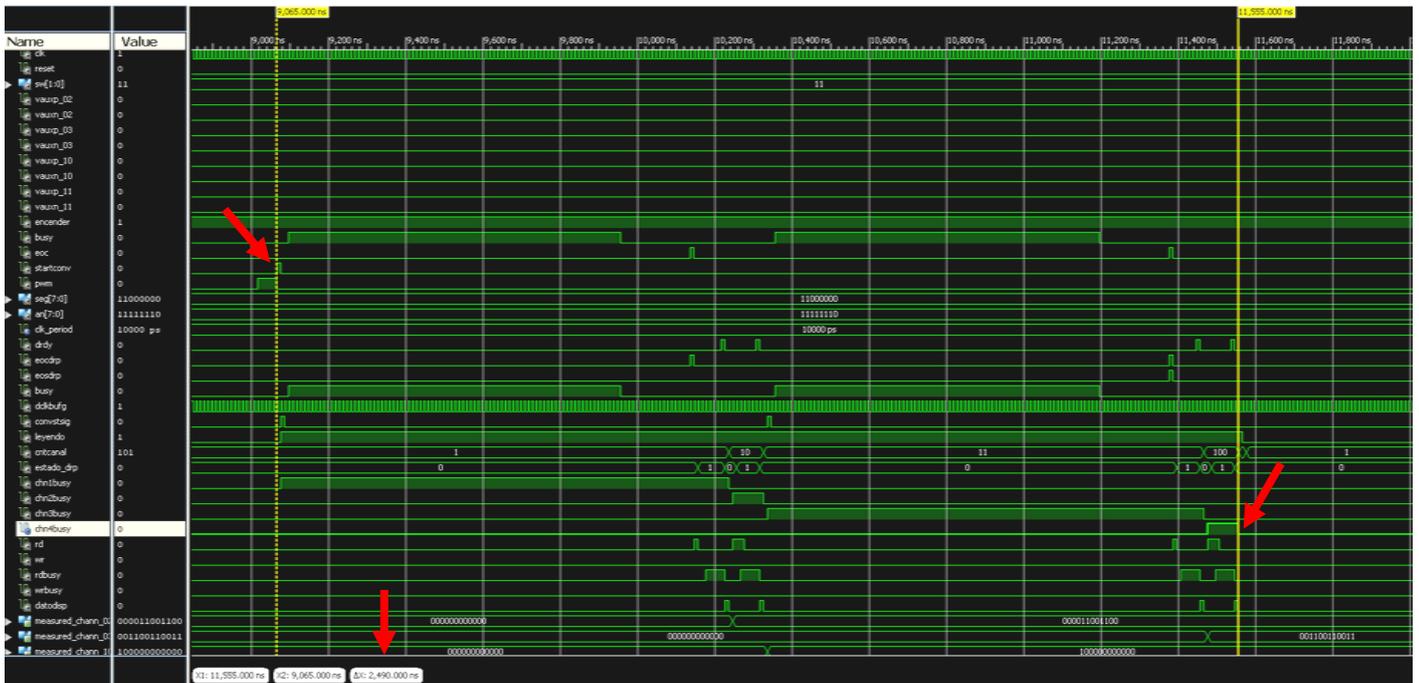
**Figura 7.7** Gráfica del contador del PWM digital (DPWM) con detalle del ADC.

En la siguiente figura se muestran los datos de la simulación realizada con la herramienta ISIM de Xilinx en un intervalo de 100  $\mu\text{s}$  (se lanzan conversiones del ADC cada 10  $\mu\text{s}$  para no alargar en exceso la simulación).



**Figura 7.8** Evolución de las señales del ADC durante los procesos de conversión y lectura.

Por otra parte, en la siguiente figura se muestran un detalle de uno de los procesos de conversión donde se indica el comienzo y final de la conversión.



**Figura 7.9** Evolución señales ADC durante los procesos de conversión y lectura (detalle).

En la figura anterior se observa que el tiempo máximo de conversión entre que el control manda la señal de inicio de conversión (*start*) y que el último canal de lectura deja de estar ocupado (*chn4busy*) es de 2,49  $\mu$ s.

Se aprecia también en la figura como el tiempo de estancia en el canal 1 y 3 es mucho mayor que en el canal 2 y 4 ya que en estos últimos canales no es necesaria la generación de una nueva señal de conversión ya que los datos se han muestreado simultáneamente con sus respectivas parejas (1-3 y 2-4 que se corresponden con los canales del ADC nombrados VAUX02-VAUX10 y VAUX03-VAUX11 respectivamente).

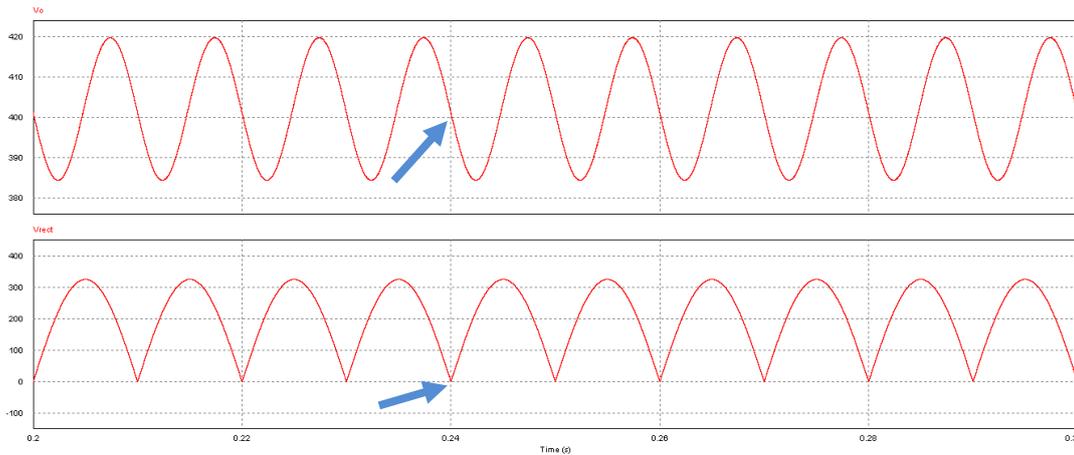
El peor caso en el tiempo disponible después de la conversión es cuando el ciclo de trabajo es máximo, ya que en este caso el inicio de la conversión se realiza en la mitad del ciclo y sólo hay disponibles 5  $\mu$ s para finalizar la conversión de todos los canales del ADC y los cálculos del regulador. Esto se resume en la siguiente tabla.

TIEMPOS DE ADC Y CÁLCULOS (peor caso $ton=T/2$ )	
Periodo del PWM (T)	10 $\mu$ s
Tiempo total disponible ( $ton=T/2$ )	5 $\mu$ s
Tiempo total del ADC (4 canales)	2,49 $\mu$ s
Periodo de reloj	10 $\cdot 10^{-3}$ $\mu$ s
Tiempo disponible cálculos	2,51 $\mu$ s
Ciclos reloj disponible cálculos	251 ciclos de reloj (100 MHz)

**Tabla 7.3** Resumen de tiempos del ADC.

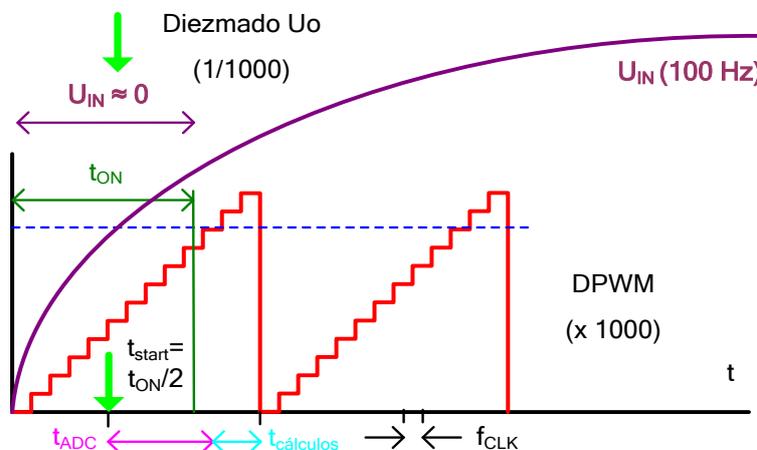
De la tabla anterior se deduce que el tiempo disponible para los cálculos es suficiente dado la alta frecuencia de reloj disponible en la FPGA. Es importante hacer notar que el primer dato disponible debe ser la medida de la corriente en la bobina ya que este es el que tiene una variación más rápida y control más rápido (5 kHz BW).

Por otra parte, para la regulación e la tensión de salida se emplea una frecuencia de muestreo de 100 Hz (diezmado en relación 1/1000 de las muestras del ADC), esto es 1000 veces inferior a la del PWM dado que el regulador de tensión es un regulador lento (5 Hz de ancho de banda o BW) y de este modo se evita también el tener constantes del regulador excesivamente pequeñas. El muestreo de la tensión de salida se realiza en los pasos por cero de la tensión de entrada momento este en el que la tensión tiene su valor medio como se muestra en la siguiente figura.



**Figura 7.10** Tensión de salida (superior) y tensión de entrada rectificada (inferior).

Así mismo, el disparo de la conversión para el lazo de corriente que se realiza a la frecuencia del PWM de 100 kHz y está sincronizado también con el paso por cero (aproximadamente cuando  $5V < U_{in} < 10V$ ) de la tensión de entrada (simultáneamente con el diezmado del muestro para el regulador de tensión). En la siguiente figura se muestran estos conceptos.



**Figura 7.11** Gráfica del contador del PWM digital (DPWM) con detalle del diezmado.

## 7.2.1 Resultados experimentales de las medidas del ADC

Una vez implementado el ADC se realizan pruebas para comprobar su funcionamiento. Para visualizar los resultados se envían los datos de conversión al *display* de 7 segmentos (explicado posteriormente).

Dado que la resolución del ADC es de 12 bits y que la tensión de entrada del ADC va de 0 a 1 voltios, el dato de salida del ADC en función de la tensión de entrada del ADC se corresponde con la siguiente expresión

$$\text{dato salida ADC} = \frac{U_{\text{entrada\_ADC}}}{U_{\text{maxima\_ADC}}} \text{FFFh} = 0 \text{ a } (2^{12} - 1) = 0 \text{ a } 4095 \quad (7.1)$$

Empleando la ecuación anterior y dando los resultados en formato decimal los resultados obtenidos para diferentes valores de tensión de entrada son los que se detallan en la siguiente tabla (se dan únicamente los valores de los canales que se usarán en medidas externas de las variables el convertidor)

PRUEBAS DE MEDIDAS DEL ADC				
CANAL	TENSIÓN (V)	VALOR DEL ADC	VALOR TEÓRICO	ERROR
Canal AUX02 ( $I_{in}$ )	0,201	828	823	+ 0.61 %
	0,500	2046	2048	- 0.10 %
	0,800	3274	3276	- 0.06 %
Canal AUX10 ( $U_{in}$ )	0,201	820	823	- 0.36 %
	0,501	2045	2048	- 0.15 %
	0,800	3270	3276	- 0.18 %
Canal AUX03 ( $U_o$ )	0,201	825	823	+ 0.24 %
	0,500	2047	2048	- 0.05 %
	0,800	3273	3276	- 0.09 %

**Tabla 7.4** Pruebas de medidas del ADC.

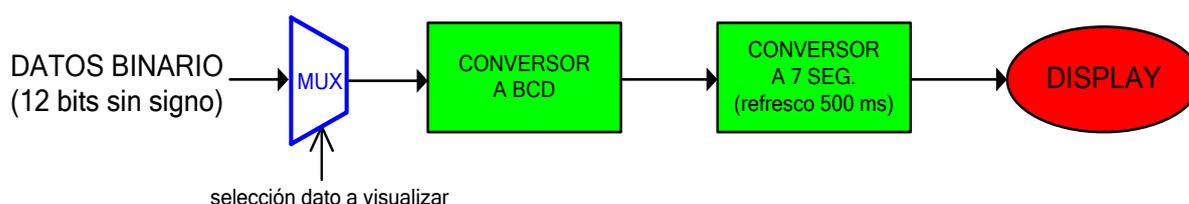
De los datos mostrados en la tabla anterior se deduce que las medidas presentan un error muy aceptable. Incluso aunque la visualización y toma de datos presente cierto error las medidas obtenidas son válidas.

Una vez presentado el funcionamiento y control de ADC, en los apartados siguientes se presenta el trabajo llevado a cabo en los programas de monitorización.

## 7.3 Monitorización mediante *display* LED

En este apartado se presenta brevemente la funcionalidad implementada en la FPGA para visualizar variables internas mediante el *display* de 7 segmentos disponible en la placa de la FPGA [Nexys4rm14] [Nexys4sch14].

Los datos de entrada a visualizar son variables que por generalidad se toman en el formato de salida de los ADC, esto es 12 bits sin signo. Para poder visualizar estos datos en el *display* de 7 segmentos es necesario convertirlos a BCD y luego cada dígito a 7 segmentos. En la figura siguiente se muestra este proceso.



**Figura 7.12** Diagrama de bloques de las conversiones realizadas para el *display*.

Según se observa en la figura la frecuencia de muestreo de los LEDs del *display* es de 2 Hz (cada 500 ms) para su correcta visualización.

Para poder visualizar más de una variable, mediante interruptores externos y un multiplexor interno se selecciona el dato a visualizar indicando también información sobre el nombre de la variable. En la siguiente tabla se detallan las variables visualizadas y la posición de los interruptores V10 y U11 de la placa [Nexys4rm14].

VARIABLES VISUALIZADAS EN LOS DISPLAYS DE 7 SEGMENTOS		
INTERRUPTOR (V10-U11)	VARIABLE VISUALIZADA	RÓTULO MOSTRADO
00	Corriente de entrada $I_{in}$	$I_{i\_02}$
01	Tensión de entrada $U_{in}$	$U_{i\_03}$
10	Tensión de salida $U_o$	$U_{o\_10}$
11	Salida del PI de tensión ( $\times 1000$ )	$PM_{11}$

**Tabla 7.5** Variables visualizadas en el *display* de 7 segmentos.

### 7.3.1 Resultados experimentales del *display* LED

Una vez presentado el funcionamiento del *display* de 7 segmentos, en este apartado se muestran brevemente los resultados de las pruebas llevadas a cabo tomando como referencia los datos de la tabla anterior.

En la siguiente figura se muestra el montaje empleado donde se aprecia claramente la placa con el *display* de 7 segmentos (en este caso mostrando la variable PM\_11).

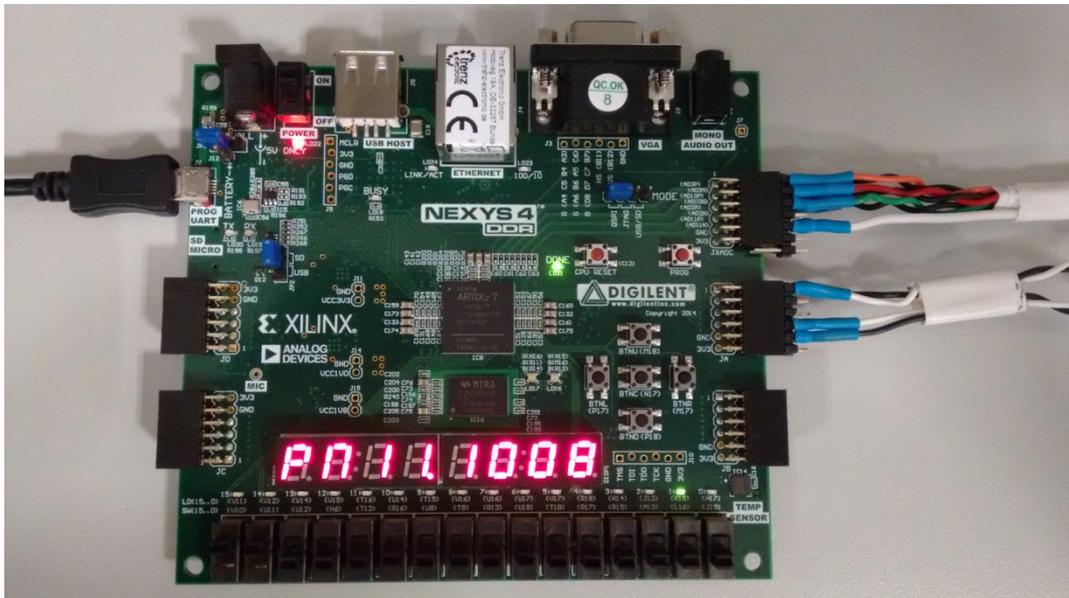


Figura 7.13 Montaje empleado en las pruebas del display de 7 segmentos.

Por su parte, en la siguiente figura se muestran los resultados de la visualización de las cuatro variables comentadas anteriormente.

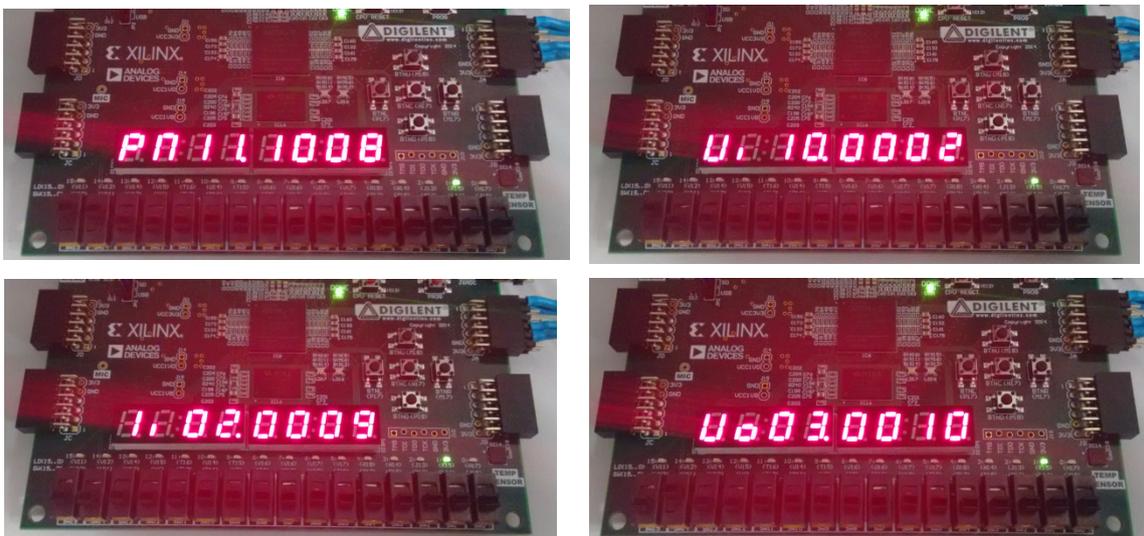


Figura 7.14 Resultado de las pruebas del display de 7 segmentos.

Se aprecia claramente como los resultados de la figura anterior coinciden con lo especificado en la Tabla 7.5.

## 7.4 Monitorización mediante GUI

Aunque la visualización mediante *display* de 7 segmentos es un método cómodo y en tiempo real para visualizar variable internas del control, este método es muy poco flexible y tiene el gran inconveniente de que el flujo de información es unidireccional (del control o FPGA al *display*).

En los actuales equipos de electrónica de potencia es cada vez más demandado el disponer de interfaces gráficas de usuario complejas que permitan tanto la visualización completa de las variables internas del control como la modificación de las mismas.

Para poder dar esta funcionalidad es necesario emplear complejos programas de monitorización instalados en PC y que se comunican con el dispositivo de control mediante algún protocolo de comunicaciones (RS-232, USB, CAN, Ethernet).

En este proyecto se ha desarrollado una interfaz de usuario que utiliza el protocolo de comunicaciones serie RS-232 por su sencillez y los resultados muy aceptables que aporta. En la siguiente figura se muestra un esquema del montaje utilizado.



Figura 7.15 Diagrama general del sistema de monitorización implementado.

Para poder implementar el sistema de comunicaciones comentado, es necesario implementar en la FPGA una UART que permita el establecimiento de la comunicación mediante el protocolo RS-232.

### 7.4.1 Sistema UART

En el presente proyecto se ha implementado una UART con buffer tipo FIFO que permite enviar por RS-232 los datos internos del convertidor y leer los datos enviados por la GUI. La UART implementada está basada en el diseño propuesto en [Chu08].

En la siguiente figura se muestra el diagrama de bloques de la UART implementada incluyendo los siguientes componentes:

- Receptor RS-232.
- Transmisor RS-232.
- Buffer de recepción (implementado mediante FIFO).
- Buffer de transmisión (implementado mediante FIFO).
- Generador de secuencia *baudrate*.

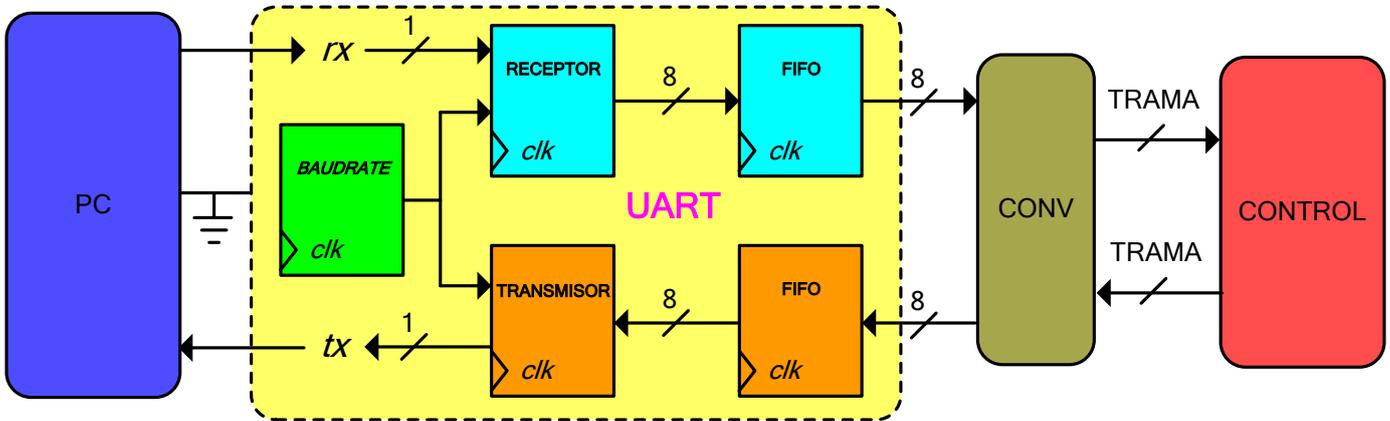


Figura 7.16 Diagrama de bloques de la UART.

Por otra parte, en la figura siguiente se muestra la trama de una palabra enviada mediante el protocolo RS-232.



Figura 7.17 Cronograma de las señales de control del XADC.

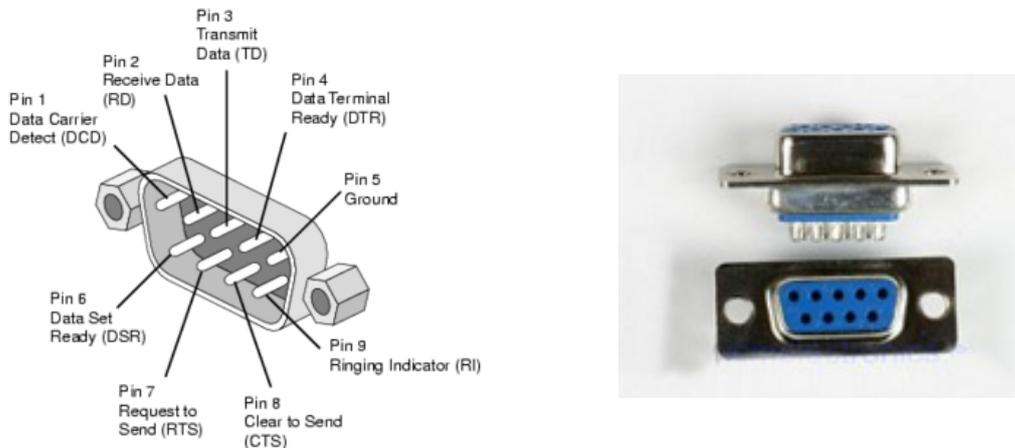
En la figura se observa que en el estado de reposo la línea está en estado alto. Cuando se va a transmitir una palabra se pone un bit de *start* a cero y se comienzan a transmitir los bits de datos. Al final de la transmisión se pone un bit de *stop*. Los bits de inicio y final con necesarios para sincronizar el emisor y receptor al tratarse de una transmisión asíncrona (sin reloj). Uno de los inconvenientes es que por cada 8 bits de datos es necesario enviar 2 bits de control.

En la siguiente tabla se dan los parámetros empelados en la UART implementada

TIEMPOS DE ADC Y CÁLCULOS (peor caso $t_{on}=T/2$ )	
Bit de datos	8
Bits de parada	1
Velocidad	38400 baudios
Bit de paridad	NO
Frecuencia de la trama	cada 500 ms

Tabla 7.6 Resumen de características de la UART.

Por otra parte, en la figura siguiente se muestra la forma típica de un conector RS-232 industrial.



**Figura 7.18** Conector RS-232 y significado de los pines.

En la tabla siguiente se muestra la declaración de la entidad de la UART codificada en lenguaje VHDL.

ENTIDAD DEL COMPONENTE <i>SISTEMA</i> en VHDL
<pre> entity uart_Top is   generic(     NUMVARIABLES_TX: integer:=3;     NUMPALABRAS_TX: integer:=5;     TIEMPO_TXms: integer:=10;     TIEMPO_RXms: integer:=10   );   port(     clk: in std_logic;     reset: in std_logic;     dato_tx: in std_logic_vector((NUMVARIABLES_TX*12-1) downto 0);     dato_rx: out std_logic_vector((NUMVARIABLES_TX*12-1) downto 0);     rx: in std_logic;     tx: out std_logic   ); end uart_Top; </pre>

**Tabla 7.7** Declaración de la interfaz en VHDL de la UART.

Mediante esta entidad se implementa y simula el sistema bajo estudio que incluye los componentes anteriormente comentados.

Una vez implementada la UART, se diseña un controlador de la misma que recibe la cadena de datos a enviar (trama) y la trocea en cadenas de 8 bits de datos para poder ser manejada por la UART (ver Figura 7.17). El controlador envía la trama cada 500 ms.

La trama empleada en la comunicación entre el PC y la FPGA se muestra en la siguiente figura. Los datos iniciales de 12 bits se codifican como 2 bytes.

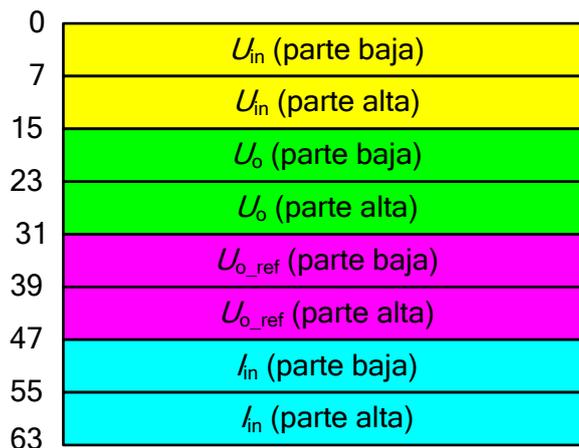


Figura 7.19 Trama de comunicaciones entre la FPGA y el PC por RS-232.

A continuación se muestran los resultados de las simulaciones llevadas a cabo para, posteriormente, mostrar los resultados de las pruebas en el laboratorio (en este caso de envía una trama cada 10 ms para no alargar las simulaciones).



Figura 7.20 Resultados de la simulación de la UART.

Para apreciar mejor la trama transmitida, en la figura siguiente se muestra un detalle de los resultados. Las líneas en negro que aparecen se corresponden con las líneas de recepción que no están siendo utilizadas.

Como se observa en ambas figuras, los resultados coinciden con lo esperado y se pueden llevar a cabo las pruebas en el laboratorio.

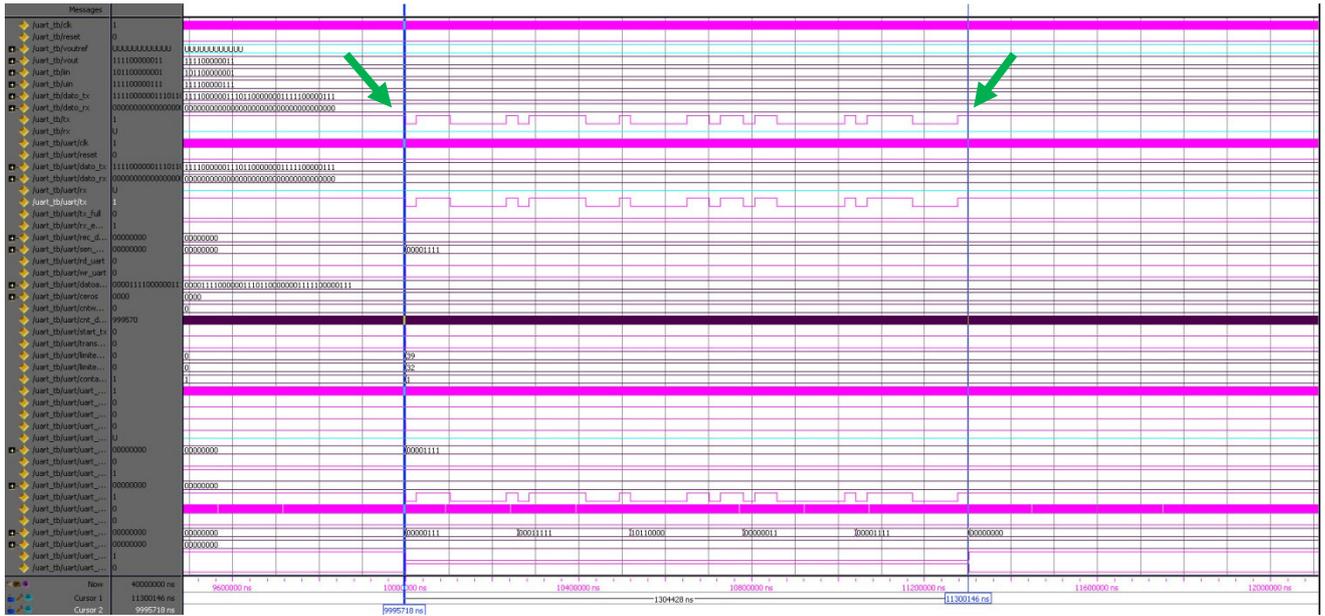


Figura 7.21 Resultados de la simulación de la UART. Detalle

A continuación se muestran los resultados de las pruebas de la laboratorio para la UART implementada y comunicándose con la GUI que se verá en el apartado siguiente.

### Trama enviada

En la siguiente foto se muestra el detalle de la trama completa enviada por comunicaciones RS-232. Se envía primero el bit menos significativo LSB.

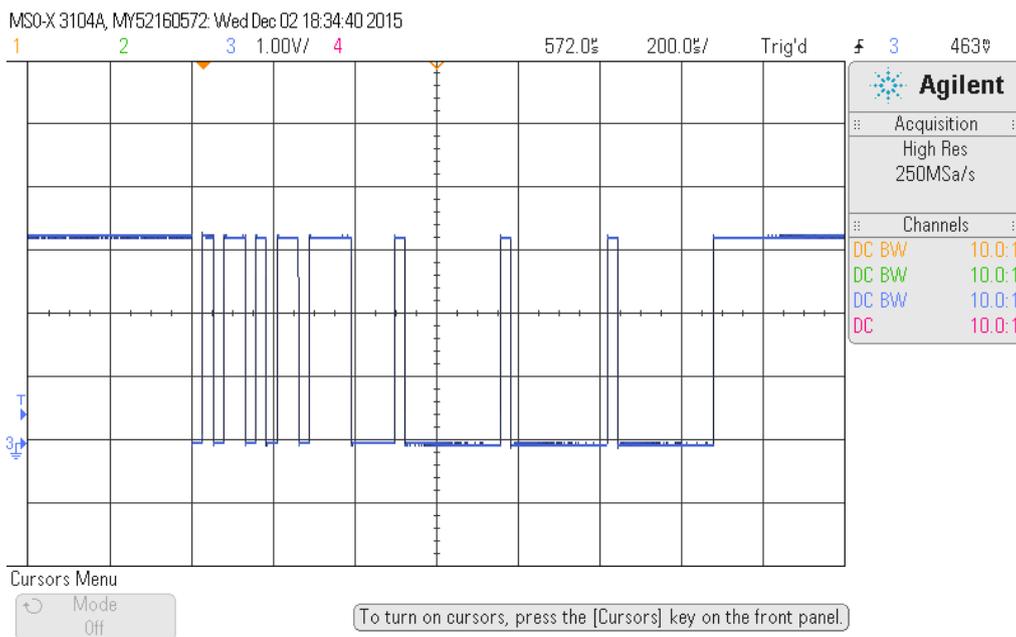


Figura 7.22 Trama completa enviada por RS-232.

En la siguiente foto se muestra el detalle de la palabra inicial de la trama enviada por comunicaciones RS-232 (- 10101101 -). Se aprecia el bit de *start* y *stop*.

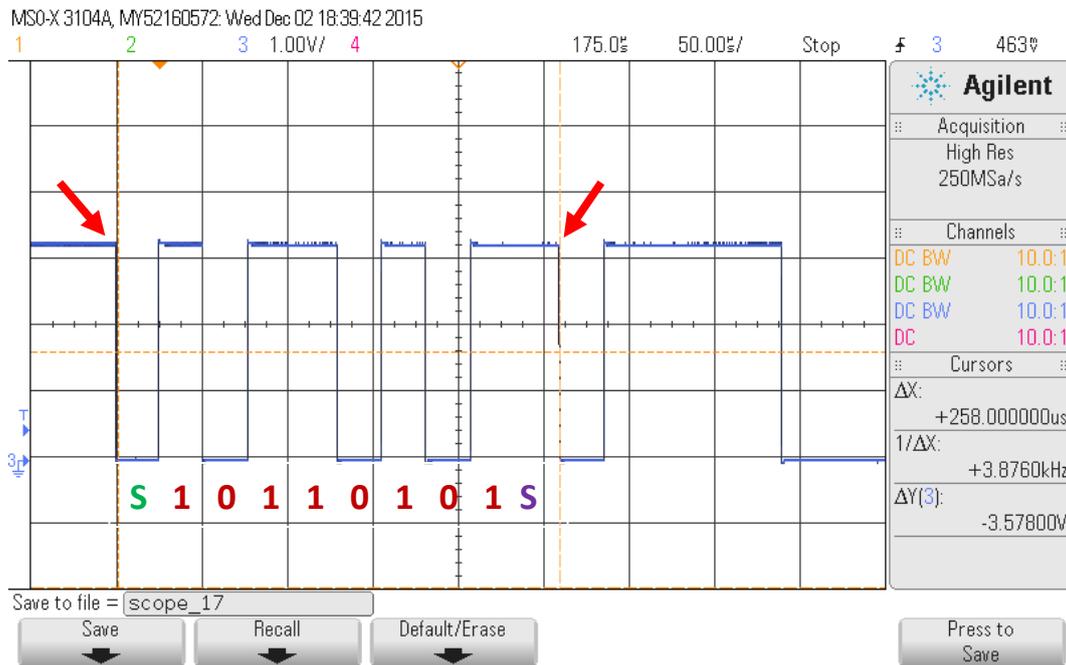


Figura 7.23 Detalle palabra inicial de la trama enviada por RS-232.

Por otra parte, en la siguiente foto se muestra el detalle de un bit enviado en la trama de comunicaciones.

La duración de bit es 26,087  $\mu$ s lo que da un *baudrate* de **38400 bits/s**.

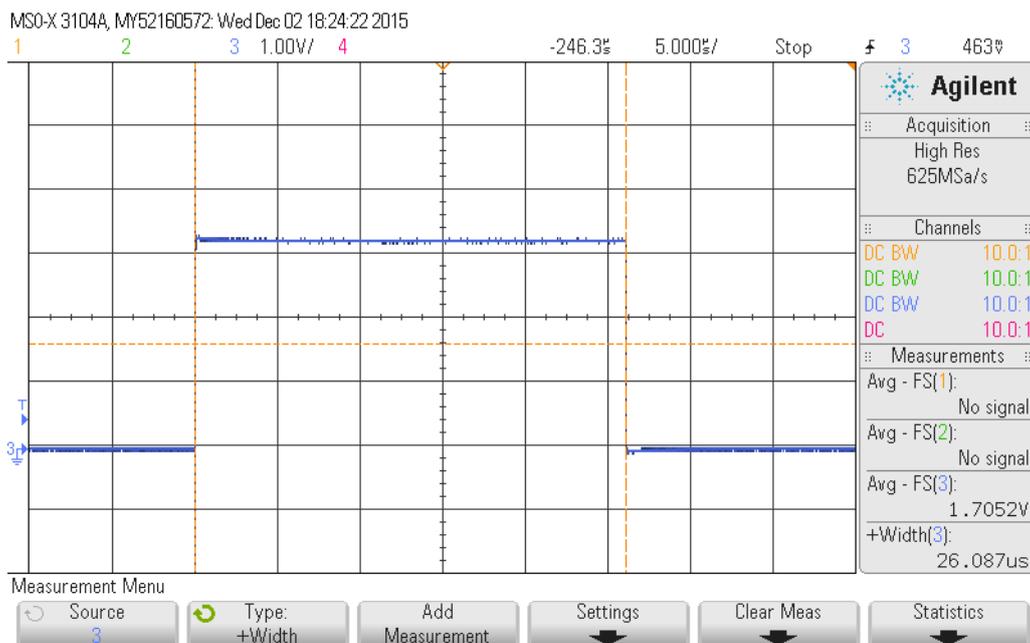


Figura 7.24 Detalle de la duración de un bit de la trama enviada por RS-232.

## 7.4.2 Interfaz gráfica (GUI)

Una vez diseñado y probado el sistema de comunicaciones RS-232 es necesario programar y desarrollar la interfaz gráfica de usuario en un lenguaje de alto nivel. En este caso se ha programado la GUI en Visual Basic por su simplicidad y versatilidad.

Un detalle importante a la hora de visualizar correctamente los resultados es que hay que tener en cuenta que la información es enviada por la FPGA cada 500 ms, por este motivo es necesario que los valores recibidos estén previamente filtrados.

Dado que la frecuencia de envío de datos es de 2 Hz, la máxima frecuencia que se puede visualizar es de 1 Hz. Por este motivo, los datos internos de la FPGA muestreados a 100 kHz por el XADC se filtran internamente en la FPGA con un filtro paso bajo digital de primer orden con una frecuencia de corte de 1 Hz. El efecto de este filtro es que el dato recibido por la GUI es el valor medio de cada una de las variables a visualizar. En la figura siguiente se muestra este filtrado.

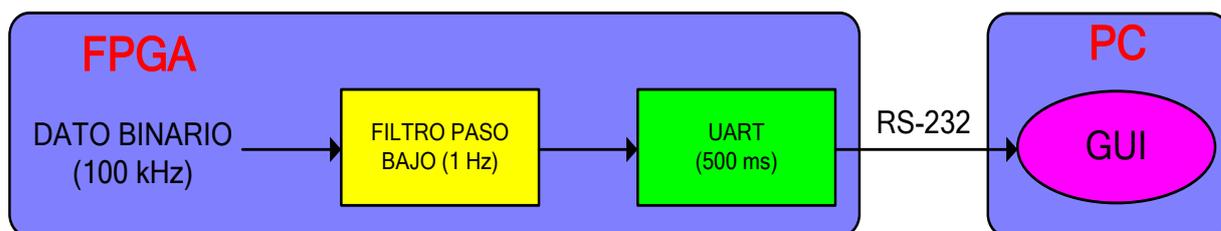


Figura 7.25 Diagrama de bloques del filtrado en la FPGA de los datos enviados RS-232.

La interfaz gráfica de usuario contará con las siguientes funcionalidades:

- Visualización de la tensión de entrada rectificadora (valor eficaz).
- Visualización de la tensión de entrada (es la rectificadora menos la caída en los diodos que se supone constante).
- Visualización de la tensión de salida rectificadora (valor medio).
- Visualización de la corriente de entrada rectificadora (valor eficaz).
- La velocidad de comunicación será de 38400 baudios.
- Se emplea RS-232 con un bit de *stop* y sin paridad.
- La frecuencia de recepción en la GUI es de 500 ms (el maestro es la FPGA).
- Envío de la tensión de referencia de salida del PFC mediante la interfaz gráfica para su lectura y modificación en la FPGA. Este valor se reenviará a la GUI para su visualización.
- Selección del puerto COM del PC.
- Iniciación del estado de la comunicación.
- Finalización controlada de la comunicación.
- Debe incluir un esquema del convertidor de potencia que se monitoriza.
- Posibilidad de parar el PWM (valor de comparación a cero).

Una vez realizada la interfaz gráfica cumpliendo los anteriores requisitos, en el siguiente apartado se muestran los resultados obtenidos.

### 7.4.3 Resultados experimentales para la GUI

En la figura siguiente se muestra el aspecto final de la interfaz gráfica implementada cumpliendo los requisitos marcados en el apartado anterior.

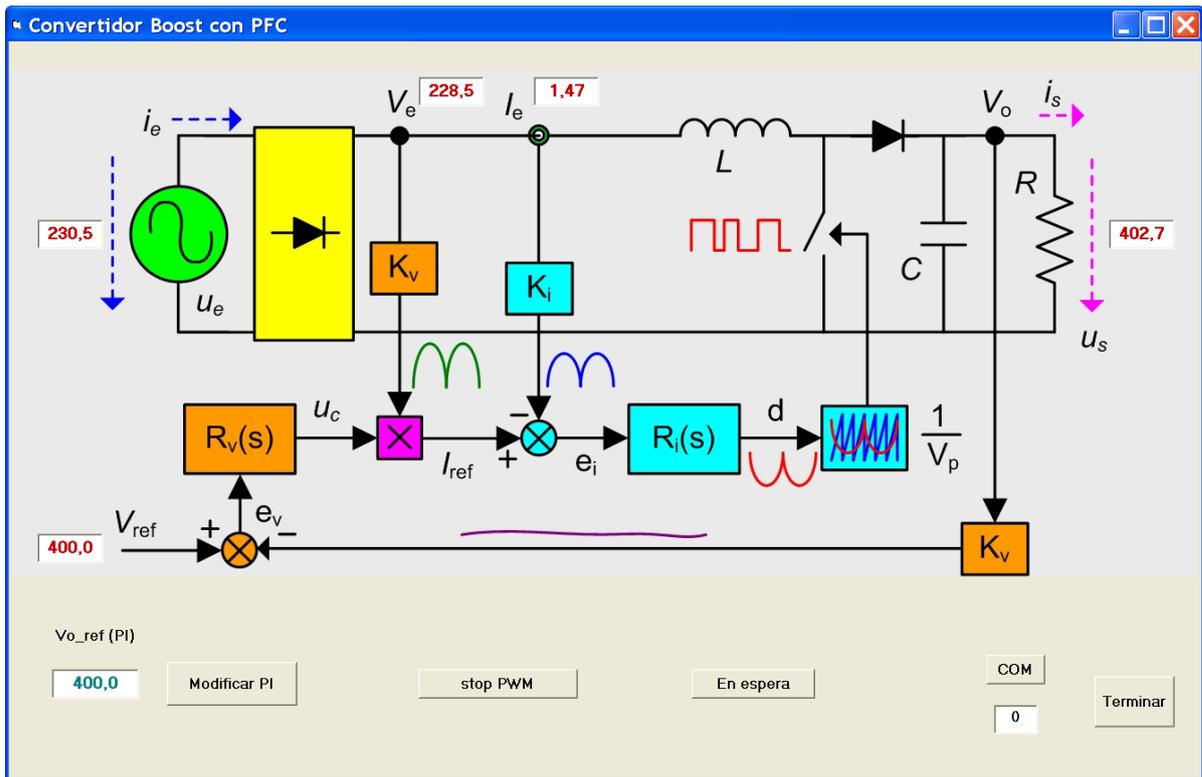


Figura 7.26 Diagrama RTL del regulador discreto del lazo interno de corriente

En la figura se aprecian claramente las variables visualizadas colocadas en el esquema del convertidor PFC.

Por otra parte, en la parte inferior izquierda se aprecia el cuadro de texto para introducir la tensión de salida de referencia. Este envío es asíncrono (maestro la GUI) y se envía al pulsar el botón adyacente.

Por su parte, en la parte inferior izquierda se muestran los botones de selección del puerto de comunicaciones, el cuadro de estado, el botón de paro del PWM y el botón de finalización.

# 8. Resultados experimentales

## 8.1 Introducción

Una diseñados y comprobados mediante simulación circuital y simulación digital en VHDL los reguladores en el dominio discreto, en este capítulo se presentan los resultados experimentales de la implementación física de los reguladores de tensión y corriente en una FPGA para controlar un convertidor de tipo *Boost* para corrección del factor de potencias conectado a un banco de resistencias en el laboratorio.

## 8.2 Montaje empleado

En este apartado se presentan los diferentes componentes empelados para llevara a cabo las pruebas experimentales en el laboratorio.

### Montaje general

En la siguiente figura se muestra el montaje general empleado en las pruebas incluyendo los siguientes componentes:

- Placa Nexys 4 DDR con FPGA de tipo Artix 7 [Xilinx-UG470] que integra también los ADC usados [Nexys4sch14] [Nexys4rm14].
- Convertidor *Boost* de 300 W. Esta placa integra la medida de tensión y el circuito de disparo del MOSFET. Se observa también la bobina *L*.
- Circuito acondicionador para la medida de corriente.

En la figura se indican los principales componentes empleados en las diferentes pruebas (a excepción del banco de resistencias).

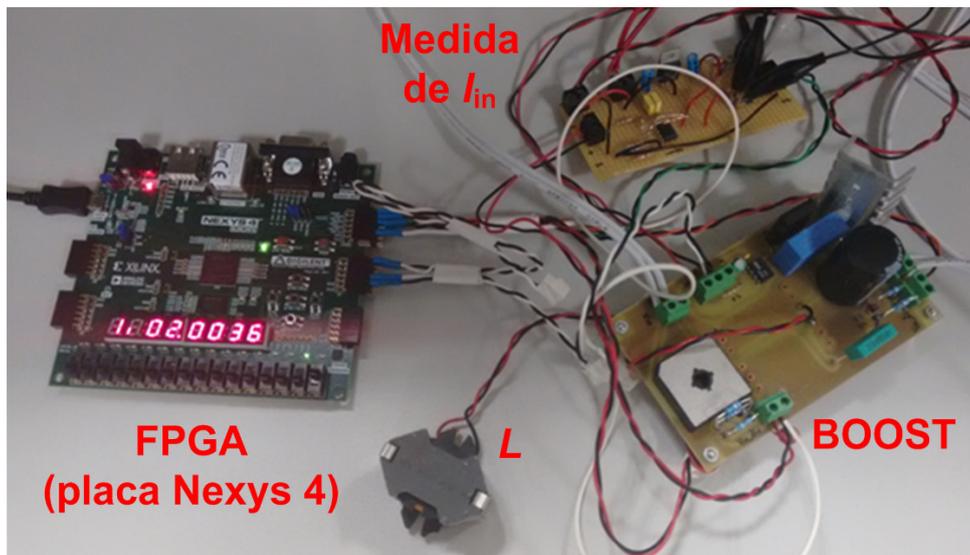


Figura 8.1 Montaje general empleado en las pruebas.

## Convertidor Boost

En la siguiente figura se muestra la placa que monta el convertidor elevador Boost en cargado de la corrección del factor de potencia.

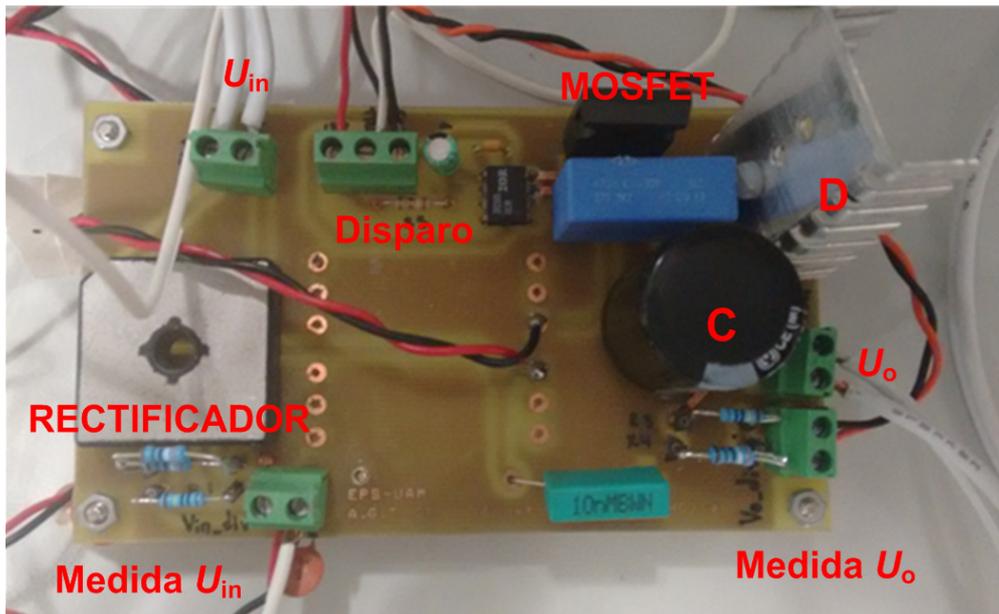


Figura 8.2 Placa del convertidor elevador Boost para PFC.

## Circuito de medida de corriente

En la siguiente figura se muestra el circuito encargado de acondicionar la medida de la corriente de entrada. Se indican el amplificador operacional y el regulador de tensión.

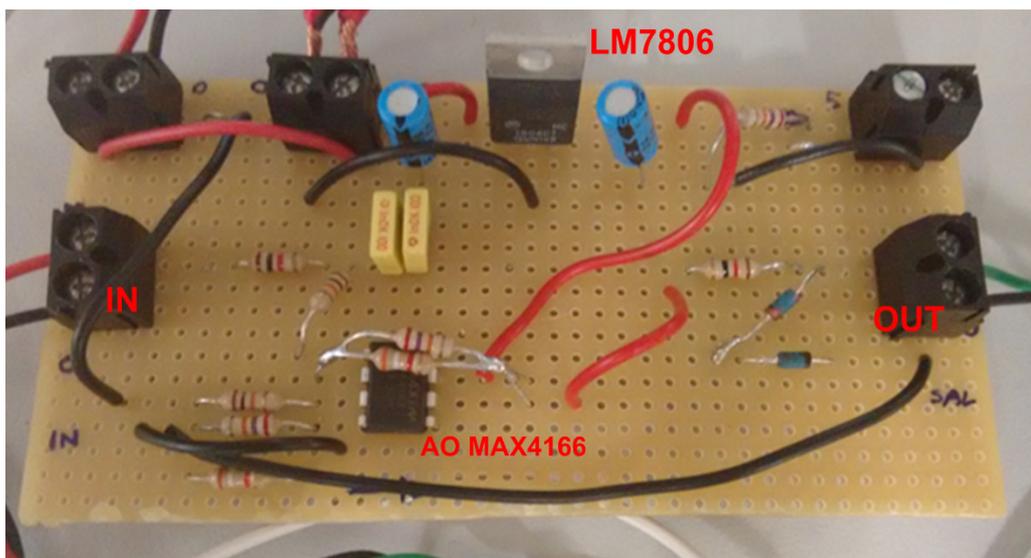


Figura 8.3 Circuito de medida de corriente de entrada.

Por su parte la resistencia de medida de corriente es una resistencia de 1  $\Omega$  y 6 W integrada en la placa del convertidor elevador.

## Placa Nexys 4 DDR con FPGA

En la siguiente figura se presenta la placa Nexys 4 DDR que integra una FPGA Artix 7 con ADC integrados.

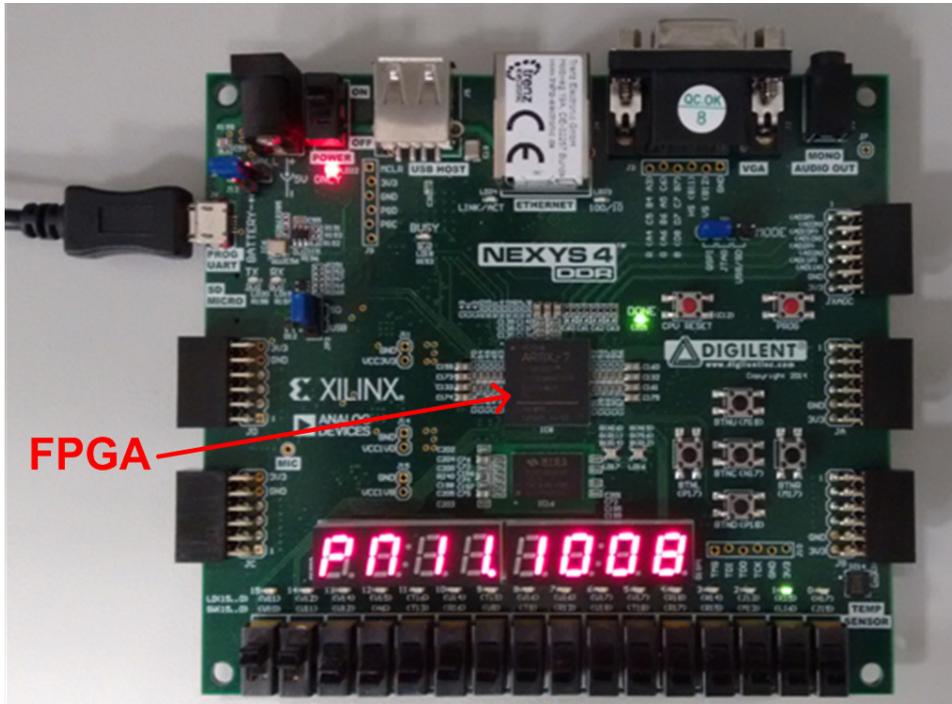


Figura 8.4 Placa Nexys 4 DDR con FPGA Artix 7.

## Banco de resistencias

En la siguiente figura se presenta el esquema eléctrico del bando de resistencias empleado en las pruebas y que se conecta a la salida del convertidor elevador. Este bando es capaz de suministrar una resistencia de  $513 \Omega$  y escalones del 70 % y 50 %.

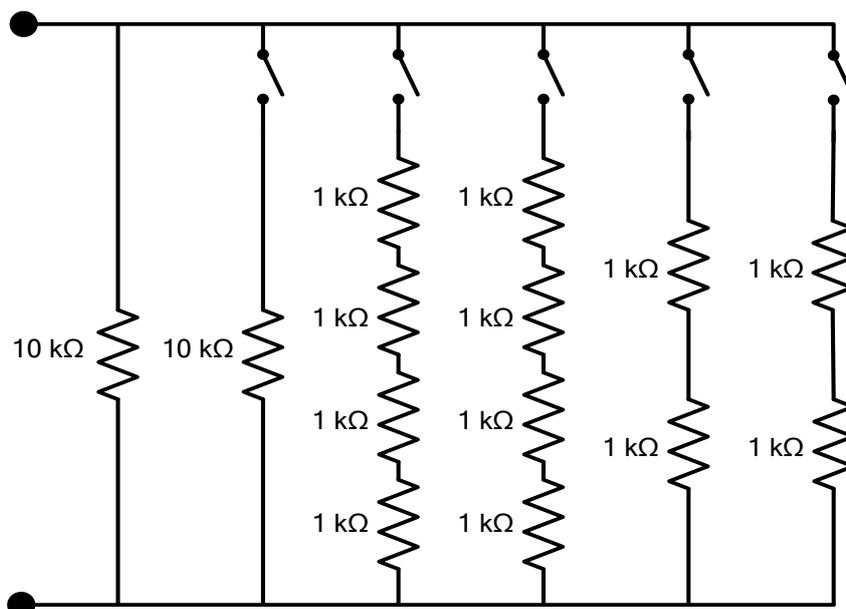


Figura 8.5 Circuito eléctrico del bando de resistencias.

Por otra parte, En la siguiente foto se muestra el montaje del banco de resistencias donde se observan los interruptores de conexión de las resistencias y la carga máxima de 513  $\Omega$  con todos los interruptores cerrados.

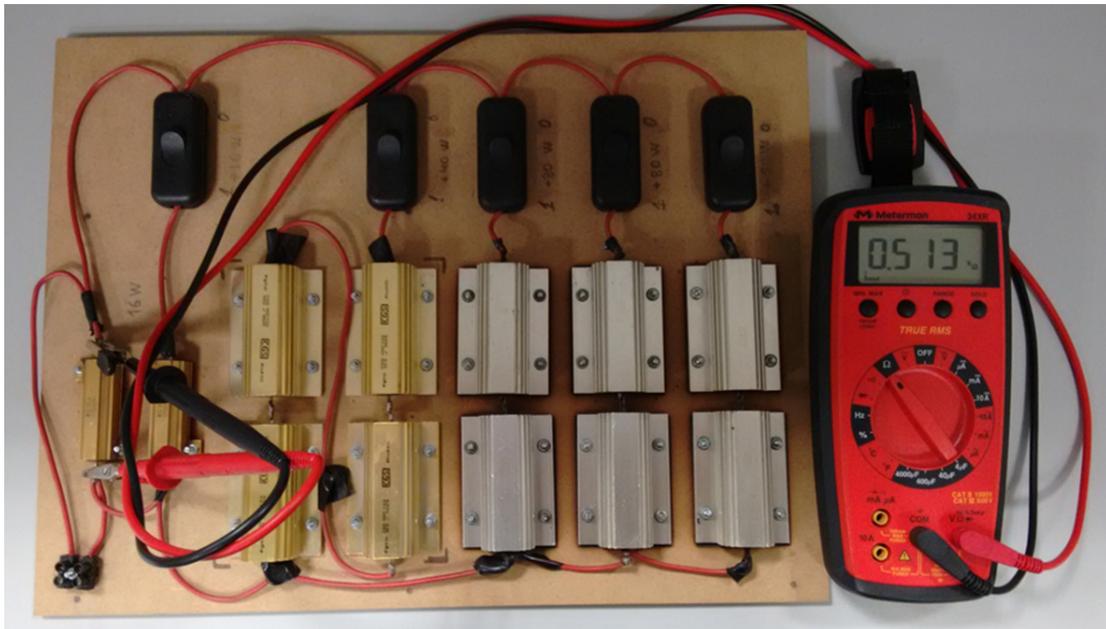


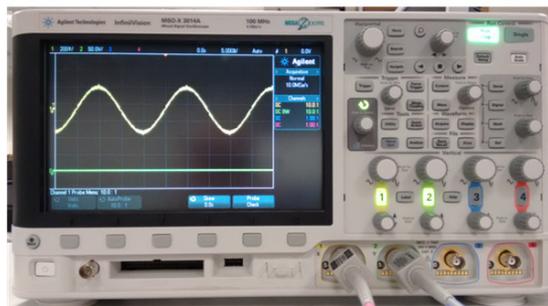
Figura 8.6 Montaje del banco de resistencias mostrando su carga máxima.

### **Material auxiliar (fuentes AC y DC, osciloscopio y multímetro)**

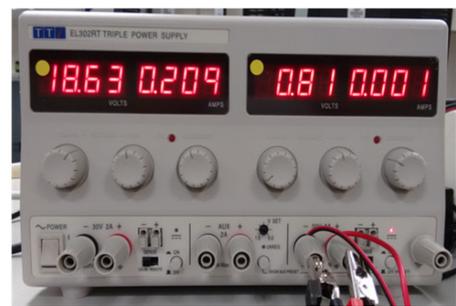
En la siguiente figura se muestran los equipos auxiliares empleados en las pruebas tales como fuente de alimentación DC y CA (con medida de factor de potencia), así como multímetro y osciloscopio digital de 1 GHz de ancho de banda.



MULTIMETRO



OSCILOSCOPIO



FUENTE DC



FUENTE AC

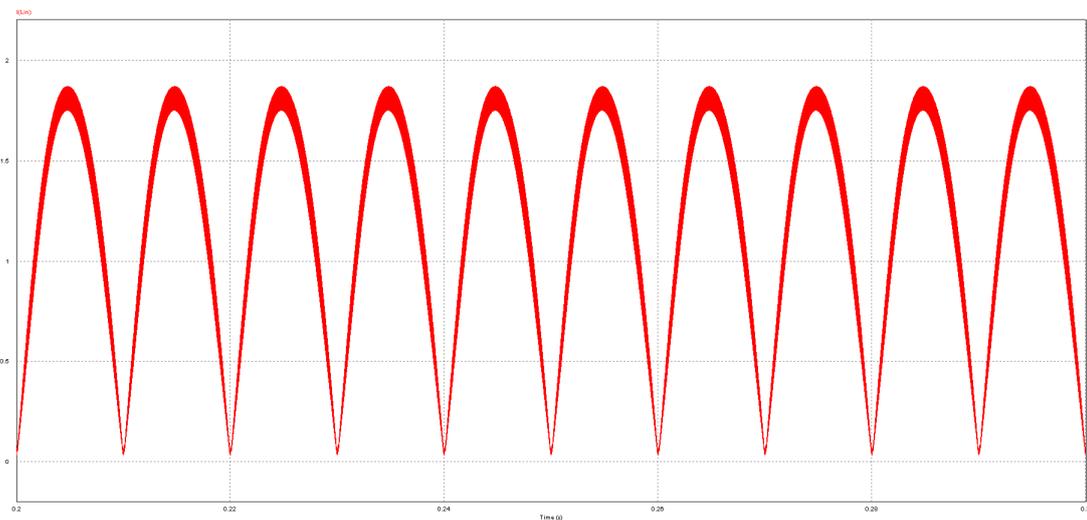
Figura 8.7 Equipos auxiliares empleados en las pruebas.

## 8.3 Resultados del lazo de corriente

En este apartado se presentan los resultados obtenidos para el lazo interno de corriente fijando que el lazo externo de tensión da una referencia de corriente (1,0077) para obtener 400 V a la salida para una carga de 300 W.

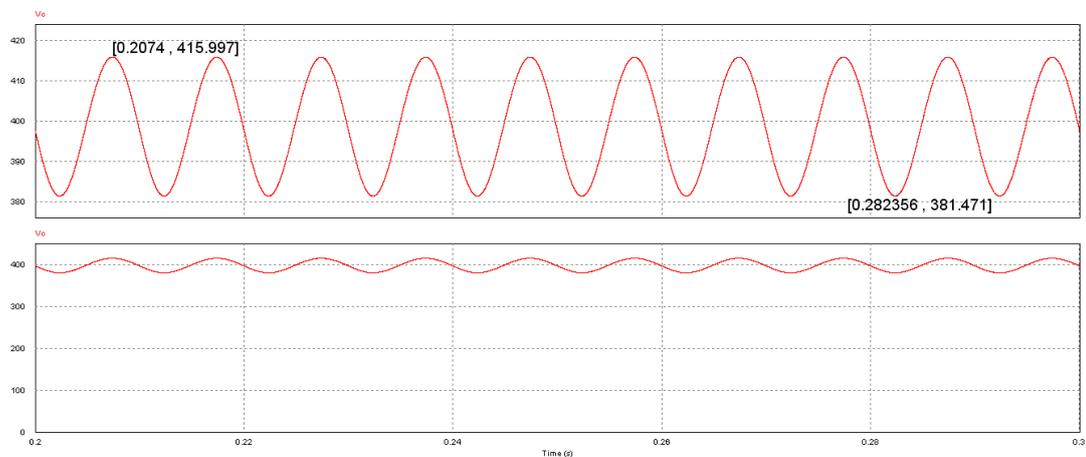
Los resultados y capturas del osciloscopio se corresponden con las simulaciones mostradas en el apartado 5.3.1 para la simulación circuital y con el apartado 6.6.1 para la simulación digital en VHDL.

En la figura siguiente se muestran los resultados de la corriente de entrada para la simulación digital con control discreto por comodidad en la comparación.



**Figura 8.8** Corriente por la bobina. Con pre-regulación y plena carga.

Por otra parte, en la figura siguiente se muestran los resultados de la tensión de salida para la simulación digital con control discreto.



**Figura 8.9** Tensión de salida. Con pre-regulación y plena carga.

## Corriente de entrada y tensión de salida

En la siguiente foto se muestra la corriente de entrada y la tensión de salida. El periodo del rizado de la tensión de salida es de 5,131 ms según el osciloscopio.

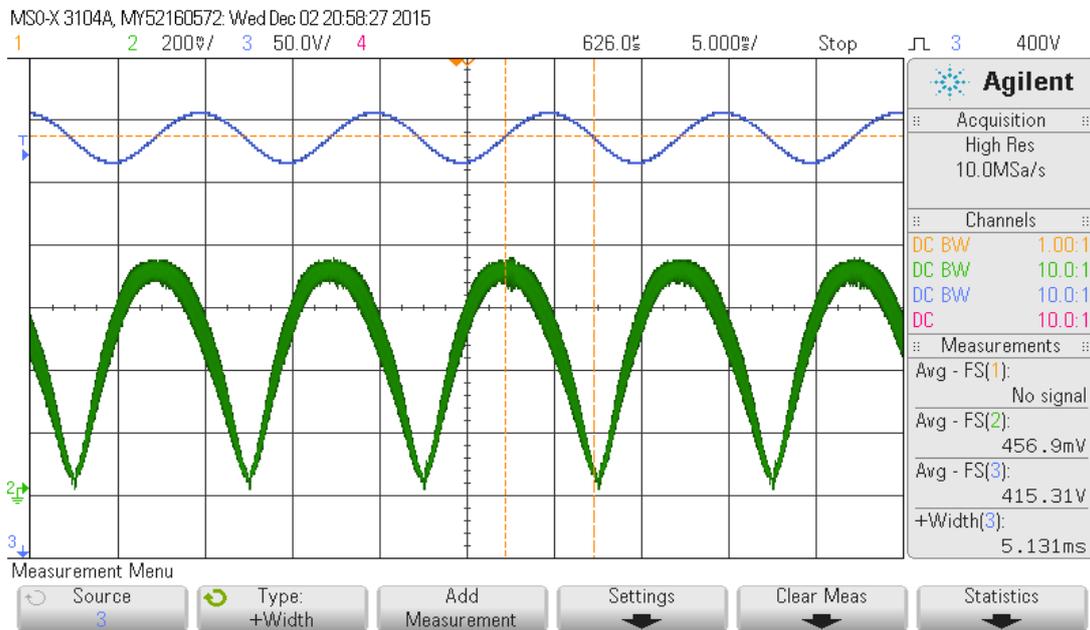


Figura 8.10 Corriente de entrada (verde) y tensión de salida (azul).

## Corriente de entrada y tensión de salida (detalle)

En la siguiente foto se muestra un detalle de la corriente de entrada y la tensión de salida. La tensión media de salida es de 415,6 V según el osciloscopio.



Figura 8.11 Corriente de entrada (verde) y tensión de salida (azul). Detalle.

### Corriente en la bobina (detalle)

En la siguiente foto se muestra el detalle de la corriente por la bobina, tanto medida con pinza de corriente como la medida con el circuito de medida (Figura 8.3).



Figura 8.12 Corriente de entrada medida (verde) y medida con pinza (marrón).

### Corriente de entrada y ciclo de trabajo promediado

En la siguiente foto se muestra un detalle de la corriente de entrada y el ciclo de trabajo promediado obtenido del PWM.

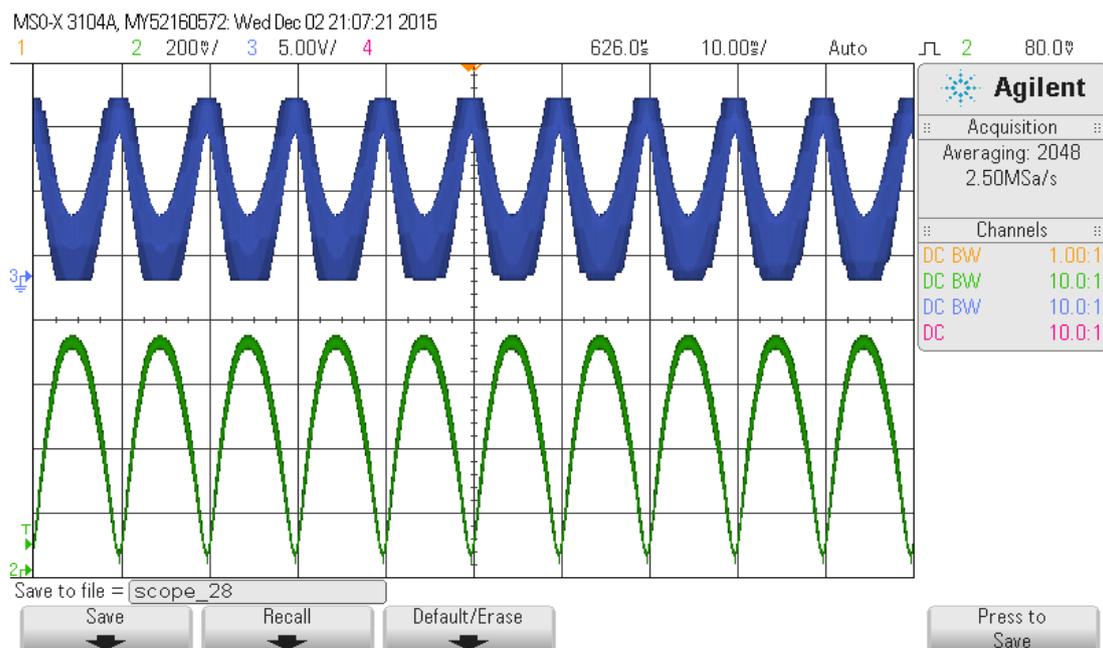


Figura 8.13 Corriente de entrada (verde) y ciclo de trabajo promediado (azul). Detalle.

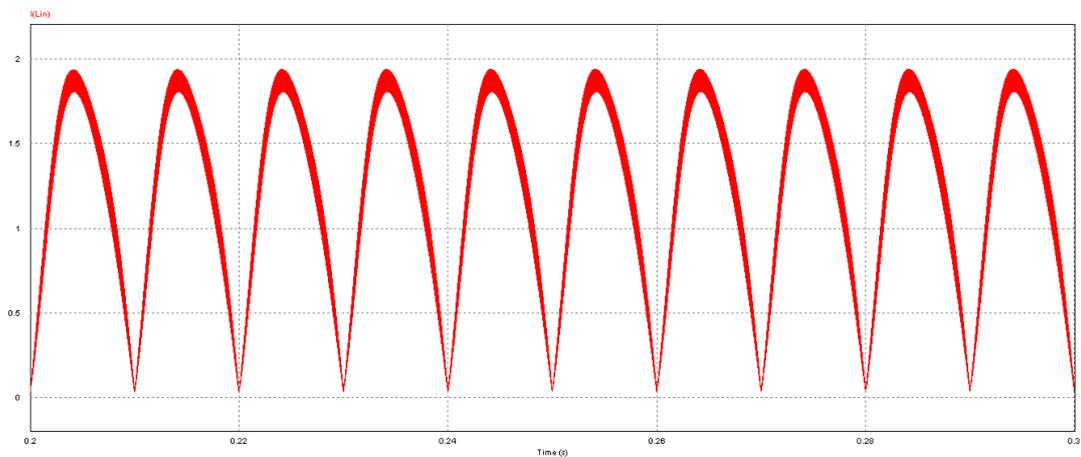
## 8.4 Resultados del lazo de tensión

En este apartado se presentan los resultados obtenidos para el lazo externo de tensión, tanto en régimen permanente como en régimen transitorio.

Los resultados y capturas del osciloscopio se corresponden con las simulaciones mostradas en el apartado 5.3.2 para la simulación circuital y con el apartado 6.6.2 para la simulación digital en VHDL.

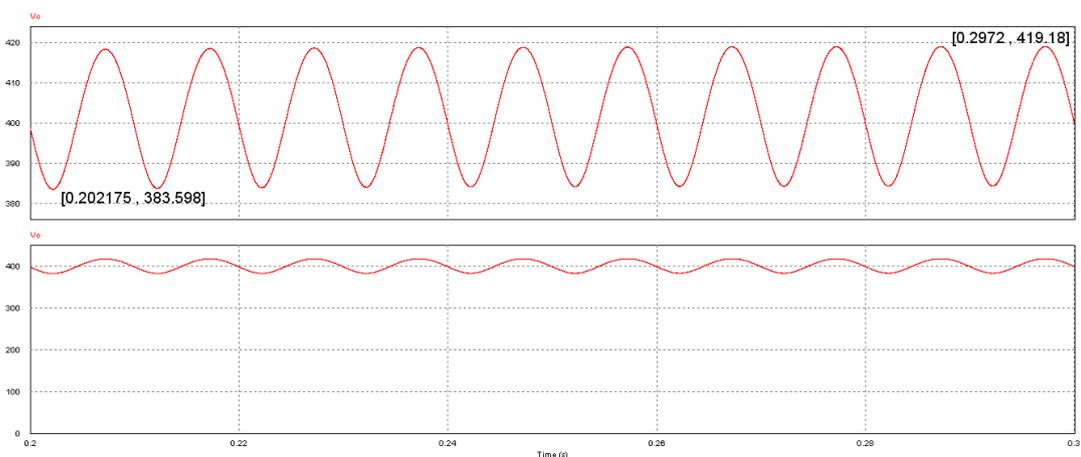
### 8.4.1 Resultados en régimen permanente

En la figura siguiente se muestran los resultados de la corriente de entrada para la simulación digital con control discreto. Se aprecia la ligera distorsión por los 100 Hz.



**Figura 8.14** Corriente por la bobina. Con pre-regulación y plena carga. Doble lazo.

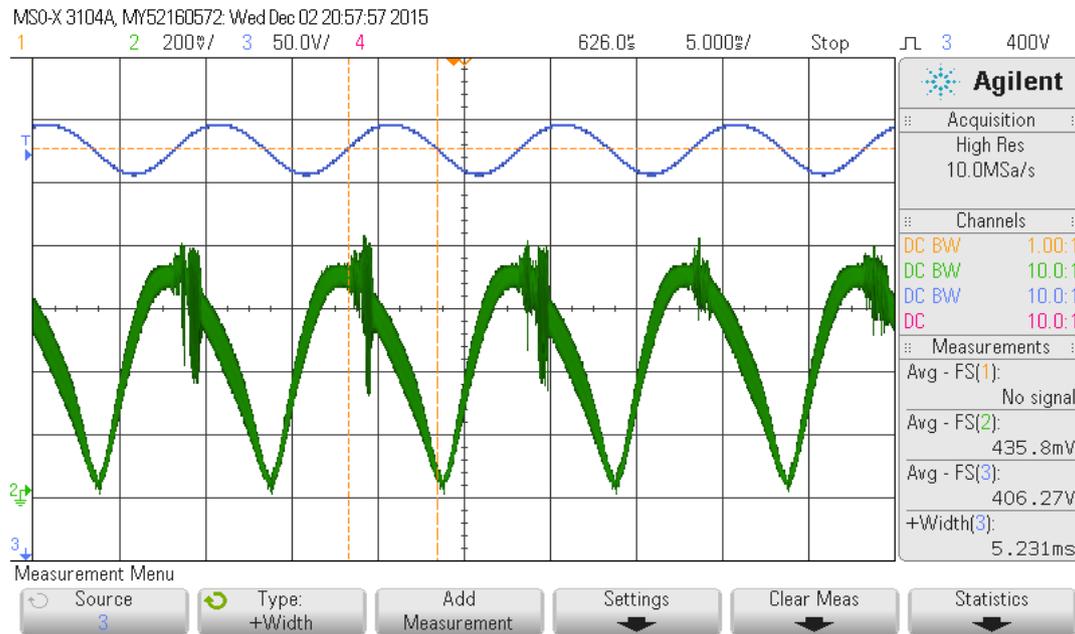
Por otra parte, en la figura siguiente se muestran los resultados de la tensión de salida para la simulación digital con control discreto.



**Figura 8.15** Tensión de salida. Con pre-regulación y plena carga. Doble lazo.

### Corriente de entrada y tensión de salida 100 % de carga

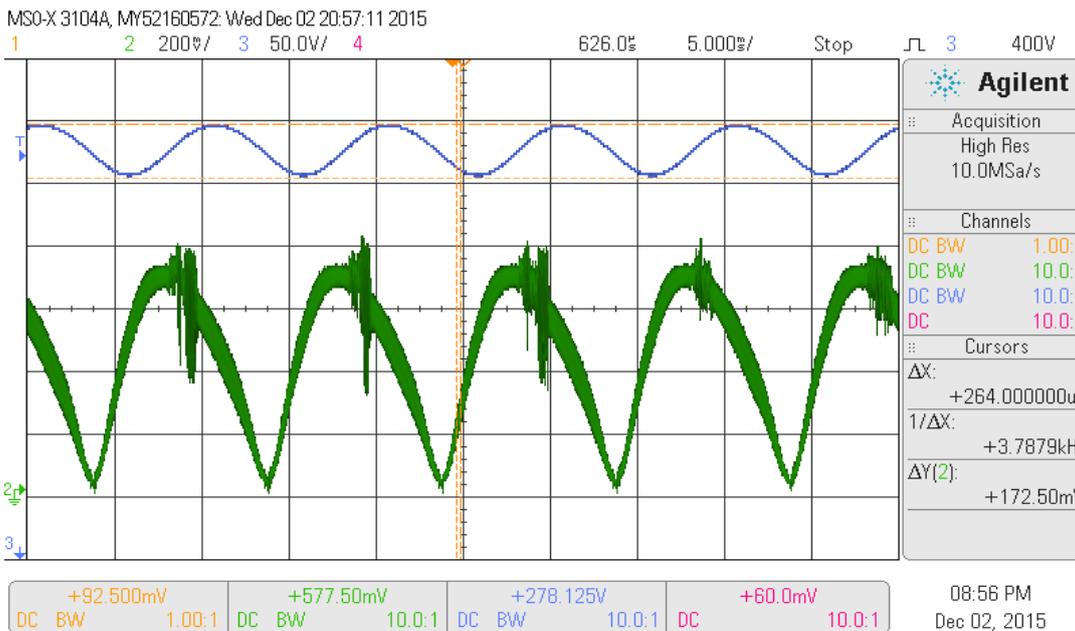
En la siguiente foto se muestra la corriente de entrada y la tensión de salida. El periodo del rizado de la tensión de salida es 5,231 ms según el osciloscopio (100 Hz).



**Figura 8.16** Corriente de entrada (verde) y tensión de salida (azul) con 100 % de carga.

### Corriente de entrada y tensión de salida (detalle) 100 % de carga

En la siguiente foto se muestra un detalle de la corriente de entrada y la tensión de salida. La tensión media de salida es de 406,27 V con rizado de 43,1 V.



**Figura 8.17** Corriente de entrada (verde) y tensión de salida (azul) y 100 % de carga. Detalle.

### Corriente de entrada y tensión de salida 70 % de carga

En la siguiente foto se muestra la corriente de entrada y la tensión de salida. El rizado de la tensión de salida es de 34,4 V.

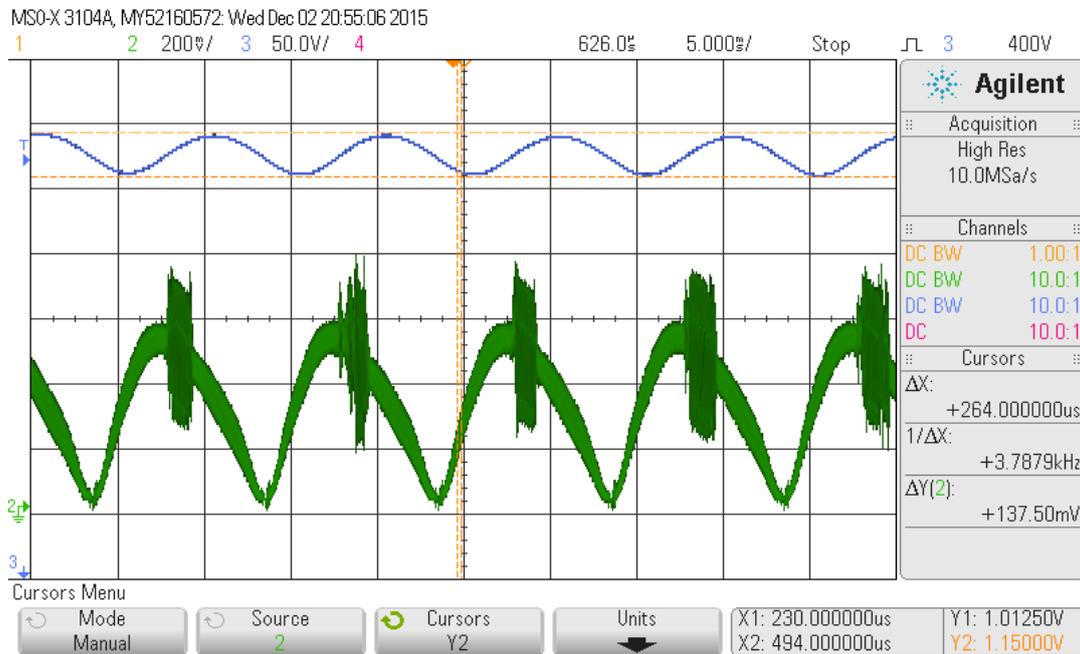


Figura 8.18 Corriente de entrada (verde) y tensión de salida (azul) con 70 % de carga.

### Corriente de entrada y tensión de salida 50 % de carga

En la siguiente foto se muestra un detalle de la corriente de entrada y la tensión de salida. El rizado de la tensión de salida es de 26,9 V.

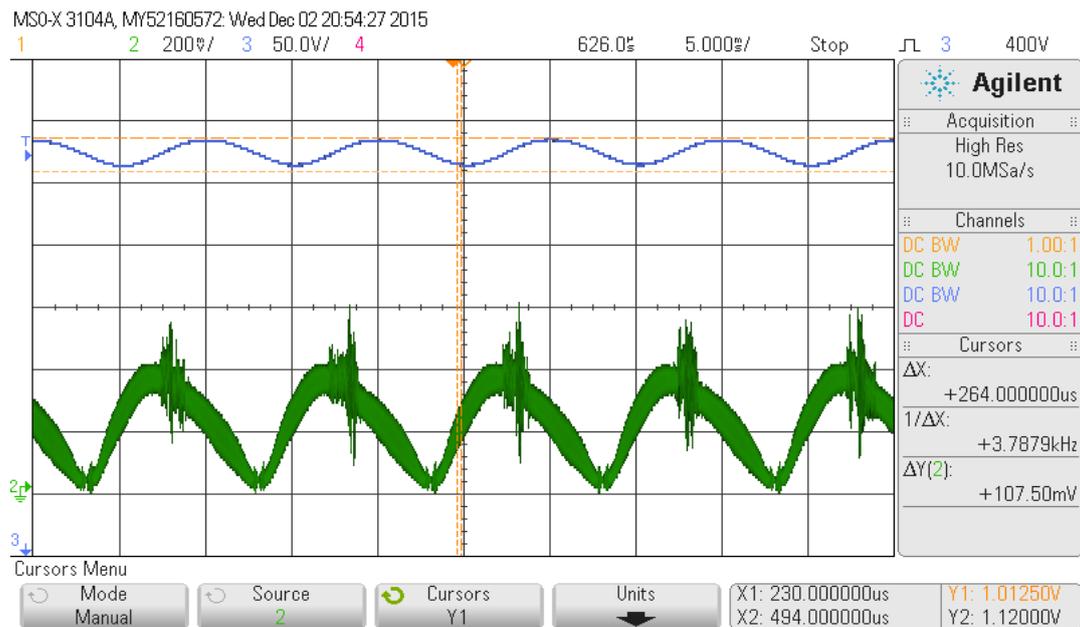


Figura 8.19 Corriente de entrada (verde) y tensión de salida (azul) y 50 % de carga. Detalle.

## Corriente de entrada y ciclo de trabajo promediado

En la siguiente foto se muestra un detalle de la corriente de entrada y el ciclo de trabajo obtenido del PWM.



**Figura 8.20** Corriente de entrada (verde) y ciclo de trabajo promediado (azul) y 100 % carga.

En las anteriores capturas del osciloscopio se observa como aparece un ruido superpuesto en alta frecuencia que no es significativo.

Por su parte se aprecia que el rizado de la tensión de salida es de 43,1 V (10,8 %) en el peor caso de plena carga, siendo muy próximo al esperado del 10 % ya que las cargas son de 312 W en lugar de 300 W, lo cual supone un incremento del rizado.

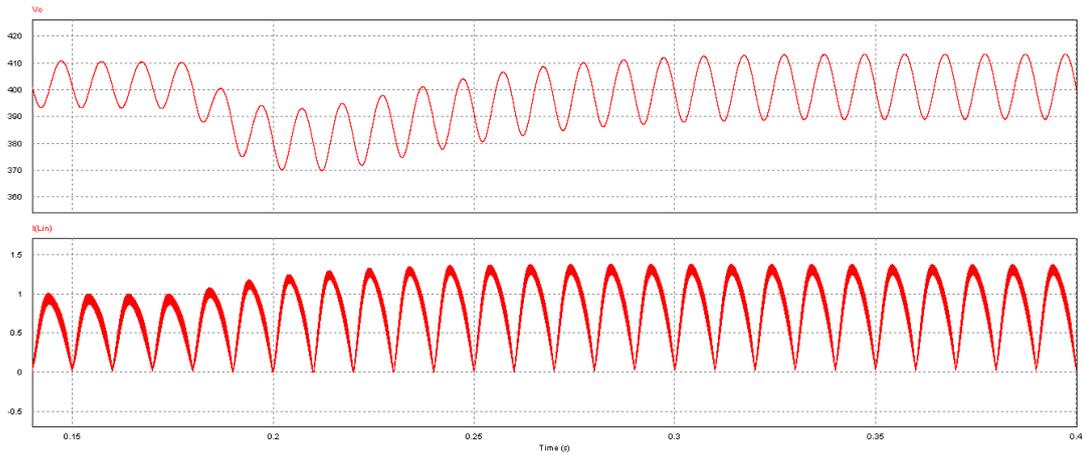
### **8.4.2 Resultados en régimen transitorio**

En la siguiente foto se muestra el montaje general empleado en las pruebas incluyendo la placa Nexys 4 DDR con la FPGA, el convertidor *Boost* y el circuito de medida de corriente.

En la figura siguiente se muestran los resultados de la corriente de entrada para la simulación digital con control discreto por comodidad en la comparación.

#### **Simulación escalones positivos de carga al 70 %**

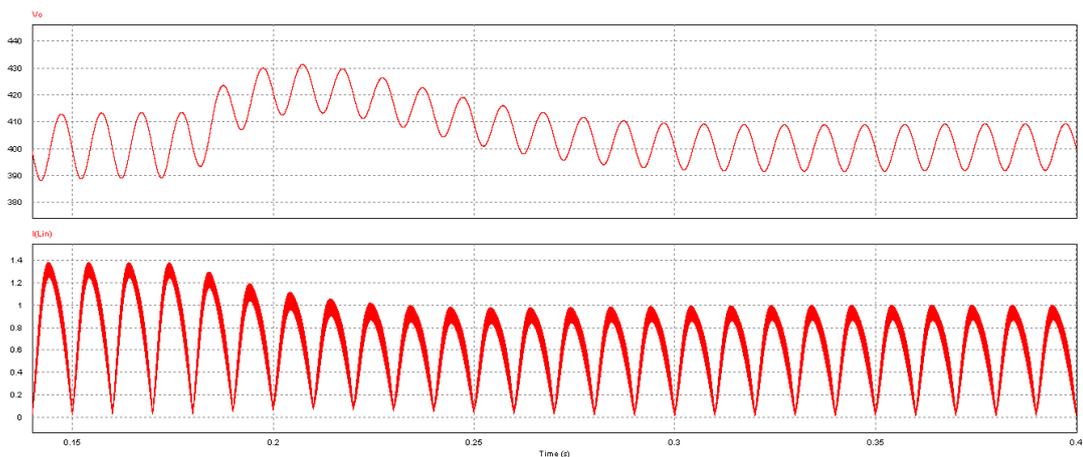
En la figura siguiente se muestran los resultados del escalón de carga resultando una caída de tensión de 400 V hasta 380 V respecto del valor medio (5 % de caída).



**Figura 8.21** Tensión de salida y corriente de entrada ante escalón positivo de carga del 70 %.

### Simulación escalones negativos de carga al 70 %

En la figura siguiente se muestran los resultados del escalón de carga resultando una subida de tensión de 400 V hasta 421 V respecto del valor medio (5,3 % de caída).



**Figura 8.22** Tensión de salida y corriente de entrada ante escalón negativo de carga del 70 %.

En la tabla siguiente se resumen los resultados de la simulación para los escalones de carga.

SIMULACIÓN ESCALONES DE CARGA AL 70 %	
Escalón positivo	caída de 20 V (5 %)
Escalón negativo	subida de 21 V (5,3 %)

**Tabla 8.1** Resultados simulación escalón de carga del 70 %.

A continuación se muestran los resultados de los escalones de carga en el laboratorio. Los escalones de carga introducidos van desde el 100 % de la carga al 70 % de la carga, y viceversa, actuando sobre uno de los interruptores del banco de cargas.

### Corriente de entrada y tensión de salida escalón positivo de carga del 70 %

En la figura siguiente se muestran los resultados del escalón de carga resultando una caída aproximada de tensión 24 V respecto del valor medio (6 % de caída).

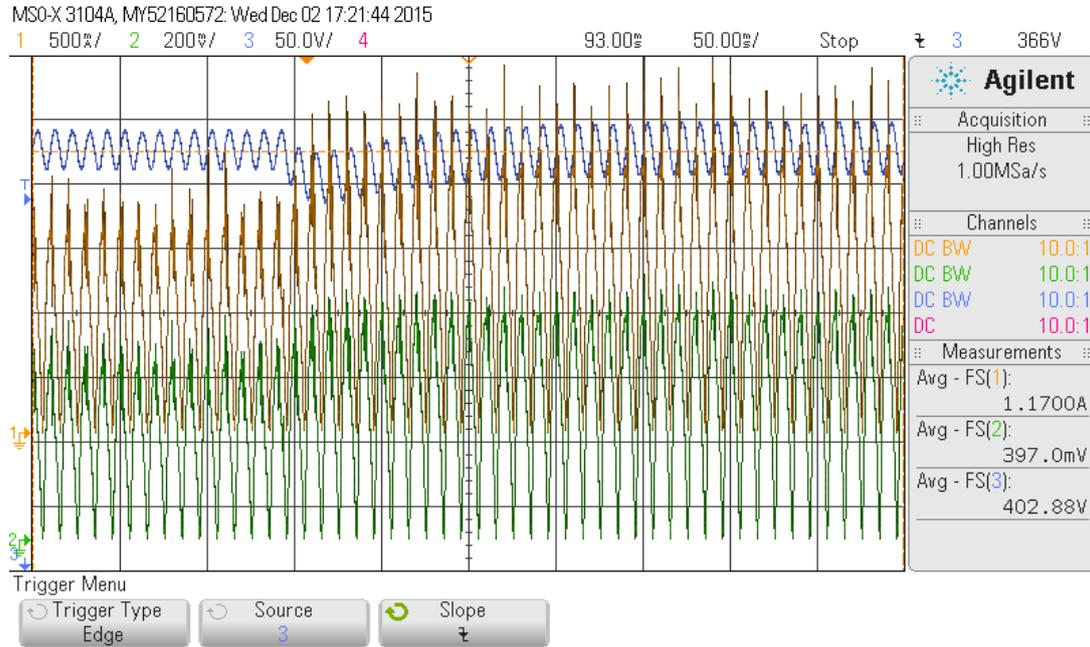


Figura 8.23 Corriente de entrada (verde), corriente pinza (marrón) y tensión de salida (azul).

### Corriente de entrada y tensión de salida escalón positivo de carga del 70 % (detalle)

En la figura siguiente se muestran los resultados ampliados del escalón de carga resultando una caída de tensión 24 V respecto del valor medio (6 % de caída).



Figura 8.24 Corriente de entrada (verde), corriente pinza (marrón) y tensión de salida (azul).

## Corriente de entrada y tensión de salida escalón negativo de carga del 70 %

En la figura siguiente se muestran los resultados del escalón de carga resultando una subida aproximada de tensión 23 V respecto del valor medio (5,8 % de subida).



Figura 8.25 Corriente de entrada (verde) y tensión de salida (azul).

## Corriente de entrada y tensión de salida escalón negativo de carga del 70 % (detalle)

En la figura siguiente se muestran los resultados ampliados del escalón de carga resultando una subida de tensión 23 V respecto del valor medio (5,8 % de subida).

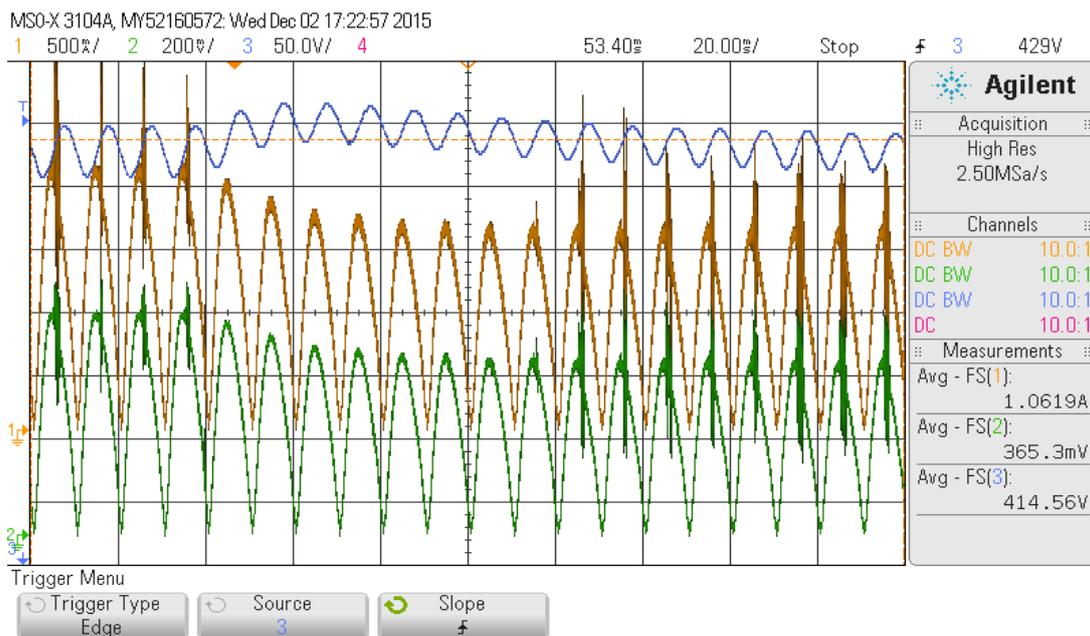


Figura 8.26 Corriente de entrada (verde) y tensión de salida (azul). Detalle.

## 8.5 Resultados y conclusiones de las pruebas

En este apartado se presentan los resultados obtenidos para el lazo externo de tensión, tanto en régimen permanente como en régimen transitorio.

Los resultados para el lazo de corriente coinciden con lo esperado. La tensión de salida es de 415,6 V (3,9 %), ligeramente superior a lo esperado debido a los errores en las medidas fundamentalmente. Al no existir el lazo externo de tensión, estos errores no son compensados por el control.

Por su parte, para las pruebas con doble lazo, los resultados son muy similares a lo esperado y a las simulaciones, siendo el valor medio de la tensión salida de 406,15 V, lo cual es un error inferior de 1,54 % siendo muy aceptable (las tolerancias de los componentes son las principales causantes del error en las medidas en este caso).

En la tabla siguiente se resumen los resultados generales obtenidos en las pruebas, incluyendo el factor de potencia obtenido en cada caso.

RESULTADOS DE LAS PRUEBAS DE LABORATORIO (carga máxima de 320 W)				
Tensión de entrada de 230 V <sub>ef</sub>	PF	I <sub>in_efizaz</sub>	U <sub>o</sub> (oscilo. y multi.)	Δ U <sub>o</sub>
Lazo de corriente y carga al 100 %	0,999	1,497	416 (418) V	44,1 (11 %)
Doble lazo y carga al 100 %	0,971	1,51	406 (409) V	43,1 (10,8 %)
Doble lazo y carga al 70 %	0,991	1,07	406 (407) V	34,4 (8,6 %)
Doble lazo y carga al 50 %	0,987	0,703	406 (406) V	26,9 (6,7 %)

**Tabla 8.2** Comparativa de los resultados experimentales de laboratorio.

En la medida de tensión de salida se da el valor de la medida dada por el osciloscopio y el de la medida dada por el multímetro (entre paréntesis). Se observa como al disminuir la carga ambos coinciden ya que el rizado es despreciable y el multímetro da un valor más preciso (el multímetro sólo mide DC).

En la tabla 8.3 se resumen los resultados para los transitorios de carga del 70 %.

ESCALONES DE CARGA	SIMULADOS	EXPERIMENTALES
Escalón positivo	caída de 20 V (5 %)	caída de 24 V (6 %)
Escalón negativo	subida de 21 V (5,3 %)	subida de 23 V (5,8 %)

**Tabla 8.3** Resultados para escalones de carga del 70 %, simulados y experimentales.

Por último, se observa como al emplear corrección del factor de potencia mejora apreciablemente el factor de potencia y disminuye enormemente la distorsión de la corriente de entrada, siendo el factor de potencia superior al 97% en todos los casos estudiados. Se observa como la práctica totalidad de la potencia aparente consumida a la entrada es aprovechada en la carga.



# 9. Conclusiones y trabajo futuro

Este proyecto ha abordado el control digital, implementado en una FPGA, de un convertidor DC/DC de tipo *Boost* para corrección del factor de potencia o PFC.

## CONCLUSIONES

A lo largo del proyecto se ha seguido todo el proceso de diseño, simulación y comprobación en el laboratorio de los resultados obtenidos llevando a cabo los siguientes pasos:

- Introducción a los conceptos sobre factor de potencia.
- Introducción a los principios en fuentes de alimentación conmutadas y convertidores de tipo *Boost*.
- Diseño del control analógico (dominio  $s$ ) del lazo de corriente y tensión mediante técnicas frecuenciales basadas en modelos promediados y simulación de los resultados.
- Discretización del control analógico y simulación de los resultados mediante técnicas circuitales con reguladores en el dominio  $z$ .
- Simulación digital mediante VHDL de los controlados digitales, tanto individualmente como integrados en el sistema completo (regulador, convertidor y ADC).
- Control de los ADC de la FPGA, visualización de las variables mediante display LED y mediante GUI, realizándose la interfaz gráfica de usuario y diseñando las comunicaciones RS-232 mediante UART.
- Comprobación experimental del desempeño del sistema mediante pruebas exhaustivas llevadas a cabo en el laboratorio.

A raíz de las pruebas finales realizadas en el laboratorio, se comprueba y concluye que los resultados experimentales cumplen lo estipulado y coinciden con los cálculos y simulaciones teóricas, habiéndose obtenido un convertidor conmutado en alta frecuencia controlado con FPGA capaz de consumir una corriente prácticamente senoidal (distorsión armónica, o THD, inferior al 4 %) para cargas de 150 W a 300 W, cumpliendo las especificaciones dadas en la norma [UNE-EN 61000-3-2] para equipos de clase D obteniéndose un factor de potencia cercano al 99 % y cumpliendo con la respuesta transitoria deseada (ancho de banda de 5 kHz para el lazo interno de corriente y de 5 Hz para el lazo externo de tensión).

Así mismo, se ha realizado un programa de monitorización GUI que permite visualizar y modificar las variables internas del control en tiempo real.

## TRABAJOS FUTUROS

El tema tratado en este proyecto es un área de gran complejidad que abre interesantes líneas de investigación y trabajos futuros.

Las líneas de investigación futuras se pueden enmarcar en tres grupos principales: Aquellas que se refieren a la topología de potencia, las que se refieren a la teoría de control y las que se refieren a la implementación en sistemas digitales como FPGA o microcontroladores.

Entre las líneas de investigación y trabajos propuestos se pueden citar los siguientes:

- Estudio del diseño del control puramente digital partiendo de la planta discretizada y diseñando los controladores en el dominio  $z$ , comparando estos resultados con los obtenidos mediante la discretización del regulador continuo, como lo realizado en este proyecto.
- Mejora de los tiempos de reloj empleado un reloj rápido y un reloj lento para optimizar la síntesis y funcionamiento síncrono de los reguladores en la FPGA. El reloj rápido se empleará en la generación del PWM para tener más precisión en la actuación, mientras que el reloj lento se usará en los cálculos más costosos, como la división existente en la pre-regulación, teniendo en cuenta que las variables de control se actualizan únicamente cada  $10\ \mu\text{s}$  (100 kHz).
- Mejora de la pre-regulación realizando el cociente entre el valor instantáneo de la tensión de entrada y el valor instantáneo de la tensión de salida.
- Implementación del muestro mediante ADC externos a la placa con frecuencia de muestreo superior y rango de tensiones de entrada mayor para minimizar el ruido.
- Estudio del efecto del uso de medidas de tensión y corriente aisladas.
- Comprobación del desempeño del control digital implementado en FPGA y del control digital implementado en microcontrolador.
- Estudio de técnicas digitales avanzadas como el estudio de los ciclos límite y efectos de cuantificación y ruido en el control digital.
- Mejorar la respuesta dinámica del circuito de potencia modificando el valor de algunos de sus componentes.
- Estudio de técnicas adicionales de conmutación para corrección de factor de potencia como modo de conducción discontinuo (DCM) o modo de conducción límite (BCM).
- Estudio de otras topologías de potencia para corrección de factor de potencia como aquellas basadas en topologías aisladas como las de tipo *Flyback*.
- Añadir y completar la funcionalidad del programa de monitorización.
- Realizar la motorización por USB o por redes Ethernet.

Como se observa de la enumeración anterior, el tema bajo estudio presenta numerosas e interesantes futuras líneas de trabajo que son objeto de importantes campos de investigación y publicaciones en revistas científicas y de ingeniería.

# Referencias bibliográficas

- [Ang05] Ang, S.; Oliva, A.; *Power-Switching converters*, Ed. Taylor&Francis, 2005.
- [Ashenden02] Ashenden, P.; *The designer guide to VHDL-AMS: Analog, Mixed-Signal and Mixed-Technology Modeling*, Ed. Morgan Kaufmann, 2002.
- [Ashenden08] Ashenden, P.; *The designer guide to VHDL*, Ed. Morgan Kaufmann, 2008.
- [Astrom97] Astrom, K.; Wittenmark, B.; *Computer Controlled System. Theory and Design*, Ed. Prentice Hall, 1997.
- [Barrero10] Barrero, F.; *Sistemas de energía eléctrica*, Ed. Paraninfo, 2010.
- [Basso08] Basso, C. P.; *Switch-mode power supplies. SPICE simulations and practical designs*, Ed. McGraw-Hill, 2008.
- [Bishop] Bishop, D.; "Fixed Point Package User's Guide", *VHDL-org*.
- [Boroyevich08] Boroyevich, D.; "Modeling and Control of Three-Phase PWM Converters", *PECon-IEEE International Power and Energy Conference*, 2008.
- [Burden96] Burden, R. L.; Faires, J. D.; *Análisis numérico*, Ed. Grupo Editorial Iberoamericano, 1996.
- [Buso06] Buso, S.; Matavelli, P.; *Digital Control in Power Electronics*, Ed. Morgan&Claypool, 2006.
- [Chu08] Chu, P.; *FPGA Prototyping by VHDL Examples*, Ed. Wiley, 2008.
- [Chu09] Chu, G.; Chi, T.; Wong, S.; Tan, S.; "A Unified Approach for the Derivation of Robust Control for Boost PFC Converters", *IEEE Transaction on Power Electronics*, vol. 24, nº 11, pp. 2531-2544, 2009.
- [Corradini15] Corradini, L.; Maksimovic, D.; Matavelli, P.; Regan, Z.; *Digital Control of High-Frequency Switched-Mode Power Converters*, Ed. Wiley&IEEE-Press, 2015.
- [Ellison89] Ellison, G. N.; *Thermal computations for electronic equipment*, Ed. Van Nostrand Reinhold, 1989.
- [EPMSA10] EPMSA "Harmonic Current Emissions Guidelines to the standard EN 61000-3-2", *European Power Supplies Manufacturers Association*, 2010.
- [Erickson90] Erickson, R.; Madigan, M.; Singer, S.; "Design of a Simple High-Power-Factor Rectifier Based on the Flyback Converter", *IEEE*, pp. 792-801, 1990.
- [Erickson01] Erickson, W. R.; Maksimovic, D.; *Fundamentals of power electronics*, Ed. Springer, 2001.
- [Floyd06] Floyd, T. L.; *Fundamentos de sistemas digitales*, Ed. Pearson, 2006.

- [Fortescue1918] Fortescue, C. L.; "Method of Symmetrical Coordinates Applied to the Solution of Polyphase Networks", *Transaction-AIEE*, parte 2, pp. 1027-1140, 1918.
- [García14] García, V.; *Diseño y creación de un convertidor elevador con las etapas de potencia, actuación y sensado*, PFC EPS-UAM, 2014.
- [Gardner05] Gardner, F.; *Phaselock Techniques*, Ed. Wiley, 2005.
- [Hart11] Hart, D. W.; *Power electronics*, Ed. McGraw-Hill, 2011.
- [Hayes96] Hayes, J. P.; *Introducción al diseño lógico digital*, Ed. Addison Wesley, 1996.
- [Holmes03] Holmes, G.; Lipo, T.; *Pulse Width Modulation for Power Converters*, Ed. Wiley, 2010.
- [Kazmierkowski02] Kazmierkowski, M.; Krishnan, R.; Blaabjerg, F.; *Control in Power Electronics*, Ed. Academic Press, 2002.
- [Kuo92] Kuo, B.; *Sistemas de Control Digital*, Ed. CECSA, 1997.
- [Kuo96] Kuo, B.; *Sistemas de Control Automático*, Ed. Prentice Hall, 1996.
- [Lambert12] Lambert, K.; *Fundamentals of Python*, Ed. CENGAGE, 2012.
- [Lee07] Lee, K.; Hsu, H.; Lai, Y.; "Simple Digital-Controlled AC/DC Converter with Power Factor Correction for Universal Input Applications", *IECON*, pp. 1472-1477, 2007.
- [Li08] Li, J.; Chen, Y.; *Computational partial differential equations using Matlab*, Ed. CRC Press, 2008.
- [Liu10] Liu, C.; Zhang, X.; Tan, L.; Liu, F.; "A Novel Control Strategy of LCL-VSC Based on Notch Concept", *IEEE International Symposium on Power Electronics for Distributed Generations Systems*, nº 2, 2010.
- [Magrab05] Magrab, E. B. y otros; *An engineer's guide to Matlab.*, Ed. Pearson, 2005.
- [Martínez89] Martínez, S., *Prontuario para el diseño eléctrico y electrónico*, Ed. Marcombo-Boixareu, 1989.
- [Martínez97] Martínez, S., *Alimentación de equipos informáticos y otras cargas críticas*, Ed. McGraw-Hill, 1997.
- [Martínez06] Martínez, S., Gualda, Juan A., *Electrónica de potencia. Componentes, topologías y equipos*, International Thomson Editores Spain Paraninfo, 2006.
- [Mohan00] Mohan, N.; *Power electronics: Computer simulation, analysis, and education using PSpice*, Ed. Minnesota University, 2000.
- [Molero07] Molero, M.; Salvador, A.; Menárguez, M. T.; Garmendia, L.; *Análisis matemático para ingeniería*, Ed. Pearson, 2007.
- [Nelms04] He, D.; Nelms, R. M.; "Average Current-Mode Control for a Boost Converter Using an 8-bit Microcontroller", *IEEE*, pp. 1185-1190, 2004.
- [Nexys4rm14] Digilent; *Nexys4 DDR FPGA Board Reference Manual*, Digilent, 2014.

- [Nexys4sch14] Digilent; *Nexys4 DDR FPGA Schematics*, Digilent, 2014.
- [Ogata02] Ogata, K.; *Sistemas de control en tiempo discreto*, Ed. Pearson, 2002.
- [Ogata10] Ogata, K.; *Ingeniería de control moderna*, Ed. Pearson, 2010.
- [Oppenheim98] Oppenheim, A. V.; Willsky, A. S.; Nawab, S. H.; *Señales y sistemas*, Ed. Prentice-Hall, 1998.
- [Pérez02] Pérez, S.; Soto, E.; Fernández, S.; *Diseño de Sistemas Digitales con VHDL*, Ed. Thomson, 2002.
- [Pinto10] Pinto, E.; Espada, F.; *Fundamentos de Control con Matlab*, Ed. Pearson, 2010.
- [Polo15] Polo, L.; "Xilinx FPGA Series 7 XADC. Guía para principiantes", *HCTLab- EPS-UAM*, vol. 24, nº 11, pp. 2531-2544, 2015.
- [Rao02] Rao, S. S.; *Applied numerical methods for engineers and scientist*, Ed. Prentice-Hall, 2002.
- [Ridley88] Ridley, R. B.; "Average Small-Signal Analysis of the Boost Power factor Correction Circuit", *Virginia Power Electronics Center*, pp. 108-120, 1988.
- [Sánchez14] Sánchez, A.; Castro, A.; López, V. M.; Azcondo, F. J.; Garrido, J.; "Single ADC Digital PFC Controller using Pre-calculated Duty Cycles", *IEEE Transaction on Power Electronics*, vol. 29, nº 2, pp. 996-1005, 2014.
- [Shaffer07] Shaffer, R.; *Fundamentals of power electronics with Matlab*, Ed. Charles River Media, 2007.
- [Sebastian95] Sebastian, J.; Cobos, J.A.; Lopera, J.M.; Uceda, J.; "The Determination of the Boundaries Between Continuous and Discontinuous Conduction Modes in PWM DC-to-DC Converters Used as Power Factor Preregulators", *IEEE Transaction on Power Electronics*, vol. 10, nº 5, 1995.
- [Sierra03] Sierra, M.; Galocha, B.; Fernández, J.; Sierra, M.; *Electrónica de comunicaciones*, Ed. Pearson, 2003.
- [Simoneti95] Simoneti, D.; Sebastian, J.; Cobos, J.A.; Uceda, J.; "The Continuous-Discontinuous Conduction Boundary of a Boost PFC Fed by Universal Input", *CIEP*, pp. 20-24, 1995.
- [Singer90] Singer, S.; "Realization of Loss-Free Resistive Elements", *IEEE Transactions on Circuits and Systems*, vol. 37, nº 1, pp. 54-60, 1990.
- [Summerfield07] Summerfield, M.; *Rapid GUI Programming with Python and QT*, Ed. Prentice Hall, 2007.
- [Talón02] Talón, A.; *Control Digital de Fuentes de Alimentación*, PFC EPS-UAM, 2009.
- [UNE-EN 61000-4-30-2004] UNE-EN 61000-4-30, *Compatibilidad electromagnética (CEM). Parte 4.30: Técnicas de ensayo y de medida. Métodos de medida de la calidad de suministro*, AENOR, septiembre 2004.

- [Wu06] Wu, B.; *High-Power Converters and AC Drives*, Ed. Wiley-IEEE, 2006.
- [Xie03] Talón, M.; *Digital Control for Power Factor Correction*, Thesis Virginia Tech, 2003.
- [Xilinx-UG470] Xilinx; “7 Series FPGA Configuration Guide”, *Xilinx*, 2009.
- [Xilinx-UG480] Xilinx; “7 Series FPGA and Zynq-7000 All Programmable SoC XADC Dual 12 Bit 1 MSPS Analog-to-Digital Converter. User Guide”, *Xilinx*, 2014.
- [Xilinx-UG612] Xilinx; “Time Constraints User Guide”, *Xilinx*, 2009.
- [Xilinx-UG682] Xilinx; “ISE Simulator (ISim)”, *Xilinx*, 2009.
- [Xilinx-UG695] Xilinx; “ISE In Depth Tutorial”, *Xilinx*, 2012.
- [Zeng10] Zeng, G.; Rasmussen, T.; “Design of Current-Controller with PR-Regulator for LCL Filter based Grid-Connected Converter”, *IEEE International Symposium on Power Electronics for Distributed Generations Systems*, nº 2, 2010.

# A. Presupuesto

## 1) Gastos directos

- Inventariable ..... 1000 €
  - Ordenador personal..... 1000 €
- Fungible ..... 800 €
  - Placa Nexys 4 DDR..... 300 €
  - Convertidor elevador ..... 200 €
  - Resistencias carga ..... 100 €
  - Material de oficina ..... 100 €
  - Impresión y encuadernación..... 100 €
- Personal..... 24000 €
  - 1600 horas a 15 € / hora ..... 24000 €
- Total gastos directos ..... 25800 €

## 2) Gastos indirectos

- 16 % sobre gastos directos ..... 4128 €

## 3) Beneficio Industrial

- 6 % sobre gastos directos ..... 1548 €

## 4) Subtotal del presupuesto

- Subtotal Presupuesto..... 31476 €

## 5) I.V.A. aplicable

- 21% Subtotal Presupuesto..... 6609,96€

## 6) Total presupuesto

- Total Presupuesto ..... 38085,96 €

Madrid, Diciembre 2015

Fdo.: Santiago Monteso Fernández



## B. Pliego de condiciones

Este documento contiene las condiciones legales que guiarán la realización, en este proyecto, de un CONVERTIDOR CONMUTADO PARA CORRECCIÓN DEL FACTOR DE POTENCIA MEDIANTE FPGA.

En lo que sigue, se supondrá que el proyecto ha sido encargado por una empresa cliente a una empresa consultora con la finalidad de realizar dicho sistema. Dicha empresa ha debido desarrollar una línea de investigación con objeto de elaborar el proyecto. Esta línea de investigación, junto con el posterior desarrollo de los programas está amparada por las condiciones particulares del siguiente pliego.

Supuesto que la utilización industrial de los métodos recogidos en el presente proyecto ha sido decidida por parte de la empresa cliente o de otras, la obra a realizar se regulará por las siguientes:

### Condiciones generales

1. La modalidad de contratación será el concurso. La adjudicación se hará, por tanto, a la proposición más favorable sin atender exclusivamente al valor económico, dependiendo de las mayores garantías ofrecidas. La empresa que somete el proyecto a concurso se reserva el derecho a declararlo desierto.

2. El montaje y mecanización completa de los equipos que intervengan será realizado totalmente por la empresa licitadora.

3. En la oferta, se hará constar el precio total por el que se compromete a realizar la obra y el tanto por ciento de baja que supone este precio en relación con un importe límite si este se hubiera fijado.

4. La obra se realizará bajo la dirección técnica de un Ingeniero Superior de Telecomunicación, auxiliado por el número de Ingenieros Técnicos y Programadores que se estime preciso para el desarrollo de la misma.

5. Aparte del Ingeniero Director, el contratista tendrá derecho a contratar al resto del personal, pudiendo ceder esta prerrogativa a favor del Ingeniero Director, quien no estará obligado a aceptarla.

6. El contratista tiene derecho a sacar copias a su costa de los planos, pliego de condiciones y presupuestos. El Ingeniero autor del proyecto autorizará con su firma las copias solicitadas por el contratista después de confrontarlas.

7. Se abonará al contratista la obra que realmente ejecute con sujeción al proyecto que sirvió de base para la contratación, a las modificaciones autorizadas por la superioridad o a las órdenes que con arreglo a sus facultades le hayan comunicado por escrito al Ingeniero Director de obras siempre que dicha obra se haya ajustado a los preceptos de los pliegos de condiciones, con arreglo a los cuales, se harán las modificaciones y la valoración de las diversas

unidades sin que el importe total pueda exceder de los presupuestos aprobados. Por consiguiente, el número de unidades que se consignan en el proyecto o en el presupuesto, no podrá servirle de fundamento para entablar reclamaciones de ninguna clase, salvo en los casos de rescisión.

8. Tanto en las certificaciones de obras como en la liquidación final, se abonarán los trabajos realizados por el contratista a los precios de ejecución material que figuran en el presupuesto para cada unidad de la obra.

9. Si excepcionalmente se hubiera ejecutado algún trabajo que no se ajustase a las condiciones de la contrata pero que sin embargo es admisible a juicio del Ingeniero Director de obras, se dará conocimiento a la Dirección, proponiendo a la vez la rebaja de precios que el Ingeniero estime justa y si la Dirección resolviera aceptar la obra, quedará el contratista obligado a conformarse con la rebaja acordada.

10. Cuando se juzgue necesario emplear materiales o ejecutar obras que no figuren en el presupuesto de la contrata, se evaluará su importe a los precios asignados a otras obras o materiales análogos si los hubiere y cuando no, se discutirán entre el Ingeniero Director y el contratista, sometiéndolos a la aprobación de la Dirección. Los nuevos precios convenidos por uno u otro procedimiento, se sujetarán siempre al establecido en el punto anterior.

11. Cuando el contratista, con autorización del Ingeniero Director de obras, emplee materiales de calidad más elevada o de mayores dimensiones de lo estipulado en el proyecto, o sustituya una clase de fabricación por otra que tenga asignado mayor precio o ejecute con mayores dimensiones cualquier otra parte de las obras, o en general, introduzca en ellas cualquier modificación que sea beneficiosa a juicio del Ingeniero Director de obras, no tendrá derecho sin embargo, sino a lo que le correspondería si hubiera realizado la obra con estricta sujeción a lo proyectado y contratado.

12. Las cantidades calculadas para obras accesorias, aunque figuren por partidaalzada en el presupuesto final (general), no serán abonadas sino a los precios de la contrata, según las condiciones de la misma y los proyectos particulares que para ellas se formen, o en su defecto, por lo que resulte de su medición final.

13. El contratista queda obligado a abonar al Ingeniero autor del proyecto y director de obras así como a los Ingenieros Técnicos, el importe de sus respectivos honorarios facultativos por formación del proyecto, dirección técnica y administración en su caso, con arreglo a las tarifas y honorarios vigentes.

14. Concluida la ejecución de la obra, será reconocida por el Ingeniero Director que a tal efecto designe la empresa.

15. La garantía definitiva será del 4% del presupuesto y la provisional del 2%.

16. La forma de pago será por certificaciones mensuales de la obra ejecutada, de acuerdo con los precios del presupuesto, deducida la baja si la hubiera.

17. La fecha de comienzo de las obras será a partir de los 15 días naturales del replanteo oficial de las mismas y la definitiva, al año de haber ejecutado la provisional, procediéndose si no existe reclamación alguna, a la reclamación de la fianza.

18. Si el contratista al efectuar el replanteo, observase algún error en el proyecto, deberá comunicarlo en el plazo de quince días al Ingeniero Director de obras, pues transcurrido ese plazo será responsable de la exactitud del proyecto.

19. El contratista está obligado a designar una persona responsable que se entenderá con el Ingeniero Director de obras, o con el delegado que éste designe, para todo relacionado con ella. Al ser el Ingeniero Director de obras el que interpreta el proyecto, el contratista deberá consultarle cualquier duda que surja en su realización.

20. Durante la realización de la obra, se girarán visitas de inspección por personal facultativo de la empresa cliente, para hacer las comprobaciones que se crean oportunas. Es obligación del contratista, la conservación de la obra ya ejecutada hasta la recepción de la misma, por lo que el deterioro parcial o total de ella, aunque sea por agentes atmosféricos u otras causas, deberá ser reparado o reconstruido por su cuenta.

21. El contratista, deberá realizar la obra en el plazo mencionado a partir de la fecha del contrato, incurriendo en multa, por retraso de la ejecución siempre que éste no sea debido a causas de fuerza mayor. A la terminación de la obra, se hará una recepción provisional previo reconocimiento y examen por la dirección técnica, el depositario de efectos, el interventor y el jefe de servicio o un representante, estampando su conformidad el contratista.

22. Hecha la recepción provisional, se certificará al contratista el resto de la obra, reservándose la administración el importe de los gastos de conservación de la misma hasta su recepción definitiva y la fianza durante el tiempo señalado como plazo de garantía. La recepción definitiva se hará en las mismas condiciones que la provisional, extendiéndose el acta correspondiente. El Director Técnico propondrá a la Junta Económica la devolución de la fianza al contratista de acuerdo con las condiciones económicas legales establecidas.

23. Las tarifas para la determinación de honorarios, reguladas por orden de la Presidencia del Gobierno el 19 de Octubre de 1961, se aplicarán sobre el denominado en la actualidad "Presupuesto de Ejecución de Contrata" y anteriormente llamado "Presupuesto de Ejecución Material" que hoy designa otro concepto.

### **Condiciones particulares**

La empresa consultora, que ha desarrollado el presente proyecto, lo entregará a la empresa cliente bajo las condiciones generales ya formuladas, debiendo añadirse las siguientes condiciones particulares:

1. La propiedad intelectual de los procesos descritos y analizados en el presente trabajo, pertenece por entero a la empresa consultora representada por el Ingeniero Director del Proyecto.

2. La empresa consultora se reserva el derecho a la utilización total o parcial de los resultados de la investigación realizada para desarrollar el siguiente proyecto, bien para su publicación o bien para su uso en trabajos o proyectos posteriores, para la misma empresa cliente o para otra.

3. Cualquier tipo de reproducción aparte de las reseñadas en las condiciones generales, bien sea para uso particular de la empresa cliente, o para cualquier otra aplicación, contará con autorización expresa y por escrito del Ingeniero Director del Proyecto, que actuará en representación de la empresa consultora

4. En la autorización se ha de hacer constar la aplicación a que se destinan sus reproducciones así como su cantidad.

5. En todas las reproducciones se indicará su procedencia, explicitando el nombre del proyecto, nombre del Ingeniero Director y de la empresa consultora.

6. Si el proyecto pasa la etapa de desarrollo, cualquier modificación que se realice sobre él, deberá ser notificada al Ingeniero Director del Proyecto y a criterio de éste, la empresa consultora decidirá aceptar o no la modificación propuesta.

7. Si la modificación se acepta, la empresa consultora se hará responsable al mismo nivel que el proyecto inicial del que resulta el añadirla.

8. Si la modificación no es aceptada, por el contrario, la empresa consultora declinará toda responsabilidad que se derive de la aplicación o influencia de la misma.

9. Si la empresa cliente decide desarrollar industrialmente uno o varios productos en los que resulte parcial o totalmente aplicable el estudio de este proyecto, deberá comunicarlo a la empresa consultora.

10. La empresa consultora no se responsabiliza de los efectos laterales que se puedan producir en el momento en que se utilice la herramienta objeto del presente proyecto para la realización de otras aplicaciones.

11. La empresa consultora tendrá prioridad respecto a otras en la elaboración de los proyectos auxiliares que fuese necesario desarrollar para dicha aplicación industrial, siempre que no haga explícita renuncia a este hecho. En este caso, deberá autorizar expresamente los proyectos presentados por otros.

12. El Ingeniero Director del presente proyecto, será el responsable de la dirección de la aplicación industrial siempre que la empresa consultora lo estime oportuno. En caso contrario, la persona designada deberá contar con la autorización del mismo, quien delegará en él las responsabilidades que ostente.



