

**UNIVERSIDAD AUTONOMA DE MADRID**

**ESCUELA POLITECNICA SUPERIOR**



## **PROYECTO FIN DE CARRERA**

**Evolución Tecnológica del Hardware Xilinx (1985-2015)**

**Manual de Referencia**

**Eugenio Carnero García**

**Julio de 2015**



# **Evolución Tecnológica del Hardware Xilinx (1985-2015)**

## **Manual de Referencia**

**AUTOR: Eugenio Carnero García**

**TUTOR: Eduardo Boemo**

**Digital System Lab**

**Departamento Tecnología Electrónica y de las Comunicaciones**

**Escuela Politécnica Superior**

**Universidad Autónoma de Madrid**

**Julio de 2015**



## **ABSTRACT**

In this PFC we have analyzed and summarized a considerable amount of documentation on FPGAs, such as data sheets, published books, tables of features and numerous online reports; all of it with the aim of creating a reference manual on the development of hardware technology of Xilinx (1985-2015). The work contains diverse information related to FPGAs, on their technology, their architecture and their economic aspects; finally we also analyze the official publication of the Xilinx company, Xcell Journal.

## **RESUMEN**

En este PFC se ha analizado y resumido una gran cantidad de documentación sobre FPGAs como hojas de datos, libros publicados, tablas de características y numerosos informes online, todo ello con la finalidad de crear un manual de referencia sobre la evolución de la tecnología hardware de Xilinx (1985-2015). El trabajo contiene diversa información relacionada con FPGAs, sobre su tecnología, su arquitectura y sus aspectos económicos; por último analiza también el boletín oficial de la compañía Xilinx, Xcell Journal.



## *Agradecimientos*

En primer lugar me gustaría agradecer a mi tutor y profesor Eduardo Boemo, por brindarme la oportunidad de escribir este proyecto, su ayuda y dedicación ha sido esencial.

Me gustaría agradecer también a todo el personal docente que ha estado involucrado de algún modo en mi educación; profesores de colegio, instituto, academias y universidad. Todos ellos han puesto su granito de arena, compartiendo sus conocimientos con el objetivo de crear personas autónomas y cultas para que sean capaces de buscarse un futuro de la mejor forma posible. A todos ellos gracias, lo habéis conseguido.

Debo mencionar también a mis amigos y compañeros de universidad, en especial a Javi y Unai. Han sido muchos momentos compartidos durante este camino, buenos y malos. Fiestas y risas pero también clases, exámenes, prácticas en los laboratorios y jornadas maratónicas en la biblioteca, pero ha merecido la pena. Les deseo lo mejor a ellos también.

Por último quería agradecer a mi familia, en especial a mis padres y hermana, pues han sido el mejor apoyo que he podido tener. Gracias por vuestra ayuda, por vuestra paciencia, por vuestra atención, por apoyarme en todo momento y siempre confiar en mí. Sé que principalmente sin ellos no hubiese logrado estar donde estoy.

Muchas gracias a todos.





# Índice de contenidos

Lista de figuras.....IX

Lista de tablas.....XI

## **1. Introducción**

1.1. Motivación.....1

1.2. Objetivos.....2

1.3. Metodología de trabajo.....2

1.4. Organización y contenidos del PFC.....3

1.5. Lista de acrónimos .....3

## **2. Dispositivos FPGAs y su tecnología**

2.1. Introducción.....4

2.2. Listado de FPGAs de Xilinx.....6

2.3. Evolución tecnológica de los dispositivos FPGAs de Xilinx.....13

2.3.1. Velocidad del sistema.....14

2.3.2. Puertas equivalentes.....15

2.3.3. Número de flip-flops.....16

2.3.4. Pines I/O de usuario.....17

2.3.5. Tecnología de fabricación.....18

2.3.6. Otros aspectos tecnológicos: Temperatura y Tensión de alimentación .....19

## **3. Arquitectura de las FPGAs de Xilinx**

3.1. Introducción.....20

3.2. Input/Output Block (IOB).....21

3.3. Módulos de interconexión y canales de enrutamiento.....22

3.4. Configurable Logic Block (CLB).....23

3.4.1. Bloques lógicos y Slices de Xilinx.....24

<b>4. Tablas de características de las principales FPGAs</b>	
4.1. Listado de tablas de características.....	59
<b>5. Aspectos económicos</b>	
5.1. Introducción.....	71
5.2. Grafica valores compañía Xilinx .....	71
5.3. Precio por FPGA.....	72
5.3.1. Precio FPGA de XC Series.....	72
5.3.2. Precio FPGA de Spartan Family.....	73
5.3.3. Precio FPGA de Virtex Family.....	73
5.4. Precio normalizado vs encapsulados y otros parámetros.....	74
5.4.1. Precio normalizado vs velocidad.....	74
5.4.2. Precio normalizado vs número de CLBs.....	75
5.4.3. Precio normalizado vs número pines I/O .....	76
<b>6. Análisis de la evolución de las FPGAs Xilinx a través del boletín Xcell Journal</b>	
6.1. Introducción.....	77
6.2. Tabla de eventos.....	77
6.3. Número de eventos destacados por año.....	84
<b>7. Conclusiones</b>	
7.1. Comentarios .....	86
7.2. Conclusiones generales .....	86
<b>8. Apéndice A: Presupuesto .....</b>	<b>89</b>
<b>9. Apéndice C: Pliego de condiciones .....</b>	<b>90</b>

## Lista de figuras:

Fig. 1: Esquema resumen de FPGAs analizadas .....	5
Fig. 2: Línea del tiempo año fabricación FPGAs .....	13
Fig. 3: Gráfica velocidad del sistema .....	14
Fig. 4: Gráfica puertas equivalentes .....	15
Fig. 5: Gráfica Flip-Flops .....	16
Fig. 6: Gráfica pines I/O de usuario .....	17
Fig. 7: Gráfica tecnología de fabricación .....	18
Fig. 8: Gráfica rango de temperatura .....	19
Fig. 9: Gráfica tensión de alimentación .....	19
Fig. 10: Arquitectura elemental de la FPGA .....	20
Fig. 11: IOB .....	21
Fig. 12: Sistema de interconexión .....	22
Fig. 13: Mapa detallado de conexiones .....	22
Fig. 14: Relación filas y columnas de CLB .....	23
Fig. 15: CLB de XC2000 Series .....	24
Fig. 16: CLB de XC3000 Series .....	26
Fig. 17: CLB de XC4000, XC4000E/EX/XL y XC4000XV/XVA Series .....	28
Fig. 18: CLB de XC5200 Series .....	30
Fig. 19: CLB de Spartan/Spartan-XL Series .....	32
Fig. 20: Slice de Spartan-II y Spartan-II E .....	34
Fig. 21: SliceM de Spartan-3, Spartan-3E, Spartan-3A, Spartan-3AN y Spartan-3A DSP .....	36
Fig. 22: SliceM de Spartan-6 .....	38
Fig. 23: SliceL de Spartan-6 .....	39
Fig. 24: SliceX de Spartan-6 .....	40
Fig. 25: Slice de Virtex y Virtex-E .....	43
Fig. 26: Mitad de una slice de Virtex-II y Virtex-II Pro/X .....	45
Fig. 27: SliceM de Virtex-4 .....	47
Fig. 28: SliceL de Virtex-4 .....	48

Fig. 29: SliceM de Virtex-5 .....	51
Fig. 30: SliceL de Virtex-5 .....	52
Fig. 31: SliceM de Virtex-6 y Virtex-7 .....	55
Fig. 32: SliceL de Virtex-6 y Virtex-7 .....	56
Fig. 33: Gráfico histórico de valores compañía Xilinx .....	71
Fig. 34: Gráfica precio FPGA XC Series .....	72
Fig. 35: Gráfico precio FPGA Spartan Series .....	73
Fig. 36: Gráfico precio FPGA Virtex Series .....	73
Fig. 37: Nomenclatura FPGAs de Xilinx .....	74
Fig. 38: Gráfico precio normalizado vs velocidad: Spartan-6 .....	74
Fig. 39: Gráfico precio normalizado vs velocidad: Virtex-6 .....	74
Fig. 40: Gráfico precio normalizado vs núm. CIBs: Spartan-6 .....	75
Fig. 41: Gráfico precio normalizado vs núm. CIBs: Virtex-6 .....	75
Fig. 42: Gráfico precio normalizado vs núm. pines I/O: Spartan-6 .....	76
Fig. 43: Gráfico precio normalizado vs núm. pines I/O: Virtex-6 .....	76
Fig. 44: Gráfico número de eventos por año .....	84

## Lista de tablas:

Tabla 1: XC2000 Series .....	6
Tabla 2: XC3000 Series .....	6
Tabla 3: XC4000 Series .....	6
Tabla 4: XC4000E/EX/XL Series .....	6
Tabla 5: XC4000XV/XLA Series .....	7
Tabla 6: XC5200 Series .....	7
Tabla 7: XC6200 Series .....	7
Tabla 8: XC8100 Series .....	7
Tabla 9: Spartan/Spartan-XL Series .....	8
Tabla 10: Spartan-II Series .....	8
Tabla 11: Spartan-II E Series .....	8
Tabla 12: Spartan-3 Series .....	8
Tabla 13: Spartan-3E Series .....	9
Tabla 14: Spartan-3A Series .....	9
Tabla 15: Spartan-3AN Series .....	9
Tabla 16: Spartan-3A DSP Series .....	9
Tabla 17: Spartan-6 Series .....	10
Tabla 18: Virtex Series .....	10
Tabla 19: Virtex-E Series .....	10
Tabla 20: Virtex-II Series .....	10
Tabla 21: Virtex-II Pro/X Series .....	11
Tabla 22: Virtex-4 Series .....	11
Tabla 23: Virtex-5 Series .....	11
Tabla 24: Virtex-6 Series .....	11
Tabla 25: Virtex-7 Series .....	12
Tabla 26: Familia XC2000 Series .....	59
Tabla 27: Familia XC3000 Series .....	59
Tabla 28: Familia XC4000 Series .....	59

Tabla 29: Familia XC4000E/X/XL Series .....	60
Tabla 30: Familia XC4000XV/XLA Series .....	60
Tabla 31: Familia XC5200 Series .....	61
Tabla 32: Familia XC6200 Series .....	61
Tabla 33: Familia XC8100 Series .....	61
Tabla 34: Familia Spartan/Spartan-XL Series .....	62
Tabla 35: Familia Spartan-II Series .....	62
Tabla 36: Familia Spartan-II E Series .....	62
Tabla 37: Familia Spartan-3 Series .....	63
Tabla 38: Familia Spartan-3E Series .....	63
Tabla 39: Familia Spartan-3A Series .....	63
Tabla 40: Familia Spartan-3AN Series .....	64
Tabla 41: Familia Spartan-3A DSP Series .....	64
Tabla 42: Familia Spartan-6 Series .....	65
Tabla 43: Familia Virtex Series .....	65
Tabla 44: Familia Virtex-E Series .....	66
Tabla 45: Familia Virtex-II Series .....	66
Tabla 46: Familia Virtex-II Pro/X Series .....	67
Tabla 47: Familia Virtex-4 Series .....	67
Tabla 48: Familia Virtex-5 Series .....	68
Tabla 49: Familia Virtex-6 Series .....	69
Tabla 50: Familia Virtex-7 Series .....	70
Tabla 51: Tabla resumen dispositivo, velocidad y precio .....	74
Tabla 52: Tabla resumen dispositivo, núm. CLBs y precio .....	75
Tabla 53: Tabla resumen dispositivo, núm. pines I/O y precio .....	76
Tabla 54: Tabla acontecimientos Xcell Journal .....	77

# 1. Introducción

## 1.1 Motivación

Xilinx es la compañía líder mundial en investigación, desarrollo y venta de dispositivos lógicos programables conocidos como FPGAs (Field Programmable Gate Arrays) con base en Silicon Valley. Fundada en 1984 por Ross Freeman (inventor de las FPGA), Bernie Vonderschmitt (pionero del concepto de compañía fabless) han creado numerosos *chips*, desde las más elementales en sus inicios, hasta dispositivos de última generación, híbridos entre FPGA y procesador.

¿Qué es una FPGA? Existen múltiples y diversos dispositivos electrónicos capaces de realizar diferentes tareas como los procesadores o los elementos de memoria capaces de almacenar gran cantidad de datos. La FPGA tiene algo que la diferencia de los demás: es un hardware reprogramable a bajo nivel. Desde hace tiempo reemplazan en aplicaciones de alta velocidad de procesamiento (mayor que 500 MHz) a los circuitos integrados de aplicación específica (ASICs) y a DSPs integrados.

Las FPGAs son chips de silicio reprogramables, que disponen de bloques de lógica y recursos configurables para que el cliente pueda adaptar estos dispositivos. Para implementar funcionalidades personalizadas en hardware, tan solo deberá desarrollar funciones de cómputo digital en un lenguaje (VHDL, Verilog y/o ampliaciones de C) y compilarlas. Un fichero final llamado bitstream configura todos los elementos internos del dispositivo. La introducción de chips FPGAs en la industria ha sido promovida por el hecho de que éstas combinan lo mejor de los ASICs y de los sistemas basados en procesadores. Ofrecen velocidades típicas de HW dedicado y fiabilidad similar, pero sin requerir altos volúmenes producción que compensen el gasto NRE que genera un diseño personalizado de ASIC. El silicio reprogramable tiene una capacidad de adaptarse a un problema, tal como un software que se ejecuta en un sistema basado en procesadores, pero se diferencia en que no está limitado por el número de núcleos o unidades de proceso disponibles. A diferencia de los procesadores, las FPGAs llevan a cabo diferentes operaciones con paralelismo espacial, por lo que éstas no necesitan competir por los mismos recursos. Cada pieza de hardware se asigna a una sección del chip, y puede ejecutarse de manera autónoma sin ser afectada por otros bloques de lógica. Como resultado, el rendimiento de una parte de la aplicación no se ve afectado cuando se agrega hardware adicional, salvo la pérdida de performance por dificultad en el PPR (*partitionado, place & route*).

Según lo comentado, los principales beneficios de las FPGAs son los siguientes:

- Rendimiento
- Precio
- Fiabilidad
- Facilidad de stock
- Tolerancia a fallos de diseño

La tecnología FPGA y Xilinx, empresa creadora de estos dispositivos, nos servirán de base para crear este proyecto, que trata de ser un manual de referencia de utilidad para cualquier lector interesado en dicha materia.

## 1.2 Objetivos

El objetivo principal de este proyecto es crear un manual de referencia sobre la tecnología Hardware de Xilinx, analizando las principales FPGAs producidas, hasta llegar a la Virtex-7.

El proyecto es continuación de otros creados en el DSLab relacionados con FPGAs, cuyo fin es elaborar un gran archivo de información que servirá también a otros proyectos futuros, comparar arquitecturas FPGA, o finalmente servir de base para la creación de aplicaciones educativas para móviles y tablets sobre estos dispositivos.

Los principales puntos que se pretenden estudiar son los siguientes:

- Familias de FPGAs de Xilinx.
- Diversos parámetros tecnológicos y físicos de las FPGAs y su evolución.
- Arquitectura Hardware y en especial los CLBs.
- Aspectos económicos, tales como precios de dispositivos o costes adicionales por parámetro tecnológico.
- Análisis del boletín Xcell Journal de Xilinx.

## 1.3 Metodología de trabajo

Con el fin de crear un manual que sirva al estudiante como punto de consulta rápido y eficaz, se ha tratado de concentrar y resumir de la forma más eficiente, ya sea mediante explicaciones, tablas, gráficas o figuras, toda la información obtenida para desarrollar como resultado final un trabajo práctico. Todos los datos han sido extraídos meticulosamente de documentación oficial relacionada con la empresa Xilinx.

Como fuentes para la realización de este trabajo se han utilizado hojas de datos, libros académicos, documentación impresa propiedad del DSLab, informes y noticias de FPGAs, distribuidores oficiales de Xilinx y boletín Xcell Journal.

La metodología de trabajo empleada en este PFC ha sido la siguiente:

- Consulta de libros relacionados con FPGAs para el mejor conocimiento de la materia.
- Recopilación en diversas fuentes de información Hardware FPGA de Xilinx.
- Estudio de la arquitectura de diferentes FPGAs a través de hojas de datos y documentación específica.
- Elaboración de un catálogo de dispositivos, tecnología, evolución y arquitectura mediante esquemas, tablas y gráficas.



- Búsqueda y extracción de datos relacionados con aspectos económicos de las FPGAs de Xilinx, consultando distribuidores oficiales con precios y costes totalmente actualizados en la fecha de finalización del estudio.
- Análisis del boletín oficial de Xilinx publicado durante los últimos dieciséis años, recogiendo cualquier noticia, acontecimiento que pueda ser de interés para lector.

## 1.4 Organización y contenidos del PFC

Este PFC está dividido en 6 capítulos organizados de la siguiente manera:

1. **Capítulo 1, Introducción:** Resumen introductorio con motivación y objetivos del PFC.
2. **Capítulo 2, Dispositivos FPGAs y su tecnología:** Listado de FPGAs de Xilinx y estudio tecnológico de dichos dispositivos.
3. **Capítulo 3, Arquitectura de las FPGAs de Xilinx:** Explicación de la arquitectura hardware de FPGAs y estudio de CLBs.
4. **Capítulo 4, Tablas de características de las principales FPGAs:** Catalogo de las tablas de características de las FPGAs de Xilinx extraídas directamente de sus respectivas hojas de datos.
5. **Capítulo 5, Aspectos económicos:** Estudio económico de los diferentes precios por FPGA, y costos respectivos en función de los elementos hardware.
6. **Capítulo 6, Boletín Xcell Journal a lo largo de su historia:** Análisis de la revista oficial de Xilinx, Xcell Journal, destacando, siempre bajo nuestra opinión, acontecimientos y noticias destacadas.

## 1.5 Lista de acrónimos

**FPGA:** Field Programmable Gate Array

**NRE:** Non-Recurring Engineering

**ASIC:** Application Specific Integrated Circuit

**DSP:** Digital Signal Processor

**PPR:** Particionado, Place & Route

**CLB:** Configurable Logic Block

**LUT:** Look-up Table

**FF:** Flip-Flop

**IOB:** Input/Output Block

**LC:** Logic Cell

**BUFT:** Buffer Tri-State

**RAM:** Random Access Memory

**ROM:** Read-Only Memory

**EDA:** Electronic Design Automation

## 2. Dispositivos FPGAs y su tecnología

### 2.1 Introducción

En este capítulo se enumeran los diferentes dispositivos FPGAs de Xilinx, listándolos junto a una tabla con los siguientes seis aspectos que consideramos más relevantes de la tecnología y funcionamiento en las FPGAs:

- **Año de fabricación:** Esta información es aproximada y se ha obtenido de notas, documentos, y hojas de datos de Xilinx.
- **Velocidad del reloj del sistema ("System clock speed"):** Este es un parámetro de fabricación obtenido de las hojas de datos de Xilinx. Este dato nos da una idea de la velocidad máxima que se puede obtener de un chip, pero para una información más detallada se deben mirar los siguientes conceptos:
  - El tiempo mínimo de propagación de señales entre dos líneas de flip-flops en el diseño ("path delay").
  - La velocidad máxima de las I/O pads.
  - Tasa de conmutación ("Toggle rate"): La velocidad máxima de un flip-flop en cambiar su salida.
- **Puertas equivalentes:** Este es otro parámetro de fabricación muy utilizado en Xilinx y cuestionado por otros fabricantes. En principio, es el número aproximado de puertas que pueden ser mapeadas en los componentes de las FPGAs, como las LUTs o los bloques básicos integrados. Este número carece de sentido en las FPGAs más modernas, las cuales contienen microprocesadores y otros bloques más complejos. La misma empresa Xilinx abandonó la medida de anotar este dato.
- **Número de Flip-Flops:** Se trata de un parámetro objetivo. Dicho número se puede extraer de la información proporcionada por las hojas de datos. En las FPGAs más actuales, este valor carece de importancia debido al uso de cadenas de configuración, como los registros de desplazamientos (componentes SRL16, 32, 64, etc.). De sus últimas FPGAs, Xilinx dejó de publicar este dato. Como ejemplo, una FPGA de la familia Virtex puede contener unos  $10^6$  Flip Flops.
- **Pines I/O de usuario:** Número de pines a disposición del usuario (programados como entradas, salidas, bi-direccionales o diferenciales). Este parámetro es fundamental y su valor difiere del número total de pines del chip, pues este último incluye pines de Vcc, GND y control.
- **Tecnología de fabricación ("Process technology"):** La definición de este parámetro no está del todo clara. Inicialmente, fue la amplitud física del canal de silicio en un transistor tipo MOS. También se ha definido como el tamaño mínimo que puede alcanzar cualquier elemento básico del chip. Cuanto menor sea la tecnología de fabricación, menor será el chip.

Con posterioridad a las tablas se hará un estudio mostrando cómo ha evolucionado toda esta tecnología (velocidad del reloj del sistema, puertas equivalentes, número de flip-flops, pines I/Os de usuario y tecnología de fabricación) desde el comienzo de fabricación de FPGAs por parte de Xilinx hasta nuestros días.

En la siguiente figura resumen podemos observar las tres familias de FPGAs que vamos a analizar en este manual de referencia, clasificando en cada una de ellas los diferentes modelos que pertenecen a ellas. Inicialmente tenemos la primera familia con la que se inició Xilinx en el mundo de los dispositivos reprogramables, ya casi obsoletos, las XC Series. En su fecha de lanzamiento fueron de gran importancia ya que introducían el concepto de reprogramación en dispositivos semiconductores. Luego apareció con gran aceptación por parte de los clientes, ya que fue un salto tecnológico importante como más tarde veremos en este capítulo, la familia Spartan, destacando el modelo Spartan, Spartan-3 y el Spartan-6. Por último, sacaron al mercado la gama Virtex, coexistiendo con la predecesora familia Spartan, también tuvo gran éxito, destacando sus modelos más novedosos como los Virtex-5, Virtex-6 y Virtex-7.

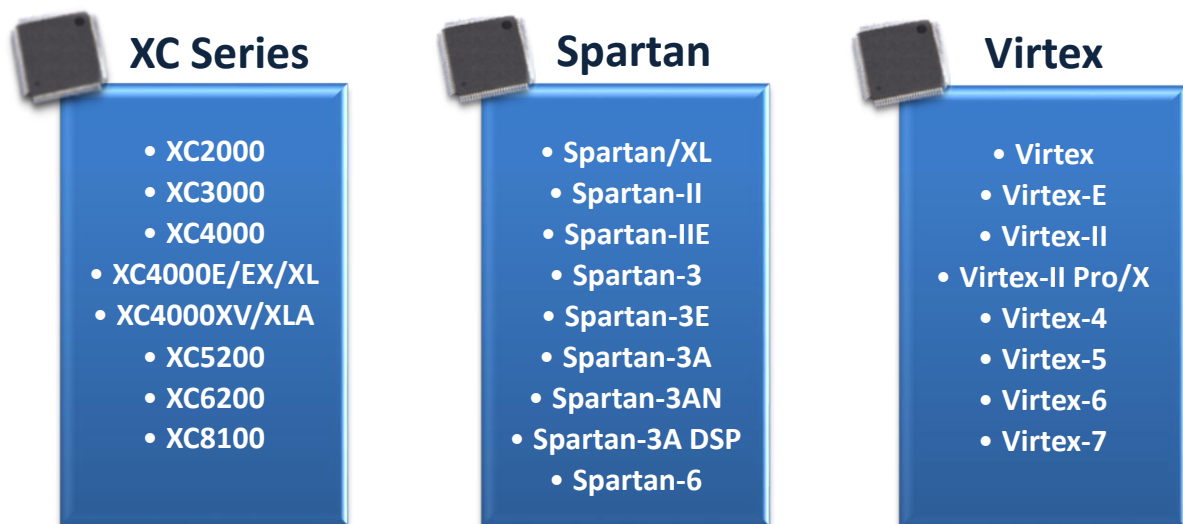


Fig. 1: FPGAs estudiadas en este manual.

## 2.2 Listado de FPGAs de Xilinx

### *XC2000 Series*

---

<b>Año de fabricación:</b>	1985
<b>Velocidad del reloj del sistema:</b>	35 MHz
<b>Puertas equivalentes:</b>	600 a 1,500
<b>Nº de FF:</b>	122 a 174
<b>Pines I/O de usuario (max.):</b>	74
<b>Tecnología de fabricación:</b>	2000 nm

Tabla 1

### *XC3000 Series*

---

<b>Año de fabricación:</b>	1987
<b>Velocidad del reloj del sistema:</b>	85 MHz
<b>Puertas equivalentes:</b>	1,000 a 7,500
<b>Nº de FF:</b>	256 a 1,320
<b>Pines I/O de usuario (max.):</b>	176
<b>Tecnología de fabricación:</b>	2000 nm

Tabla 2

### *XC4000 Series*

---

<b>Año de fabricación:</b>	1990
<b>Velocidad del reloj del sistema:</b>	50 MHz
<b>Puertas equivalentes:</b>	2,000 a 25,000
<b>Nº de FF:</b>	256 a 2,560
<b>Pines I/O de usuario (max.):</b>	256
<b>Tecnología de fabricación:</b>	1,200 nm

Tabla 3

### *XC4000E/EX/XL Series*

---

<b>Año de fabricación:</b>	1996
<b>Velocidad del reloj del sistema:</b>	80 MHz
<b>Puertas equivalentes:</b>	1,000 a 180,000
<b>Nº de FF:</b>	256 a 7,168
<b>Pines I/O de usuario (max.):</b>	448
<b>Tecnología de fabricación:</b>	500 nm (E,EX ) / 350 nm (XL)

Tabla 4

### *XC4000XV/XLA Series*

---

<b>Año de fabricación:</b>	1999
<b>Velocidad del reloj del sistema:</b>	100 MHz
<b>Puertas equivalentes:</b>	10,000 a 500,000
<b>Nº de FF:</b>	1,536 a 18,400
<b>Pines I/O de usuario (max.):</b>	448
<b>Tecnología de fabricación:</b>	250 nm (XV) / 350 nm (XLA)

Tabla 5

### *XC5200 Series*

---

<b>Año de fabricación:</b>	1995
<b>Velocidad del reloj del sistema:</b>	50 MHz
<b>Puertas equivalentes:</b>	3,000 a 23,000
<b>Nº de FF:</b>	256 a 1,936
<b>Pines I/O de usuario (max.):</b>	244
<b>Tecnología de fabricación:</b>	500 nm

Tabla 6

### *XC6200 Series*

---

<b>Año de fabricación:</b>	1995
<b>Velocidad del reloj del sistema:</b>	--
<b>Puertas equivalentes:</b>	60,000 a 100,000
<b>Nº de FF:</b>	2,304 a 16,384
<b>Pines I/O de usuario (max.):</b>	512
<b>Tecnología de fabricación:</b>	--

Tabla 7

### *XC8100 Series*

---

<b>Año de fabricación:</b>	1996
<b>Velocidad del reloj del sistema:</b>	144 MHz
<b>Puertas equivalentes:</b>	1,000 a 45,000
<b>Nº de FF:</b>	96 a 3,072
<b>Pines I/O de usuario (max.):</b>	320
<b>Tecnología de fabricación:</b>	--

Tabla 8

### *Spartan/Spartan-XL Series*

---

<b>Año de fabricación:</b>	1998
<b>Velocidad del reloj del sistema:</b>	80 MHz
<b>Puertas equivalentes:</b>	5,000 a 40,000
<b>Nº de FF:</b>	360 a 2,016
<b>Pines I/O de usuario (max.):</b>	224
<b>Tecnología de fabricación:</b>	500 nm / 350 nm (XL)

Tabla 9

### *Spartan-II Series*

---

<b>Año de fabricación:</b>	1998
<b>Velocidad del reloj del sistema:</b>	200 MHz
<b>Puertas equivalentes:</b>	15,000 a 200,000
<b>Nº de FF:</b>	432 a 5,292
<b>Pines I/O de usuario (max.):</b>	284
<b>Tecnología de fabricación:</b>	180 nm

Tabla 10

### *Spartan-III Series*

---

<b>Año de fabricación:</b>	2001
<b>Velocidad del reloj del sistema:</b>	200 MHz
<b>Puertas equivalentes:</b>	50,000 a 600,000
<b>Nº de FF:</b>	1,728 a 15,552
<b>Pines I/O de usuario (max.):</b>	514
<b>Tecnología de fabricación:</b>	150 nm

Tabla 11

### *Spartan-3 Series*

---

<b>Año de fabricación:</b>	2003
<b>Velocidad del reloj del sistema:</b>	--
<b>Puertas equivalentes:</b>	50,000 a 5,000,000
<b>Nº de FF:</b>	1,728 a 74,880
<b>Pines I/O de usuario (max.):</b>	633
<b>Tecnología de fabricación:</b>	90 nm

Tabla 12

### *Spartan-3E Series*

---

<b>Año de fabricación:</b>	2005
<b>Velocidad del reloj del sistema:</b>	300 MHz
<b>Puertas equivalentes:</b>	100,000 a 1,600,000
<b>Nº de FF:</b>	2,160 a 33,192
<b>Pines I/O de usuario (max.):</b>	376
<b>Tecnología de fabricación:</b>	90 nm

Tabla 13

### *Spartan-3A Series*

---

<b>Año de fabricación:</b>	2006
<b>Velocidad del reloj del sistema:</b>	320 MHz
<b>Puertas equivalentes:</b>	50,000 a 1,400,000
<b>Nº de FF:</b>	1,584 a 25,344
<b>Pines I/O de usuario (max.):</b>	502
<b>Tecnología de fabricación:</b>	90 nm

Tabla 14

### *Spartan-3AN Series*

---

<b>Año de fabricación:</b>	2007
<b>Velocidad del reloj del sistema:</b>	--
<b>Puertas equivalentes:</b>	50,000 a 1,400,000
<b>Nº de FF:</b>	1,584 a 25,344
<b>Pines I/O de usuario (max.):</b>	502
<b>Tecnología de fabricación:</b>	90 nm

Tabla 15

### *Spartan-3A DSP Series*

---

<b>Año de fabricación:</b>	2007
<b>Velocidad del reloj del sistema:</b>	250 MHz
<b>Puertas equivalentes:</b>	1,800,000 a 3,400,000
<b>Nº de FF:</b>	37,440 a 59,712
<b>Pines I/O de usuario (max.):</b>	519
<b>Tecnología de fabricación:</b>	90 nm

Tabla 16

### *Spartan-6 Series*

---

<b>Año de fabricación:</b>	2009
<b>Velocidad del reloj del sistema:</b>	600 MHz
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	4,800 a 184,304
<b>Pines I/O de usuario (max.):</b>	576
<b>Tecnología de fabricación:</b>	45 nm

Tabla 17

### *Virtex Series*

---

<b>Año de fabricación:</b>	1998
<b>Velocidad del reloj del sistema:</b>	200 MHz
<b>Puertas equivalentes:</b>	58,000 a 1,000,000
<b>Nº de FF:</b>	1,728 a 27,648
<b>Pines I/O de usuario (max.):</b>	512
<b>Tecnología de fabricación:</b>	220 nm

Tabla 18

### *Virtex-E Series*

---

<b>Año de fabricación:</b>	1999
<b>Velocidad del reloj del sistema:</b>	130 MHz
<b>Puertas equivalentes:</b>	72,000 a 4,000,000
<b>Nº de FF:</b>	1,728 a 73,008
<b>Pines I/O de usuario (max.):</b>	804
<b>Tecnología de fabricación:</b>	180 nm

Tabla 19

### *Virtex-II Series*

---

<b>Año de fabricación:</b>	2000
<b>Velocidad del reloj del sistema:</b>	420 MHz
<b>Puertas equivalentes:</b>	40,000 a 8,000,000
<b>Nº de FF:</b>	512 a 93,184
<b>Pines I/O de usuario (max.):</b>	1,108
<b>Tecnología de fabricación:</b>	150 nm

Tabla 20



### *Virtex-II PRO/X Series*

---

<b>Año de fabricación:</b>	2002
<b>Velocidad del reloj del sistema:</b>	400 MHz
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	3,168 a 99,216
<b>Pines I/O de usuario (max.):</b>	1,164
<b>Tecnología de fabricación:</b>	130 nm

Tabla 21

### *Virtex-4 Series*

---

<b>Año de fabricación:</b>	2004
<b>Velocidad del reloj del sistema:</b>	450 MHz
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	13,824 a 200,448
<b>Pines I/O de usuario (max.):</b>	960
<b>Tecnología de fabricación:</b>	90 nm

Tabla 22

### *Virtex-5 Series*

---

<b>Año de fabricación:</b>	2006
<b>Velocidad del reloj del sistema:</b>	550 MHz
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	12,480 a 207,360
<b>Pines I/O de usuario (max.):</b>	1,200
<b>Tecnología de fabricación:</b>	65 nm

Tabla 23

### *Virtex-6 Series*

---

<b>Año de fabricación:</b>	2009
<b>Velocidad del reloj del sistema:</b>	600 MHz
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	93,120 a 948,480
<b>Pines I/O de usuario (max.):</b>	1,200
<b>Tecnología de fabricación:</b>	40 nm

Tabla 24

<b>Año de fabricación:</b>	2010
<b>Velocidad del reloj del sistema:</b>	--
<b>Puertas equivalentes:</b>	--
<b>Nº de FF:</b>	408,000 a 2,443,200
<b>Pines I/O de usuario (max.):</b>	1,200
<b>Tecnología de fabricación:</b>	28 nm

Tabla 25

Toda la información ha sido extraída de las hojas de datos originales de Xilinx. La ausencia de algunos datos se debe a que Xilinx no ha proporcionado los mismos.

Han quedado excluidas de esta lista o de siguientes capítulos a lo largo del proyecto las siguientes FPGAs debido a los motivos que se indican:

- XC6200 Series: Por ser una FPGA especialmente diseñada para implementar coprocesadores reconfigurables en aplicaciones de sistemas embebidos, contiene unas características y unas especificaciones no comparables con los demás dispositivos.
- XC8100 Series: Tras apenas un año desde su lanzamiento en 1995, Xilinx anunció el cese de producción de esta FPGA, la cual utilizaba tecnología antifusible (Solo programable una vez), continuando solamente en el mercado de la tecnología SRAM y Flash (reprogramable).
- Familias Q, QPro y QV de FPGAs: De uso específico en las industrias de defensa (Q y QPro) y aeroespacial (QV), con características muy parecidas a las de sus familias de uso comercial, pero mucho más avanzadas en encapsulados, con el fin de poder resistir condiciones en ambientes extremos relativas a factores tales como temperatura, radiación o presión.
- Artix-7 Series y Kintex-7 Series: Destinadas a ser la gama económica de las 7-series de Xilinx. Utilizan la misma tecnología que la Virtex-7 pero con especificaciones (características) un poco más limitadas, centrándose en optimizar el consumo de potencia, en vez de en el rendimiento.

### 2.3 Evolución tecnológica de los dispositivos FPGAs de Xilinx

Para entender un poco mejor la evolución tecnológica de los diferentes dispositivos FPGAs de Xilinx y qué cambios significativos se han producido en una determinada fecha y por qué motivos se han producido, se muestra una línea del tiempo con todas las FPGAs analizadas para este estudio.

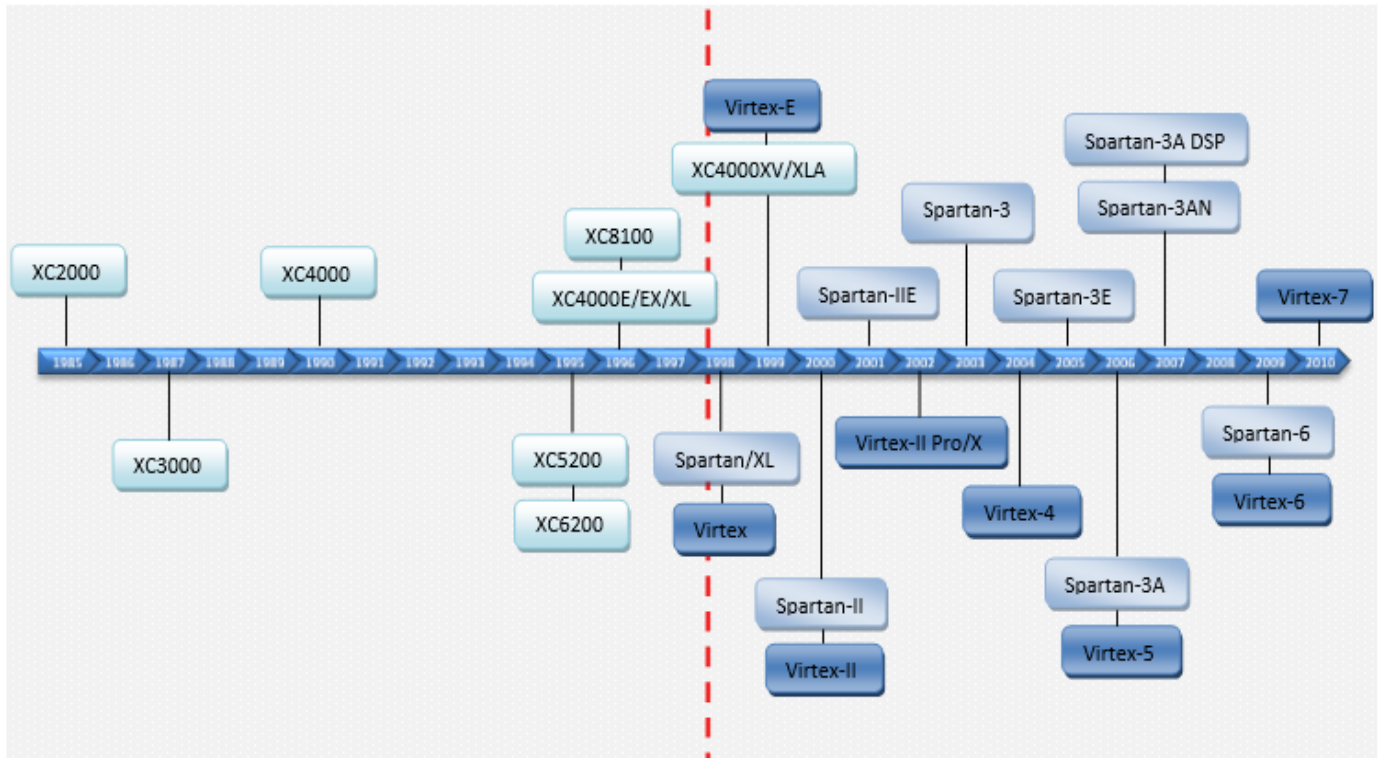


Fig. 2: Línea del tiempo con el año de fabricación de todas las FPGAs estudiadas en este capítulo.

Como ya veremos en siguientes apartados, hay un importante salto evolutivo en cuanto a avance tecnológico se refiere a finales de los noventa con la fabricación por parte de Xilinx de dos nuevas familias, Spartan y Virtex. Se fabrican diseños de arquitecturas más complejas pero a la vez más funcionales.

### 2.3.1 Velocidad de Sistema:

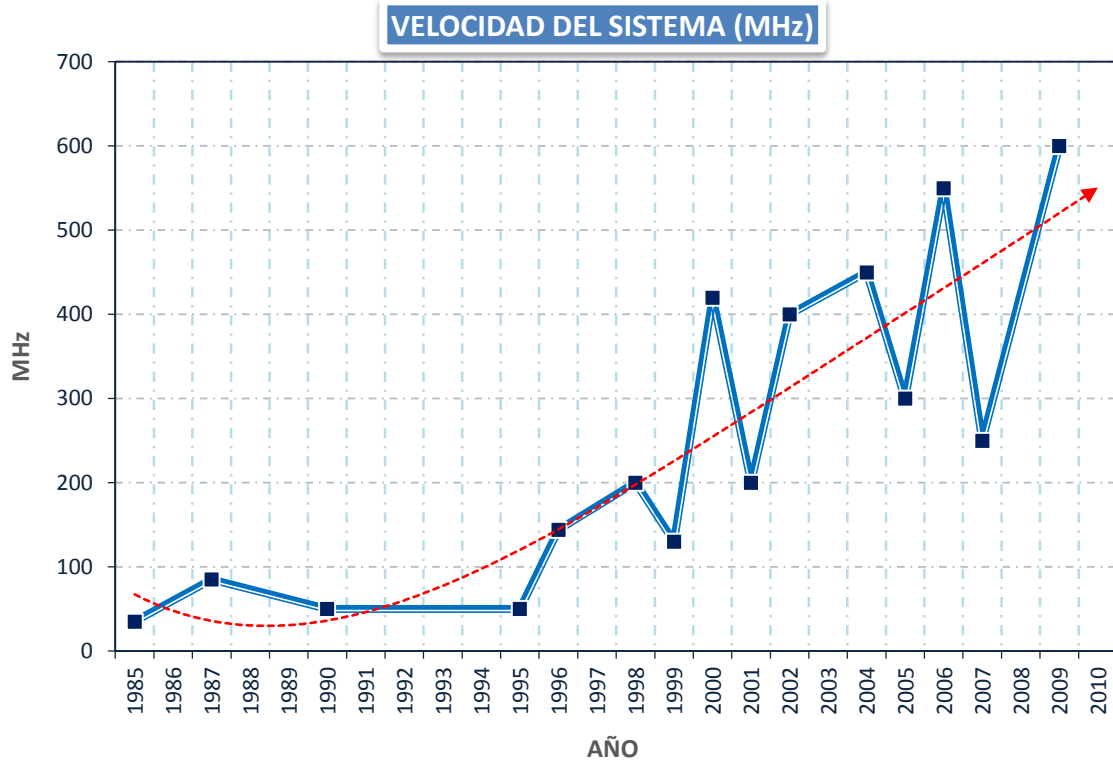


Fig. 3: Velocidad del sistema.

La velocidad del sistema - junto con el consumo - es uno de los aspectos más importantes para los clientes de FPGAs. La velocidad depende de varios factores como hemos visto anteriormente, y Xilinx ha ido evolucionando/mejorando la arquitectura y diseño del chip consiguiendo así rendimientos 20 veces superiores a los iniciales. Xilinx salió al mercado de las FPGAs a mediados de los ochenta con dispositivos con un rendimiento de unos 50 MHz en las series XC2000, XC3000 y XC4000. No fue hasta finales de los 90, con la salida de la Spartan y Virtex, cuando empezó un crecimiento considerable en velocidad del sistema en casi todas las FPGAs que salían nuevas al mercado, llegando a los 400 MHz. En los últimos diez años ha habido un claro ascenso de esta tecnología como indica la línea de tendencia, con algunos picos, debidos a la producción de algunos modelos de FPGAs centrados en el bajo consumo, limitando así la velocidad del sistema. En varias ocasiones, Xilinx no proporciona este parámetro en las hojas de datos, ya que el rango de velocidad del sistema en algunas FPGAs puede variar significativamente dependiendo de la configuración que se le dé al chip. En las últimas series de la gama Virtex hay familias específicas para proporcionar un alto rendimiento en cuanto a la velocidad del sistema.

### 2.3.2 Puertas equivalentes:

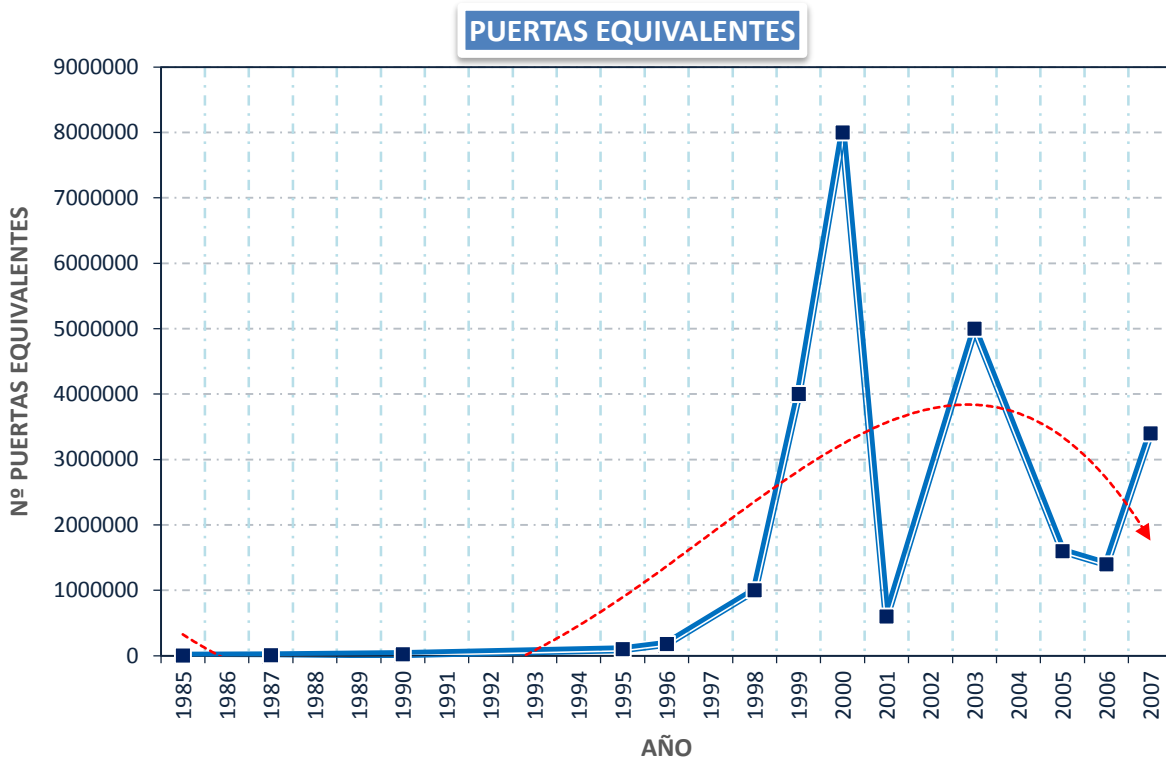


Fig. 4: Puertas Equivalentes.

Podemos observar en la gráfica cómo durante la primera década, Xilinx no incrementa significativamente el número de puertas equivalentes. Vuelve a ser a finales de los 90, con la salida al mercado de la gama Spartan, cuando se produce un aumento considerable pasando de unos cuantos miles de puertas a cientos de miles, aunque variando los modelos no siempre ha ido creciendo esta cantidad, dándole importancia a otros elementos o características de la FPGA. Respecto a las puertas equivalentes de las últimas FPGAs fabricadas por Xilinx no tenemos muchos datos, pues este número fue sustituido en sus publicaciones por el del número de celdas lógicas y en algunos casos directamente por el del número de CLBs. Se puede percibir como la línea de tendencia tiende a disminuir pues ya no es un parámetro indispensable en FPGAs.

### 2.3.3 Número de Flip-Flops:

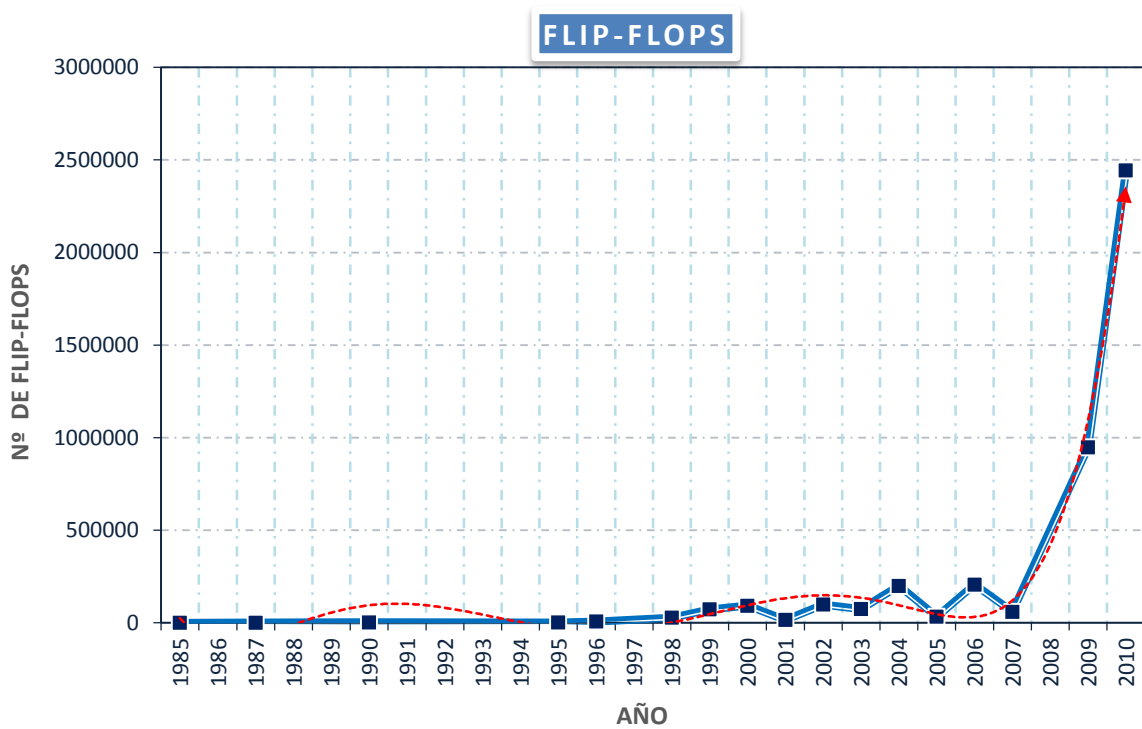


Fig. 5: Nº Flip-Flops.

Este es otro dato que podemos ver cómo ha ido creciendo exponencialmente y de forma importantísima en los últimos años, como indica la línea de tendencia. La serie XC2000 empezó con 174 flip-flops y actualmente la Virtex-7 dispone de 2,400,000. Un número elevado de flip-flops impacta en el desempeño final de la arquitectura (por la posibilidad de realizar pipelines a nivel de bit) pero afectará a otros parámetros como el consumo de potencia o la distribución de reloj. En las últimas FPGAs este dato es tan elevado que no se publica; para poder realizar el estudio, este valor es obtenido calculando el número de CLBs o slices y después multiplicando la cantidad de flip-flops que contienen cada uno de ellos para poder conseguir un número aproximado.

### 2.3.4 Pines I/O de usuario:

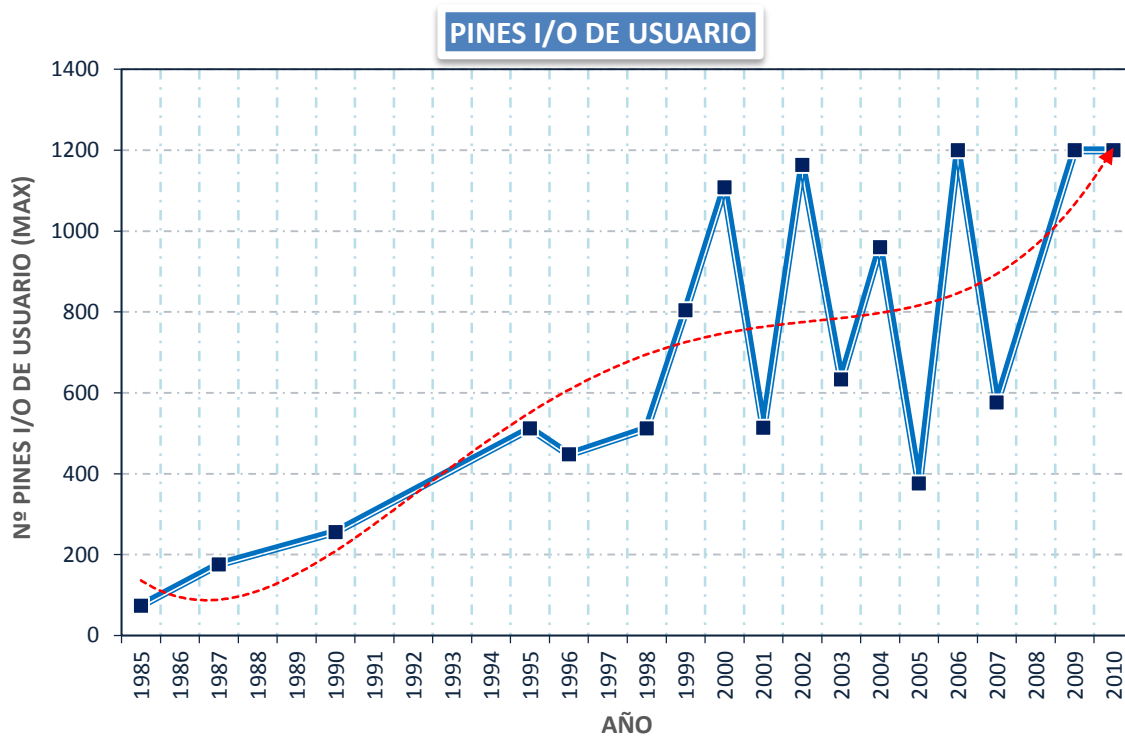


Fig. 6: Pines I/O de usuario.

Los pines I/O de usuario es un dato muy a tener en cuenta, pues dan muchas opciones, según como se configuren dichos puertos, ya que pueden ser programados para diversas funciones. En cuanto al número máximo de pines I/O de usuario podemos observar en la gráfica cómo desde el inicio en los que solo se disponía de unos pocos pines, esta cantidad ha ido aumentando progresivamente hasta notarse un incremento representativo a principio del presente siglo. A partir de este punto, el máximo se mantiene produciéndose varios picos a la baja de varias FPGAs de la serie Spartan. Dependiendo de los modelos de FPGAs, teniendo en cuenta su estructura y finalidad, dichos pines han aumentado o disminuido de un año para otro. Se aprecia gracias a la línea de tendencia cómo este dato ha ido aumentando desde sus orígenes.

### 2.3.5 Tecnología de fabricación:

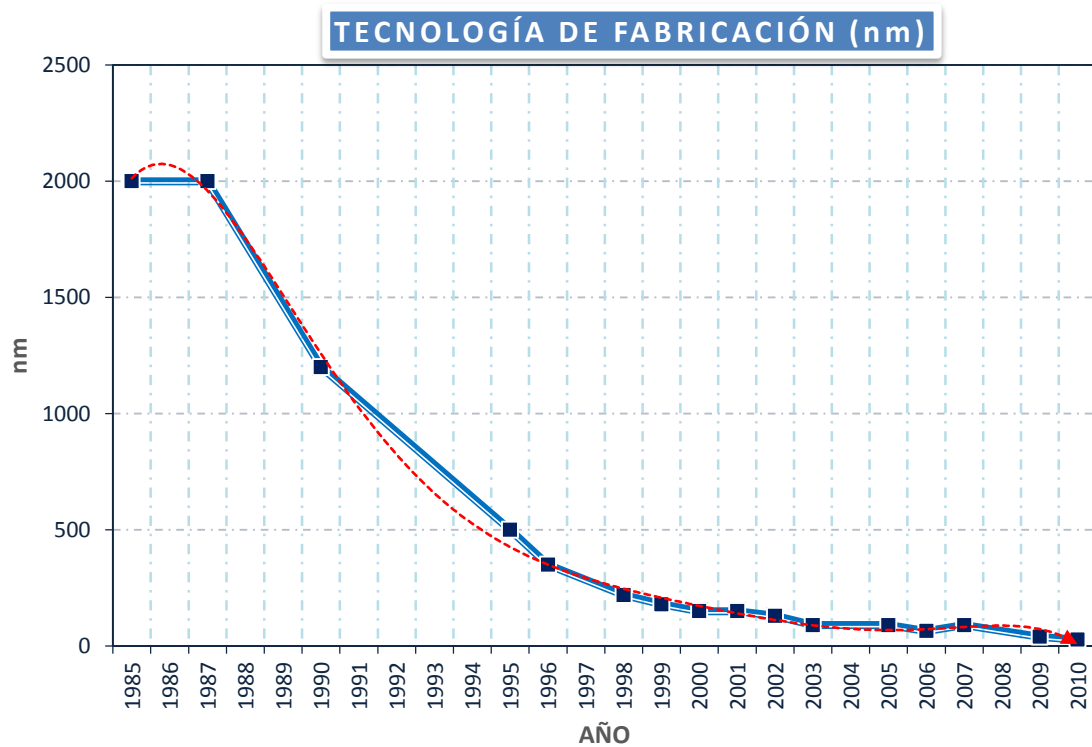


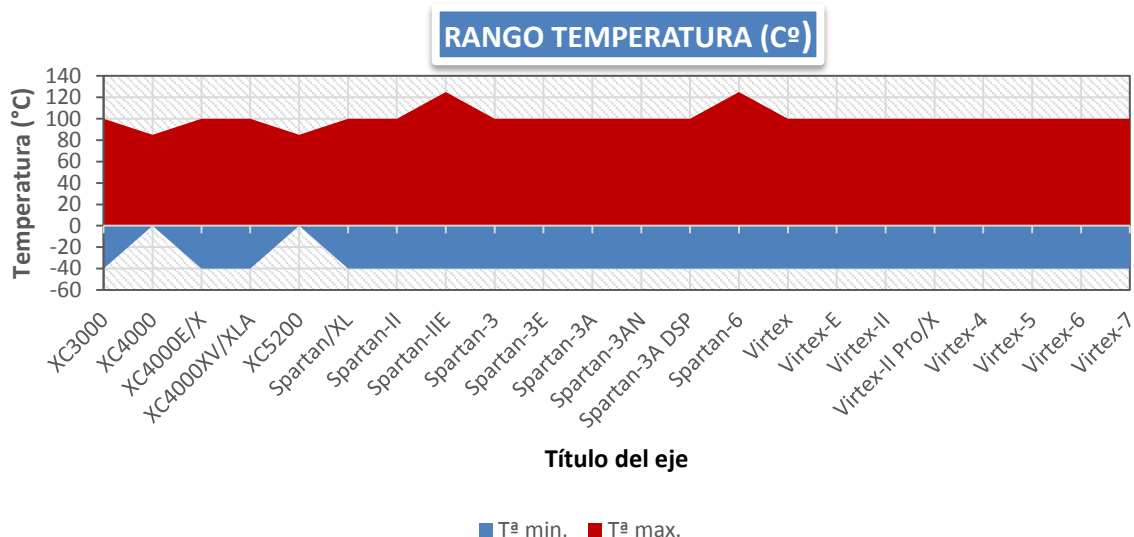
Fig. 7: Tecnología de fabricación.

La tecnología de fabricación es uno de los parámetros que más ha evolucionado en los semiconductores. Es muy importante entender que cuanto menor sea esta tecnología, se traduce en transistores más pequeños, mayor velocidad de conmutación, retardos más cortos y menor precio. Xilinx empezó sus FPGAs usando una tecnología de fabricación de 2000 nm y a los pocos años consiguió reducirla a la mitad. A principios de los noventa ya se estaba utilizando una tecnología de unos 500 nm. A partir de entonces ha ido bajando poco a poco hasta llegar al increíble dato de 28 nm con la Virtex-7. En la actualidad Xilinx ha lanzado la serie Ultra-scale con una tecnología de fabricación de 16 nm.



### 2.3.6 Otros aspectos tecnológicos: Temperatura y Tensión de Alimentación

Existen dos parámetros muy a tener en cuenta: la temperatura y la tensión, que referentes a la tecnología del chip, afectan directamente a funcionamiento de la FPGA.



Como podemos ver en la gráfica de temperatura, este dato no ha cambiado mucho a lo largo de los años. El margen de trabajo suele ser, en casi todas las FPGAs en uso comercial de 0 a 85°C, mientras que en uso industrial la horquilla se expande de -40 a 100°C, habiendo casos que llegan hasta los 125°C.

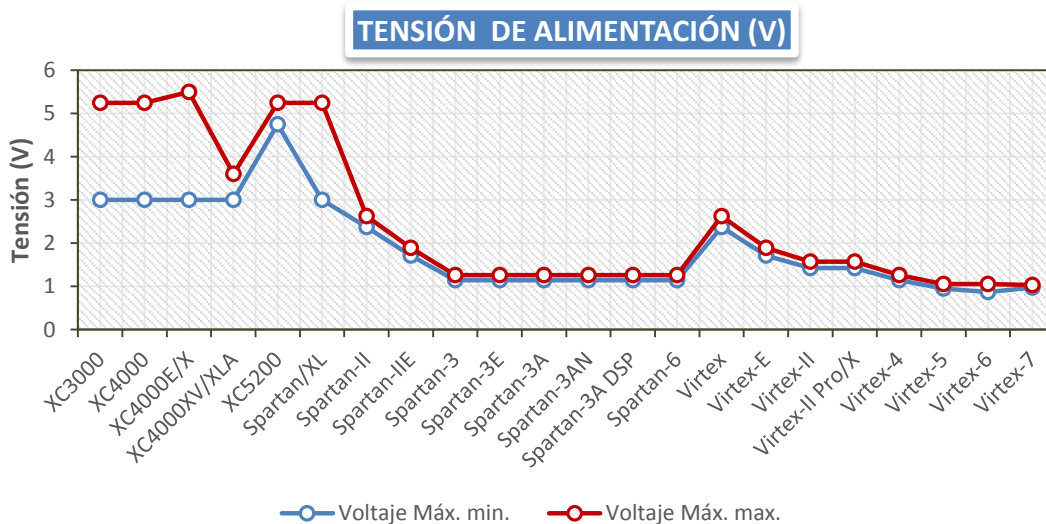


Fig. 9: Tensión de alimentación.

En la gráfica de arriba se muestra el rango de tensiones soportados por cada FPGA. Cuanto más tensión, mayor potencia consumirá el dispositivo ( $P$  es proporcional a  $V^2$ ). Esto no fue una preocupación en los primeras FPGAs, hasta que salió la gama Spartan en la que bajaron la alimentación del chip hasta 1V, reduciendo no solo la potencia sino que también aumentó la vida del dispositivo.

### 3. Arquitectura de las FPGAs de Xilinx

#### 3.1 Introducción

En este capítulo explicaremos brevemente que elementos esenciales forman parte de la arquitectura hardware de una FPGA de Xilinx. Describiremos los tres componentes básicos:

- El bloque de entradas/salidas (IOB)
- Los módulos de interconexión programable.
- El bloque lógico programable (CLB).

En cuanto a este último componente el CLB, al entender que es el corazón del dispositivo y donde se crea toda la lógica programable, haremos un análisis más exhaustivo y detallado del funcionamiento de los diferentes bloques lógicos que componen todas las FPGAs de Xilinx, haciendo notar cómo han ido evolucionando, y como su arquitectura y lógica ha ido haciéndose más compleja.

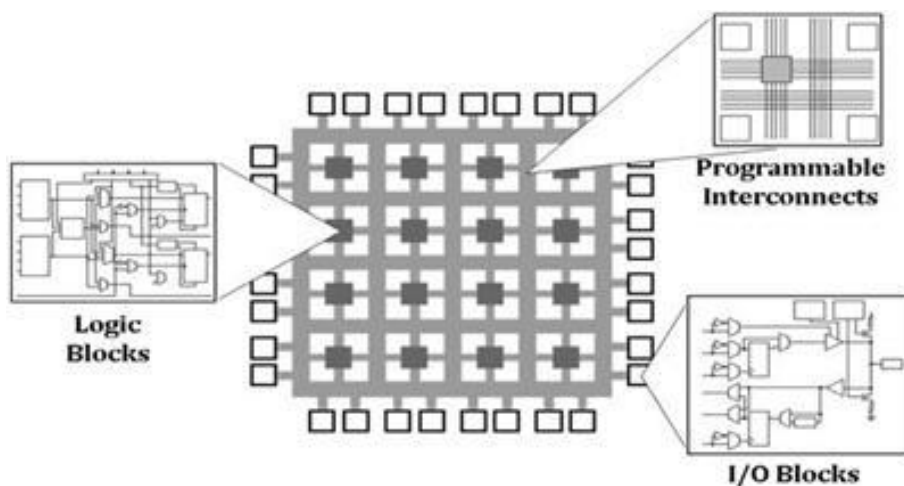


Fig. 10: Esquema elemental de la arquitectura FPGA (Referenciado de<sup>1</sup>).

Una FPGA consiste en bloques lógicos distribuidos colocados en forma de matriz o array. En la periferia (o en toda la superficie) del chip están situados los bloques de entradas/salidas. Dichos bloques (CLBs y IOBs) se comunican entre sí gracias a los canales de enrutamiento y módulos de interconexión. En los últimos años se introdujeron bloques de memoria RAM entre los CLBs y los IOBs, pero no estudiaremos estos elementos en este manual. En la figura 10 podemos observar claramente la disposición elemental de dichos componentes dentro de una FPGA.

<sup>1</sup> <https://labviewrobotics.wordpress.com/2010/05/03/an-fpga-based-ugv-from-olin-college/>

### 3.2 Inputs/Outputs Block (IOB)

El bloque de entradas/salidas proporciona una interfaz programable, bidireccional entre los pines I/O y la lógica interna de la FPGA. Existen tres trayectos principales de señal: de salida, de entrada y la tri-estado. Cada uno tiene sus elementos de almacenamiento que pueden actuar como registros o latches y los cuales permiten controlar mejor la E/S.

El funcionamiento principal de este bloque es el de conducir las señales al nivel apropiado de tensión para que cada pin pueda ser configurado como entrada, salida o bidireccional. Cada bloque de entrada/salida tiene una resistencia de “pull-up” y “pull-down” configurables que permiten fijar un valor lógico “débil” mediante programación.

Los pines I/O tienen un buffer de salida tri-estado que puede ser controlado por señales internas. Además, las salidas pueden ser programadas para diferentes niveles lógicos permitiendo que la FPGA pueda ser conectada a diferentes familias (TTL33, TTL25, CMOS18, etc). La señal de entrada del IOB se dirige al módulo de enrutamiento con el fin de que se encamine al bloque lógico apropiado. En algunas arquitecturas, dependiendo de la FPGA, determinadas entradas tienen diferentes trayectos dependiendo el bloque lógico a fin de variar el retardo. Por norma general en las arquitecturas de las FPGAs de Xilinx, pines específicos se conectan a bloques de entrada/salida específicos que pueden conducir señales globales como el reset o el clock. Esto significa que solo unos determinados pines del dispositivo pueden ser usados para este fin.

La siguiente figura representa un IOB perteneciente a las FPGAs XC4000 Series. Podemos observar los dos elementos de almacenamiento, las resistencias de “pull-up” y “pull-down”, los multiplexores, buffers y las diferentes señales de entrada y salida.

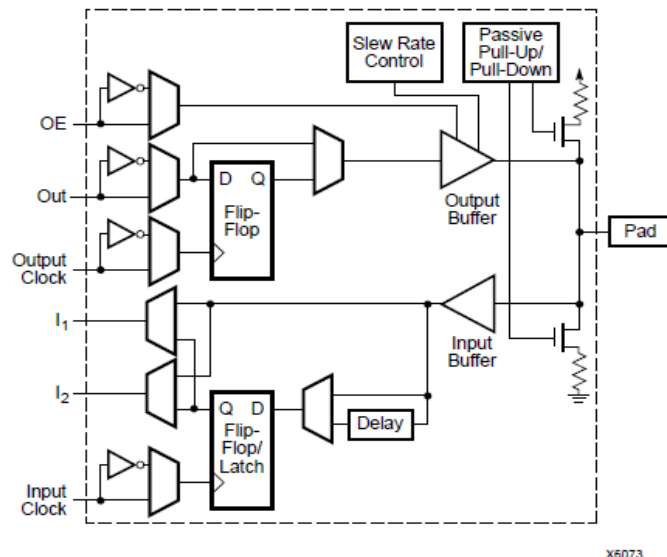


Fig. 11: Esquema IOB perteneciente a las FPGA XC4000. (Referenciado de<sup>2</sup>).

<sup>2</sup> Xilinx Inc, “XC4000E and XC4000X Series Field Programmable Gate Arrays”, May 14, 1999

### 3.3 Módulos de interconexión y canales de enrutamiento

Para que una FPGA pueda implementar los circuitos lógicos programados por el usuario, los bloques lógicos y de entrada/salida no solo deben configurarse adecuadamente sino que también deben conectarse entre sí. La estructura de interconexión interna de una FPGA consiste en un conjunto de conexiones o trazas que pueden conectarse mediante elementos de paso programables. Las herramientas de “particionado, localización e interconexión” (PPR) son las encargadas de decidir en qué elementos lógico se implementará la lógica diseñada por el usuario y como deben programarse las interconexiones para que el diseño funcione según las especificaciones de tiempo y retardo que se han definido.

La arquitectura de interconexión de las antiguas FPGA de Xilinx tenían dos niveles. Por un lado estaba una interconexión de propósito general a través de la matriz general. Por otro lado, contenía recursos de interconexión local. Además de los ya mencionados, había recursos especiales, dedicados a señales de tres estados (Z), de entrada-salida y distribución de reloj y señales específicas.

Los recursos de interconexión local, permiten hacer las conexiones entre los elementos internos de un bloque lógico o CLB, como las tablas de búsqueda (LUT), los flip-flop y las realimentaciones dentro del CLB. Además, el interconexiónado a este nivel proporciona uniones a la matriz de interconexión general y a los CLB adyacentes. Las conexiones a los CLB adyacentes permiten optimizar los diseños al evitar los retardos y la utilización de recursos de la matriz general de interconexiónado.

La mayor parte de las señales se conectan a través de la matriz general de interconexiónado. Los elementos de esta matriz se encuentran entre los CLB, en los canales de interconexión horizontales y verticales de la FPGA. Permiten hacer la unión entre las trazas horizontales y verticales y hacia los CLB. A través de ellos se configuran las conexiones entre CLBs no adyacentes y hacia los bloques de entrada/salida.

En las siguientes figuras podemos ver un esquema básico del sistema de interconexión en una FPGA de los '90 y un esquema con más detalle de las conexiones entre los CLB y las matrices de enrutamiento.

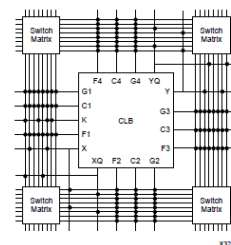
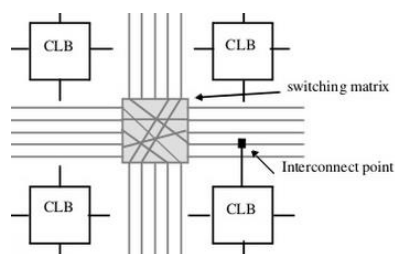


Fig. 12: Esquema básico del sistema de interconexión. (Referenciado de<sup>3</sup>). Fig. 13: Esquema detallado de conexiones (Referenciado de<sup>4</sup>).

<sup>3</sup> <http://www.slideshare.net/armfoisal/vlsi-15987228>

<sup>4</sup> <http://www.slideshare.net/armfoisal/vlsi-15987228>

### 3.4 Configurable Logic Block (CLB)

Uno de los elementos básicos y más importantes de una FPGA es el bloque lógico o CLB (Configurable Logic Block). Los fabricantes de FPGAs diseñan los CLBs a semejanza de una pequeña máquina de estados (LUT + FF). Una pequeña memoria RAM más un multiplexor permite la creación de funciones lógicas combinatorias arbitrarias, conocidas como LUTs. También contienen flip-flops como elementos de almacenamiento local, y multiplexores que tienen el fin de conducir la lógica dentro del bloque lógico hacia los recursos externos. Los multiplexores también permiten la selección de polaridad, y restablecer o seleccionar las entradas.

En los últimos años Xilinx ha introducido un nuevo término para referirse a los grupos de elementos lógicos utilizados en las últimas FPGAs, la slice. Un CLB contiene un par de slices idénticas en la Spartan-II, Spartan-IIE, Virtex y Virtex-E o cuatro en el caso de la Virtex-II, Virtex-II Pro y Virtex-4, y en las Spartan-3, Spartan-6, Virtex-5, Virtex-6 y Virtex-7 vuelve a la arquitectura/diseño/configuración de dos slices pero ahora una de ellas está destinada exclusivamente a memoria (SliceM) y otra a la lógica (SliceL). En varios modelos de FPGAs los CLBs o slices pueden dividirse en bloques más pequeños llamados Logic Cells.

En esta parte del trabajo expondremos los CLBs o slices que componen cada una de las familias de FPGAs de Xilinx y explicaremos cómo funcionan dichos bloques. Como norma general, la representación de multiplexores sin líneas de control significa que dicho control es realizado con la herramienta EDA.

En la siguiente figura podemos ver un ejemplo de la disposición de las slices en los CLBs. Este diseño lo introdujo Xilinx en sus últimas FPGAs. Las dos slices están ubicadas dentro del bloque lógico en columna. Cuando se agrupan varios CLBs, las herramientas de diseño de Xilinx designan las slices como una matriz, como se muestra en la figura de abajo.

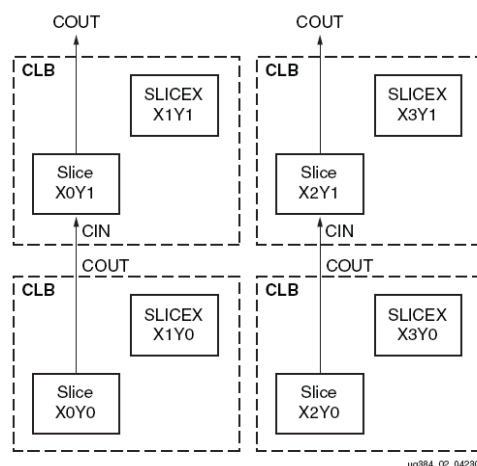


Fig. 14: Relación de filas y columnas entre CLBs y slices (Referenciado de<sup>5</sup>).

<sup>5</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug190.pdf](http://www.xilinx.com/support/documentation/user_guides/ug190.pdf)

### 3.4.1 Bloques lógicos y slices de Xilinx

A continuación se describen las estructuras más comunes de CLBs de las FPGAs de Xilinx:

- **CLB de XC2000 Series:**

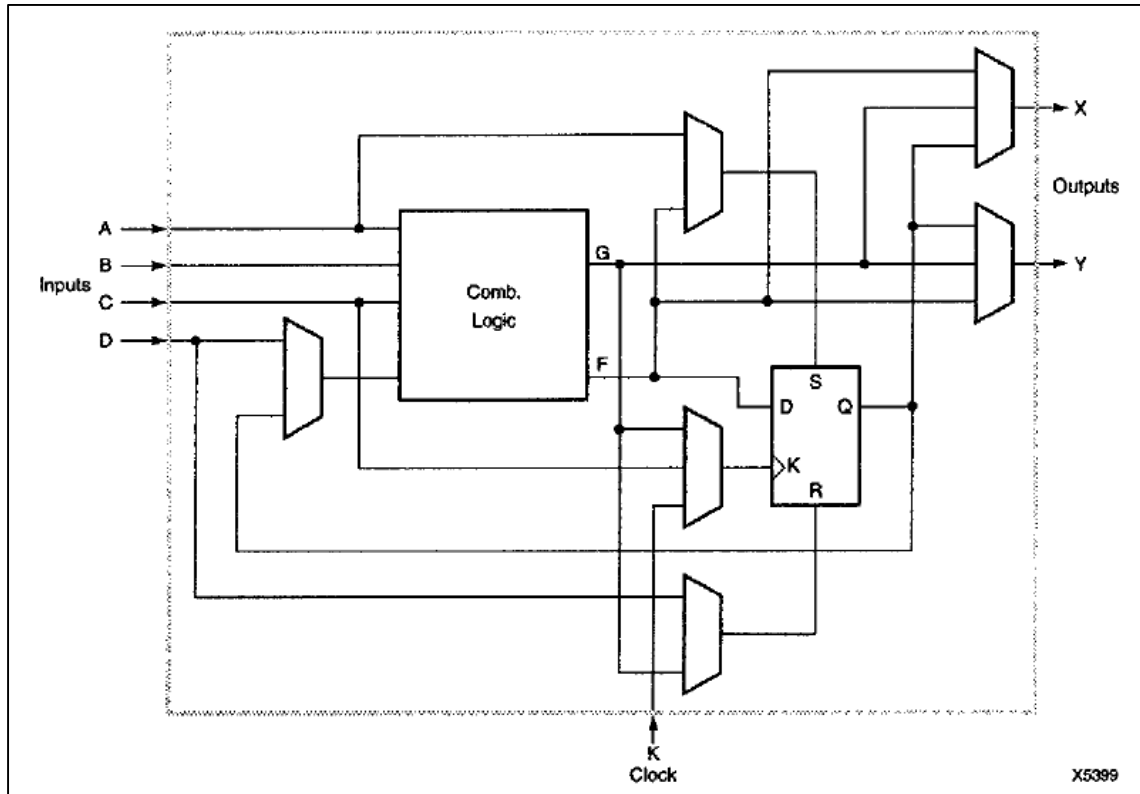


Fig. 15: CLB de XC2000 (Referenciado de <sup>6</sup>)

Los bloques lógicos están dispuestos en forma de matriz. Por ejemplo la FPGA XC2018 contiene 100 CLBs colocados en una matriz de 10 por 10. Cada bloque lógico tiene una sección de lógica combinacional, un elemento de memoria y una sección de enrutamiento y control. Cada bloque contiene:

- Una LUT con cuatro entradas lógicas (A, B, C y D).
- Un flip-flop tipo D con Reset.
- Una señal de reloj especial (K).
- Dos salidas (X e Y).

La LUT tiene dos salidas, F y G. La salida F puede ser almacenada en el flip-flop pero la G no, la G puede controlar el reloj y el reset. Las señales C y G pueden accionar el flip-flop. La salida Q del flip-

<sup>6</sup> [http://www.datasheetcatalog.com/datasheets\\_pdf/X/C/2/0/XC2000.shtml](http://www.datasheetcatalog.com/datasheets_pdf/X/C/2/0/XC2000.shtml)

flop, puede ser una entrada de la LUT. El CLB tiene dos salidas X e Y que pueden dar como salida la F, la G o la salida del flip-flop en ambas.

El bloque lógico combinacional utiliza una LUT de memoria para implementar las funciones booleanas. Esta técnica puede generar cualquier función lógica de cuatro variables con una alta velocidad de memoria de 16 bits. El retardo de propagación a través del bloque combinacional es independiente de la función generada. Cada bloque puede crear cualquier función de cuatro variables o cualquier par de funciones de tres variables cada una. Las variables pueden ser seleccionadas de las cuatro entradas de la LUT y de la salida del bloque de almacenamiento Q.

El usuario también puede seleccionar si el reloj puede ser activo bajo o activo alto en cada bloque. La entrada al elemento de almacenamiento es proporcionada por la salida F. Se utilizan señales de control set y de Reset asíncronas para cada elemento de almacenamiento. El usuario puede habilitar estas señales de control de forma independiente y seleccionar su fuente. Las entradas son activo alto y el reset asíncrono es el predominante, y los elementos de almacenamiento pueden ser reseteados por el pin reset activo bajo y por la fase de inicialización que precede a la configuración. Si el elemento de almacenamiento no se usa, se deshabilitará. La selección de las salidas es completamente intercambiable y puede realizarse para optimizar la interconexión entre los CLBs y los IOBs.

- **CLB de XC3000 Series:**

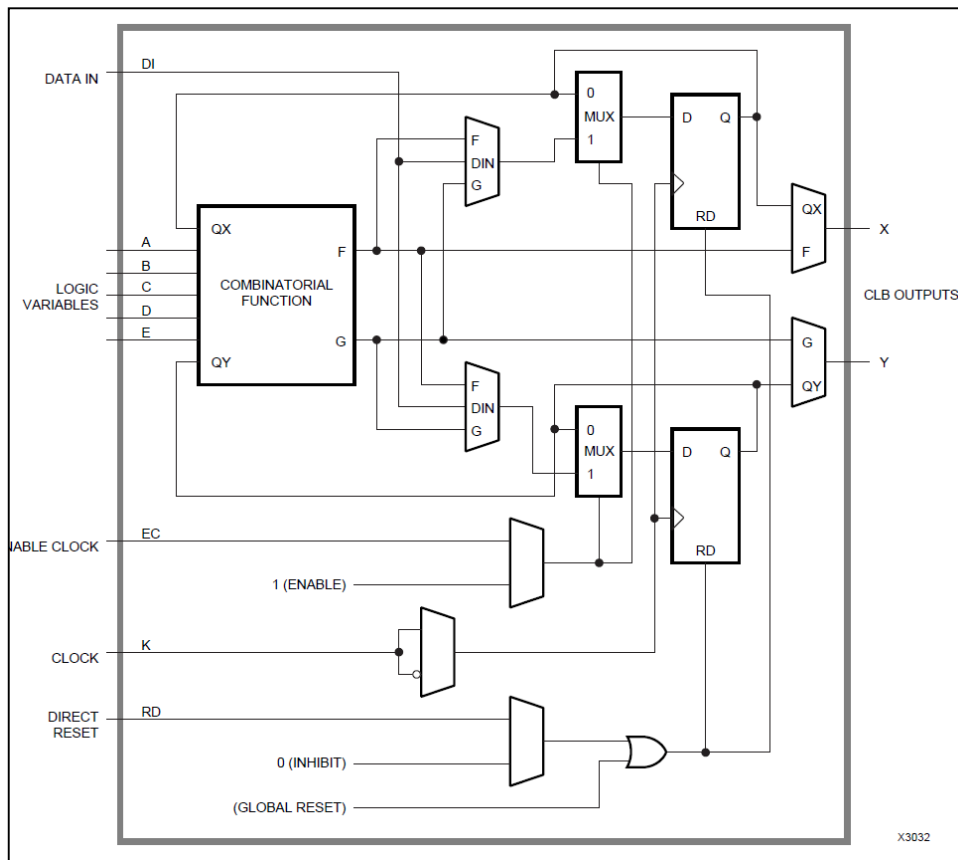


Fig. 16: CLB de XC3000 (Referenciado de 7).

En esta FPGA se introducen varias señales nuevas como el enable clock o el reset direct. También la LUT tiene una entrada más, y ahora hay dos flip-flops. Los bloques lógicos están colocados en forma de matriz. Por ejemplo, en la XC3020A tenemos 64 bloques colocados en 8 filas y 8 columnas. Cada CLB tiene una parte de lógica combinatorial (LUTs), dos flip-flops, elementos de memoria y una sección de control con multiplexores. Cada bloque contiene:

- Una LUT con cinco entradas lógicas (A, B, C, D y E).
- Una entrada directa de datos (DI).
- Una señal de reloj común (K).
- Una entrada RESET directa asíncrona (RD).
- Un enable clock (EC).
- Dos flip-flops tipo D con Reset.
- Dos salidas (X e Y).

<sup>7</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/3000.pdf](http://www.xilinx.com/support/documentation/data_sheets/3000.pdf)



La LUT tiene cuatro salidas F, G, QX y QY. Las F, G o DI pueden ser almacenadas en cualquier flip-flop. Las QX y QY por su parte pueden ser almacenadas cada una en un flip-flop diferente. Cada CLB tiene también dos salidas X e Y que pueden dar como salida F o QX en X, G o QY en Y y cualquiera de las señales registradas en los flip-flops.

Ambos flip-flops de cada CLB comparten la señal asíncrona RD la cual, cuando es activada y está en activo alto, predomina sobre las síncronas (clocked inputs). Todos los flip-flops son reseteados por la señal de RESET, o durante el proceso de configuración. El usuario puede habilitar las entradas de control y seleccionar sus fuentes. El RD, el enable clock y el reloj están conectados directamente a un multiplexor para invertir la señal.

La parte lógica combinacional del CLB utiliza una LUT de 32 x 1 para implementar las funciones booleanas. La simetría de las funciones F y G y de los flip-flops permite el intercambio de las salidas de los CLBs para la optimización y eficiencia del enrutamiento para la interconexión de los CLBs y los IOBs.

- **CLB de XC4000, XC4000E/EX/XL, XC4000XV/XLA Series:**

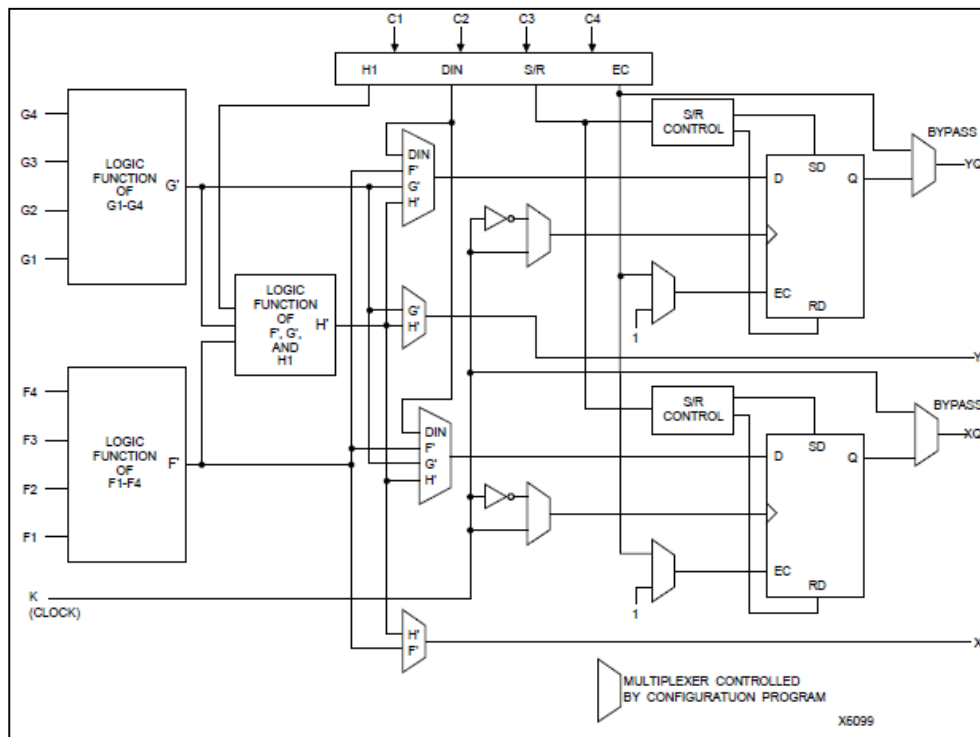


Fig. 17: CLB de XC4000, XC4000E/EX/XL y XC4000XV/XLA (Referenciado de<sup>8</sup>).

Varias mejoras en la arquitectura se reflejan en las XC4000 Series. Cada CLB contiene un par de flip-flops y dos 4-LUTs independientes. Las trece entradas y las cuatro salidas (el doble que en sus predecesoras XC3000 Series) junto a los diversos multiplexores proporcionan acceso a los generadores de funciones y a los flip-flops. Dichas LUTs proporcionan una gran flexibilidad, ya que la mayor parte de las funciones lógicas combinacionales no llegan a necesitar 4 entradas. Cada CLB contiene:

- Dos LUTs con cuatro entradas (G1, G2, G3, G4, F1, F2, F3 y F4) y una LUT de tres entradas (F', G' y H1').
- Cuatro entradas de control (C1, C2, C3 y C4).
- Una señal de reloj común (K).
- Dos flip-flops tipo D con Set y Reset.
- Cuatro salidas (Y, YQ, X y XQ).

Cada salida de las LUTs llamadas F' y G' son capaces de implementar cualquier función arbitraria booleana a partir de sus cuatro entradas. Un tercer generador de funciones, cuya salida es denominada H', podrá generar una función a partir de sus tres entradas (de las dos LUTs F' y G' y una tercera H1). Además F' y H' pueden estar conectadas directamente con la salida X mientras que las G' y H' pueden estar conectadas del mismo modo con la salida Y. Cualquier CLB puede ser usado

<sup>8</sup> Xilinx Inc, "XC4000E and XC4000X Series Field Programmable Gate Arrays", May 14, 1999

para crear dos funciones independientes de cuatro variables como hemos dicho antes, o cualquier función de cinco variables, o una función de cuatro variables junto con alguna de cinco variables, o incluso una de nueve variables. El formar funciones de varias variables en un bloque único reduce el número de bloques necesarios y sobre todo el retardo, incrementando densidad y velocidad.

Los dos elementos de almacenamiento son dos flip-flops tipo D con una señal de reloj común K y un enable clock EC. Una tercera entrada S/R puede ser programada como un set asíncrono o un reset independientemente de cada uno de los dos registros. Esta entrada también puede ser deshabilitada para los dos flip-flops. Una señal global Set/Reset (la cual no se muestra en la figura 17) set (activa) o resetea cada registro al encender, reconfigurar o cuando una red de reset se activa en el circuito. Esta red no enlaza con ningún elemento de enrutamiento, pero podrá conectarse a cualquier pin como una entrada de reset global. Cada flip-flop puede ser accionado en el flanco de subida o de bajada. El dato de la fuente de entrada del flip-flop es programable ya que puede ser determinado por las señales F', G' y H' o por la señal DIN. Los flip-flops definen las salidas XQ e YQ.

Las series XC4000 son los primeros dispositivos lógicos programables con RAM accesible para el usuario. Un modo opcional para cada CLB hacen las LUTs F' y G' utilizables como 16x2 o 32x1 bit RAMs.

- **CLB de XC5200 Series:**

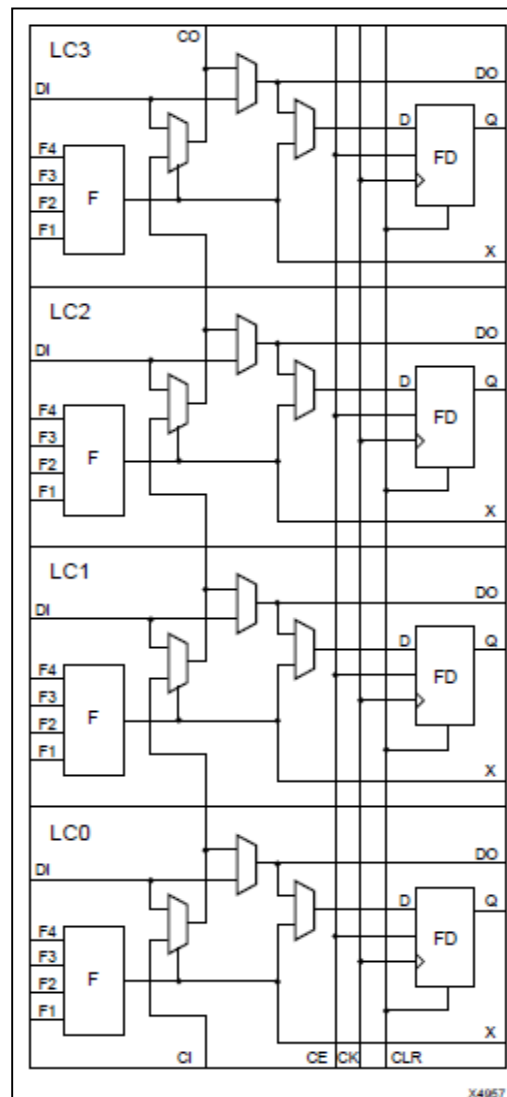


Fig. 18: CLB de XC5200 (Referenciado de<sup>9</sup>).

Los CLBs de las XC5200 introducen un nuevo diseño que consiste en cuatro celdas idénticas (LC [0:3]). Incluye una lógica de acarreo encargada de proporcionar una mayor capacidad y velocidad de aritmética de acarreo para contadores, sumadores, etc. Dicha lógica puede ser usada también como generadores de funciones en cascada. Mientras el acarreo se propaga dentro de la celda LC, una LC contigua completa la función. Los elementos de memoria también se pueden configurar como latches. Cada celda de un CLB contiene:

- Una LUT con cuatro entradas lógicas (F1, F2, F3 y F4).
- Tres entradas (DI, CI y CO).
- Un flip-flop tipo D con reset.
- Tres salidas (DO, Q y X).

<sup>9</sup> Xilinx Inc, "XC5200 Series Field Programmable Gate Arrays", November 5, 1998

- Tres señales comunes (CE, CK y CLR)

La entrada al elemento de almacenamiento es programable. Es conducida por la función F o por el Direct IN (DI). Los flip-flops proporcionan la señal Q. Existen cuatro rutas rápidas de DI a DO usadas para realimentar las señales internas. Aparte de las salidas Q y DO, hay una salida combinacional X, que corresponde con la LUT. Los cuatro flip-flops o latches tienen como señales comunes el clock (CK) y el clock enable (CE).

Los flip-flops pueden ser disparados tanto en el flanco de subida como de bajada del reloj. La señal asíncrona clear (CLR) se puede usar para resetear los flip-flops o latches en el CLB. Esta señal de entrada puede ser utilizada independientemente para cada flip-flop. El aumento en el número de flip-flops es un modo de incrementar el rendimiento, dividiendo la función en pequeñas subfunciones y ejecutándolas en paralelo y pasando los resultados por los flip-flops. En los dispositivos XC5200-Series, los flip-flops pueden ser usados como registros o registros de desplazamientos sin bloquear a los generadores de funciones que desempeñan cualquier otra tarea.

Esta familia de FPGAs tiene cuatro buffers de tres estados en cada CLB. Los cuatro buffers son configurables individualmente a través de cuatro bits de configuración para operar tanto como un simple buffer o como un buffer tri-estado. Estos buffers se pueden usar para implementar buses multiplexados o bidireccionales en vertical o horizontal con el objetivo de ahorrar recursos lógicos.

- **CLB de Spartan/Spartan-XL Series:**

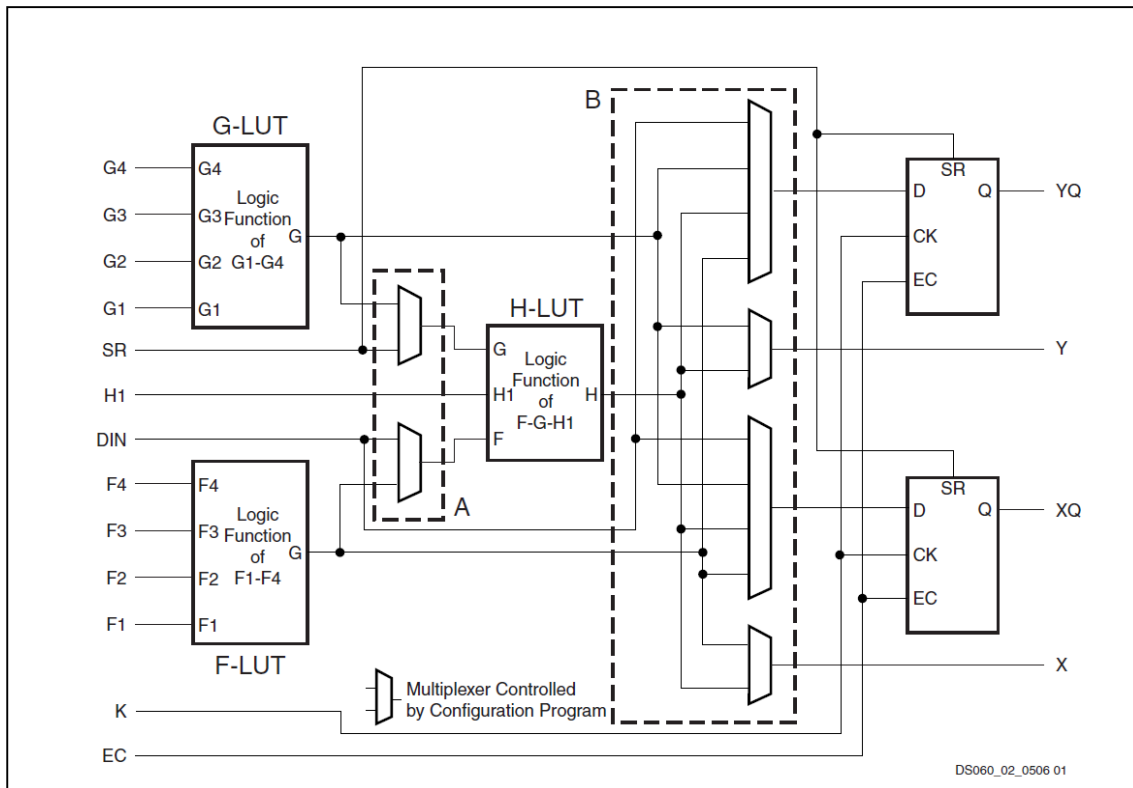


Fig. 19: CLB de Spartan/Spartan-XL (Referenciado de<sup>10</sup>).

Las FPGAs Spartan y Spartan-XL consisten en tres LUTs, que son usadas como generadores de funciones, dos flip-flops y dos grupos de multiplexores de direccionamiento. Destacan por la gran diversidad de funciones que pueden generar, pudiendo formar dos de cuatro variables más una de tres, una de cinco, una de cuatro junto a una de seis o incluso una de hasta nueve variables. El CLB contiene:

- Dos LUTs de cuatro entradas cada una (F1, F2, F3, F4 y G1, G2, G3, G4) y una LUT de tres entradas (G, H1 y F).
- Tres entradas (SR, DIN y H1).
- Dos flip-flops tipo D con set y reset.
- Cuatro salidas (YQ, Y, XQ, y X).
- Dos señales comunes (EC y K).

Las LUTs F y G podrán generar cualquier función booleana de cuatro entradas independientes. La tercera LUT H podrá implementar cualquier función a partir de sus tres entradas. Dos de estas tres entradas están controladas por multiplexores programables y pueden venir de la LUT F, de la G

<sup>10</sup> Xilinx Inc., "Spartan and Spartan-XL FPGA Families Data Sheet", DS060 (v2.0), March 1, 2013.

o de una entrada directa. El hecho de implementar grandes funciones en un único bloque reduce el número de bloques necesarios y el retardo, incrementando capacidad y velocidad.

Cada flip-flop puede ser usado para almacenar las funciones generadas y se pueden usar independientemente. La entrada DIN puede ser usada como una entrada directa de los flip-flops, mientras que la H1 también lo podrá ser a través de la LUT H con un retardo adicional. Los dos flip-flops tienen en común una señal de reloj (CK), un clock enable (EC, la cual es activo alto y síncrona) y un set/reset (SR, activo alto y asíncrona). También pueden ser configurados como latches con un clock (K) y un enable clock (EC) en común. Cada flip-flop puede ser disparado en flanco de subida o de bajada.

En cuanto al flujo de señales en el CLB, aparte de los multiplexores de control a la entrada de la LUT H, existen una serie de multiplexores que seleccionan las señales para ser conducidas a los flip-flops o directamente a las salidas X e Y. La salida X puede ser originada por las LUTs F y H mientras que la salida Y será originada por las G y H. YQ y XQ serán las salidas de los flip-flops.

Los CLBs se pueden configurar como bloques de memoria RAM. Hay disponibles dos modos, en los cuales las operaciones de escritura serán síncronas mientras que las de lectura serán asíncronas: modo de puerto único la cual se podrá configurar 16x1, (16x1)x2 y 32x1 y de puerto doble 16x1.

- **CLB de Spartan-II, Spartan-IIE Series:**

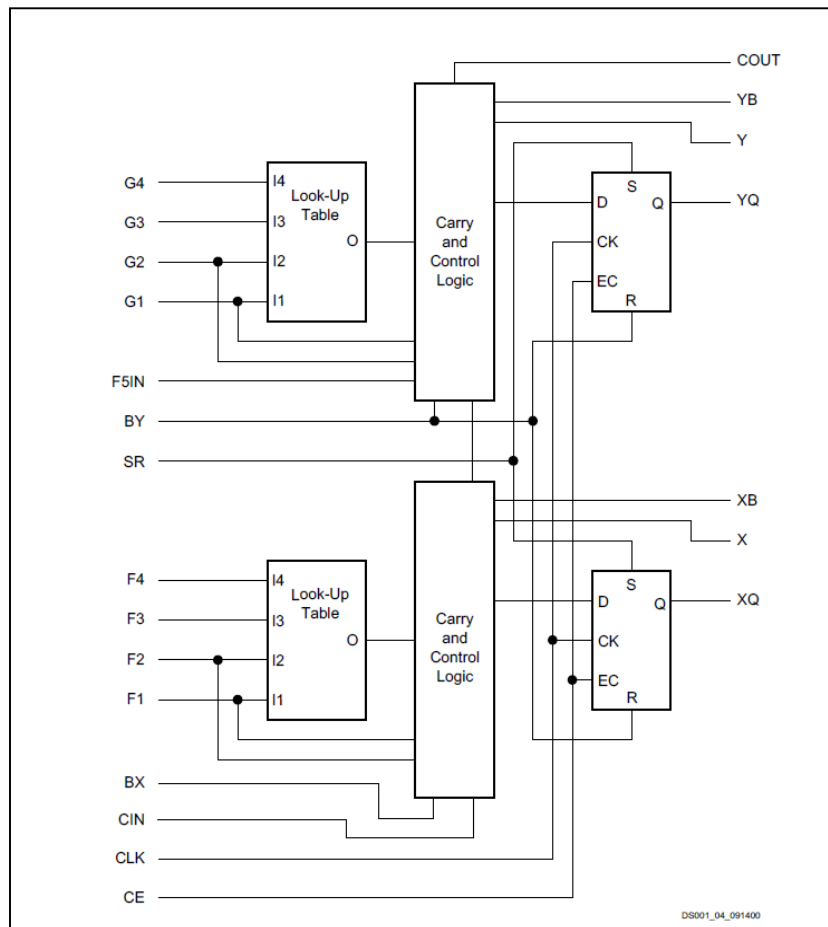


Fig. 20: Slice de Spartan-II y Spartan-IIE (Referenciado de <sup>11</sup>).

Xilinx empieza a introducir el concepto de slice con la Spartan-II. Cada CLB está formado por cuatro celdas (LCs), organizadas en dos slices similares (se muestra una slice en la figura 42). Cada LC incluye una LUT de cuatro entradas que genera las funciones, la lógica de acarreo y los elementos de almacenamiento. A parte de las cuatro celdas, las CLB de las Spartan II y IIE contienen una lógica que combina con los generadores de funciones para originar funciones de cinco o seis variables. Cada slice contiene:

- Dos LUTs de cuatro entradas cada una (F1, F2, F3, F4 y G1, G2, G3, G4).
- Cinco entradas (F5in, BY, SR, BX, y CIN).
- Dos flip-flops tipo D con set y reset.
- Siete salidas (COUT, YB, Y, YQ, XB, X, y XQ).
- Dos señales comunes (CLK y CE).

<sup>11</sup> Xilinx Inc, "Spartan-II FPGA Family Data Sheet", DS001 June 13, 2008.



Las LUTs de las FPGAs Spartan-II son muy versátiles. No solo actúan como generadores de funciones sino que también proporcionan una RAM síncrona de 16 x 1 bits. Además, las dos LUTs dentro de una slice pueden ser combinadas para crear una RAM síncrona de 16 x 2 bits o de 31 x 1 bits. También pueden configurarse como un registro de desplazamiento de 16 bits. De este modo se puede almacenar datos en aplicaciones tales como el procesamiento digital de señales.

En cuanto a los elementos de almacenamiento, se pueden configurar tanto como flip-flops tipo D como de latches. Las entradas de los flip-flops pueden venir de los generadores de funciones o de una entrada directa. Aparte de la señal de clock y clock enable, cada slice tiene un set y reset síncrono (SR y BY). SR fuerza al elemento de almacenamiento al estado inicial especificado en la configuración, mientras que BY lo fuerza al estado opuesto.

Los multiplexores de cada slice se combinan con las salidas de los generadores de funciones, de forma que se puede crear cualquier función de hasta 6 variables a partir de 19 entradas, o multiplexores de 4:1, 8:1. La lógica de acarreo proporciona una alta velocidad para las funciones aritméticas. El CLB de la Spartan-II/E FPGA CLB admite dos cadenas separadas de acarreo, una por slice. Cada CLB contiene dos drivers tri-estado (BUFTs).

En los CLBs se incorporan grandes bloques de memoria RAM. Estos están organizados en dos columnas, una en cada borde vertical. Cada bloque de memoria es del tamaño de 4 CLBs.

- **Slice de Spartan-3, Spartan-3E, Spartan-3A, Spartan-3AN, Spartan-3A DSP Series:**

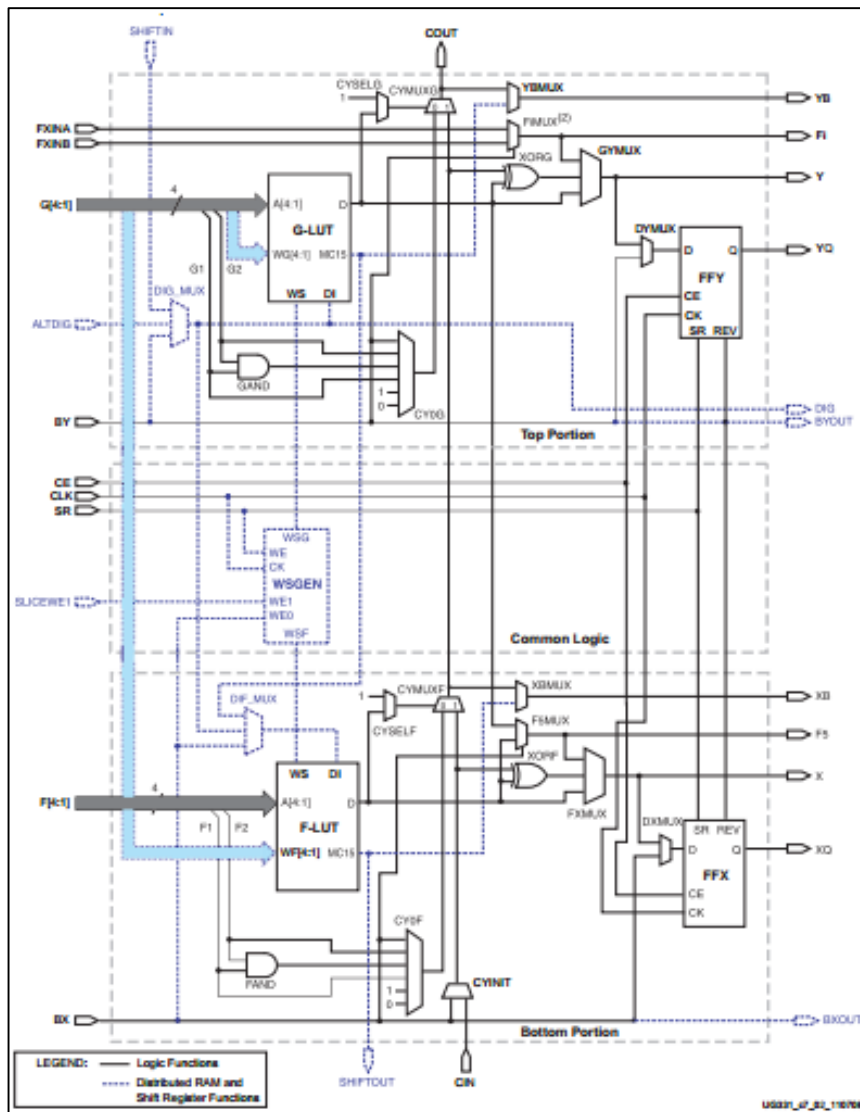


Fig. 21: SliceM de Spartan-3, Spartan-3E, Spartan-3A, Spartan-3AN y Spartan-3A DSP (Referenciado en<sup>12</sup>)

En la familia de FPGAs Spartan-3, las CLBs están formadas por cuatro slices, agrupadas por parejas. La pareja de la izquierda soporta tanto funciones de lógica como de memoria y se llaman SliceM (se muestra en la figura 44). Por otro lado, la pareja de la derecha solo soporta funciones lógicas y se denominan SliceL. Por consiguiente, tendremos que la mitad de las LUTs soportarán lógica y memoria (incluyendo memorias RAM y registros de desplazamiento de 16 bits) mientras que la otra mitad soportará solo lógica. Ambas slices (sliceM y sliceL) tienen como elementos comunes dos LUTs multiplexores adicionales y la lógica de acarreo para las funciones lógicas y ROM y dos elementos de almacenamiento que se pueden usar como flip-flops o latches. Cada Slice contiene:

<sup>12</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug331.pdf](http://www.xilinx.com/support/documentation/user_guides/ug331.pdf)

- Dos LUTs (F y G) de cuatro entradas (A1, A2, A3 y A4).
- Cinco entradas (FXINA, FXINB, BY, BX, y CIN).
- Dos flip-flops tipo D con set y reset.
- Siete salidas (COUT, YB, Y, YQ, Fi, XB, F5, X, y XQ).
- Tres señales comunes (CLK, SR y CE).

En la figura 44 se muestran todos los elementos y conexiones de cada slice. Las líneas en gris y azul indican fuentes que se encuentran solo en las sliceM. Cada slice está dividida en mitad superior y mitad inferior. Las señales de control clock (CLK), clock enable (CE), Slice Write Enable (SLICEWE1), y Reset/Set (RS) son comunes para las dos mitades. Cada slice tiene dos multiplexores con F5MUX abajo y FiMUX arriba.

Cualquier operación booleana de cuatro variables puede ser desarrollada por la LUT. Funciones de más entradas podrán ser implementadas poniendo en cascada LUTs o usando multiplexores. La salida de dicha LUT se podrá conectar al multiplexor lógico, al acarreo, al elemento de almacenamiento o directamente a una salida del CLB. La cadena de acarreo entra en la slice por CIN y sale por COUT y cinco multiplexores controlan dicha cadena (CYINIT, CYOF, CYMUXF, CYOG y CYMUXG).

Los elementos de almacenamiento, que podrán ser configurados como flip-flops tipo D o latches, pueden ser usados para sincronizar los datos a una señal de reloj, entre otros usos. Los elementos de almacenamiento se denominan FFY (mitad superior) y FFX (mitad inferior). El FFY tiene un multiplexor en la entrada D para seleccionar la salida combinacional Y o la señal BY. El FFX selecciona o bien la salida combinacional X o bien la señal BX.

Las LUTs en ambos pares de slices también podrán desarrollar funciones como ROM que serán inicializadas como dato cuando así se configure para tal caso. También se podrán programar las LUTs de las sliceM como registros de desplazamientos de 16 bits para así poder generar un retardo de hasta dieciséis ciclos sin usar los flip-flops o como memoria RAM distribuida de 16 bits. De este modo las cuatro LUTs de un CLB se pueden combinar para producir retrasos de hasta 64 ciclos. La señal SHIFTIN y SHIFTOUT unen en cascada las LUTs para formar mayores registros de desplazamientos que también podrán unirse a diferentes CLBs.

Todos los dispositivos de la familia de la Spartan-3 soportan bloques de memoria RAM, que son configurables como bloques síncronos de 18k bits. El bloque RAM almacena gran cantidad de información de forma más eficiente que la RAM distribuida mencionada anteriormente, ya que este último es más adecuado para almacenar pequeñas cantidades de datos en cualquier lugar a lo largo de los trayectos de señal.

- Slices de Spartan-6 Series:

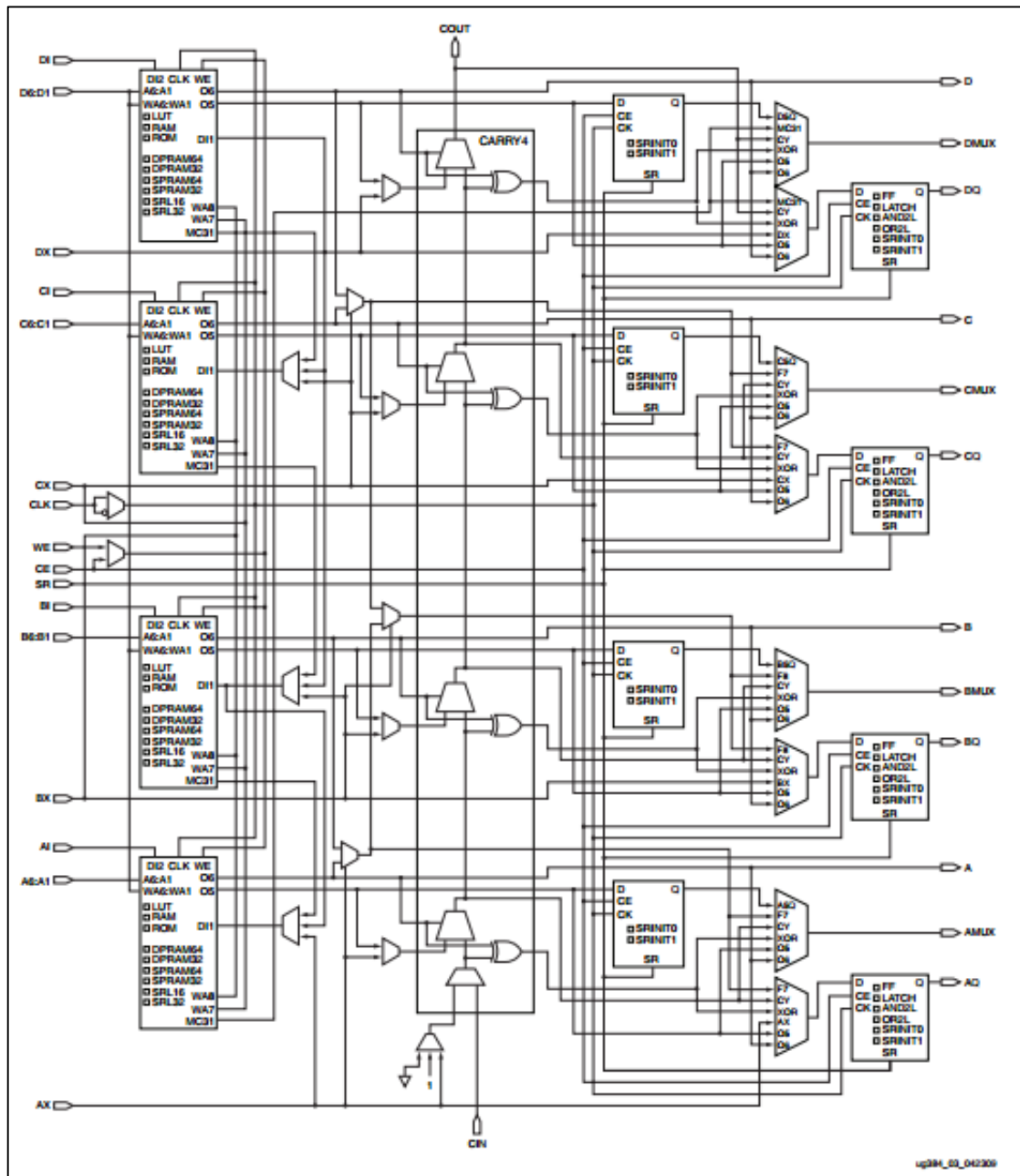


Fig. 22: SliceM de Spartan-6 (Referenciado en <sup>13</sup>)

<sup>13</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug384.pdf](http://www.xilinx.com/support/documentation/user_guides/ug384.pdf)

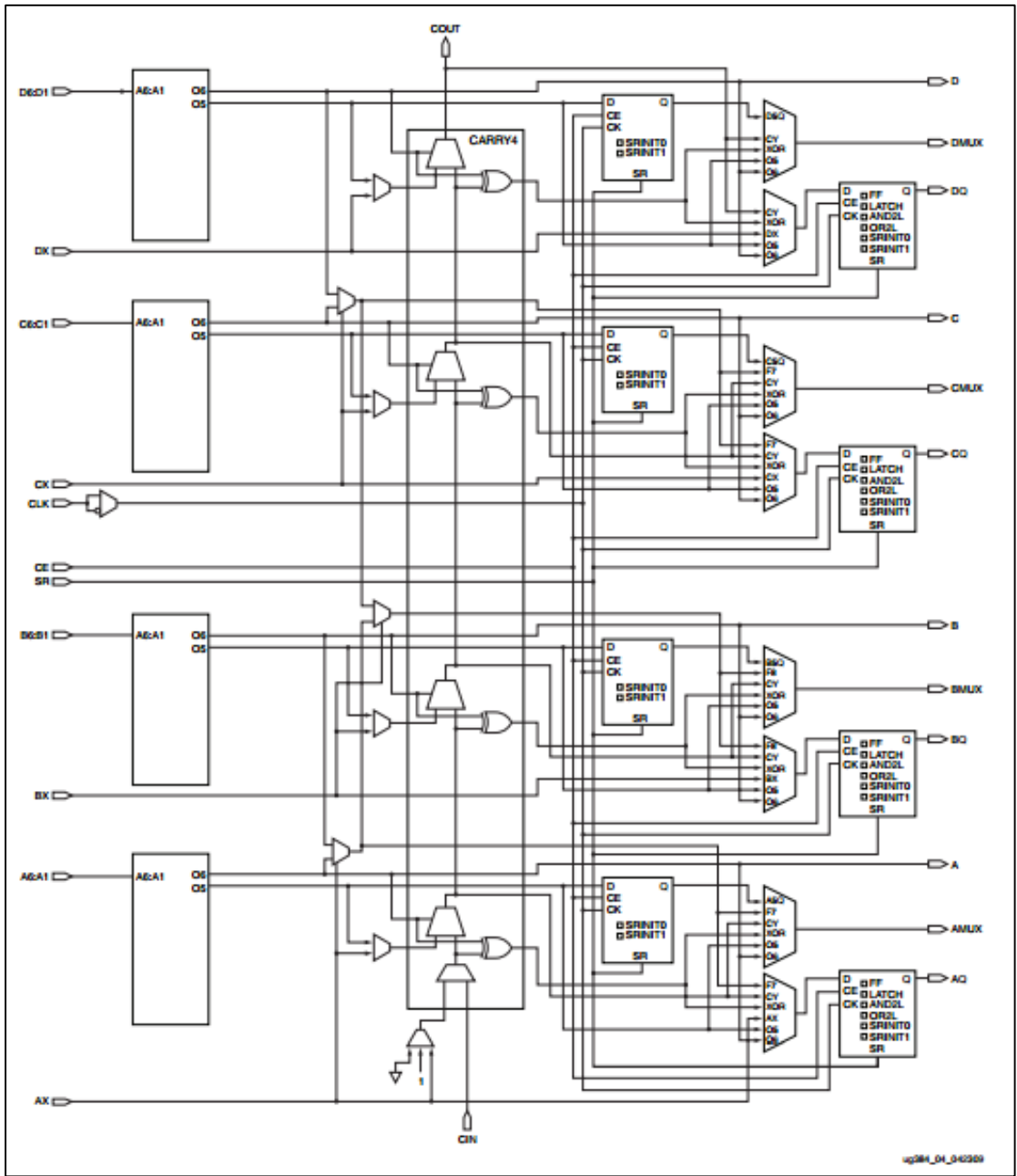


Fig. 23: Slicel de Spartan-6 (Referenciado en <sup>14</sup>)

<sup>14</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug384.pdf](http://www.xilinx.com/support/documentation/user_guides/ug384.pdf)

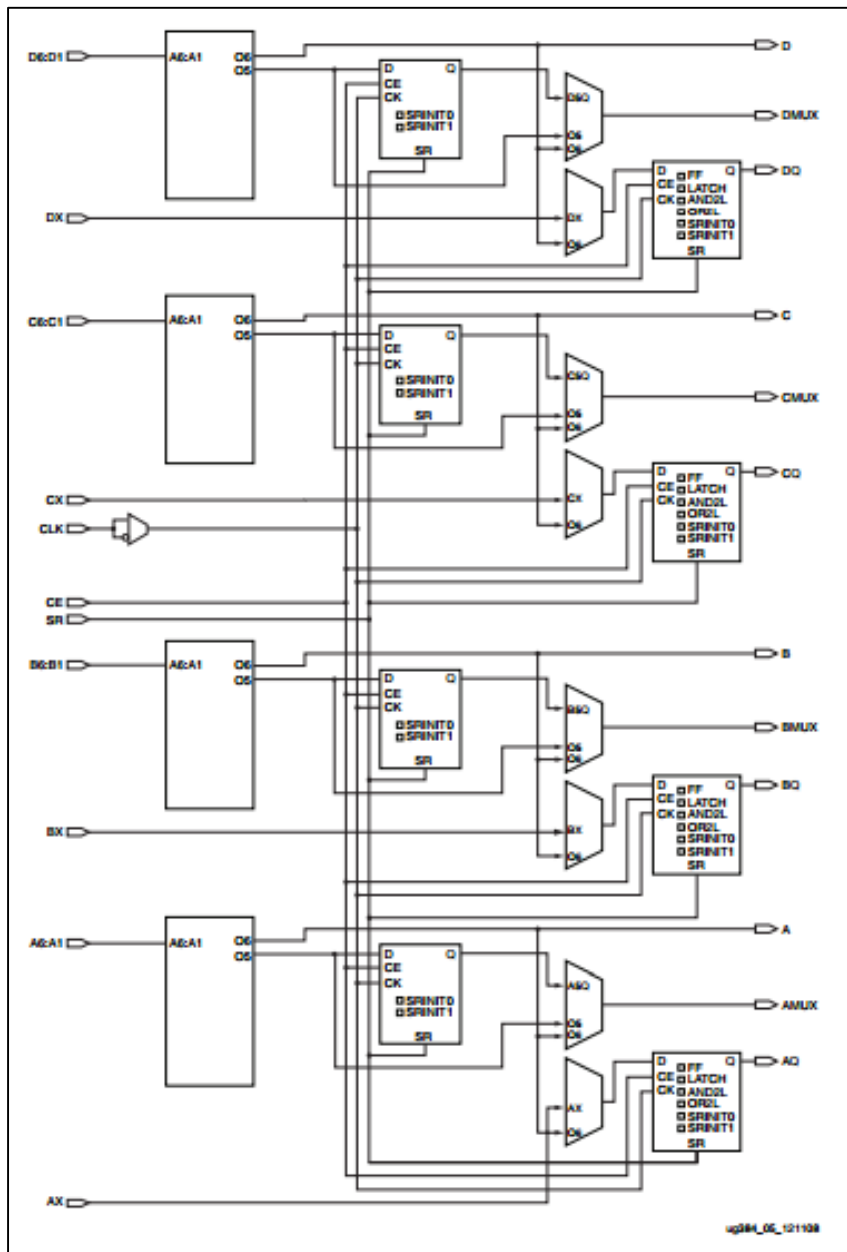


Fig. 24: SliceX de Spartan-6 (Referenciado en <sup>15</sup>)

<sup>15</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug384.pdf](http://www.xilinx.com/support/documentation/user_guides/ug384.pdf)

Esta FPGA tiene un diseño parecido a la Virtex-5. El CLB contiene un par de slices organizadas en columnas, las cuales no tienen ninguna conexión directa entre sí. Todas las slices tienen cuatro generadores de funciones y ocho elementos de almacenamiento que sirven para proporcionar la lógica y las funciones ROM. En la Spartan-6 existen tres tipos de slices (sliceX, sliceL y sliceM). La sliceX es la slice básica. Las slices llamadas sliceL tienen aparte una estructura de aritmética de acarreo y multiplexores para crear grandes funciones. Las sliceM tienen la estructura de acarreo y multiplexores y, además, la habilidad de usar las LUTs como memoria RAM distribuida de 64 bits y registro de desplazamiento de hasta 32 bits. Una de las dos slices que hay en cada CLB es una sliceX mientras que la otra se irá alternando entre una sliceL o una sliceM en cada CLB, por lo tanto tendremos un 50% de sliceX y un 25% de sliceM y otro 25% de sliceL. Cada slice contiene:

- Cuatro LUTs (A, B, C y D) de seis entradas (A1, A2, A3, A4, A5 y A6).
- Cinco entradas (AX, BX, CX, DX y CIN).
- Ocho flip-flops tipo D con set y reset.
- Trece salidas (COUT, A, B, C, D, AQ, BQ, CQ, DQ, AMUX, BMUX, CMUX y DMUX).
- Tres señales comunes (CLK, CE y SR).

Los generadores de funciones en la Spartan-6 consisten en seis entradas independientes y dos salidas (O5 y O6). Estos pueden llevar a cabo cualquier función a partir de las seis entradas o dos a partir de cinco. La salida O6 será usada para las funciones de seis variables mientras que las O5 y O6 se usarán para las dos de cinco. El retardo a través de la LUT es independiente de la función implementada. Las señales producidas por los generadores de funciones pueden salir directamente de la slice (por A, B, C, D, AMUX, BMUX, CMUX o DMUX), entrar a la puerta dedicada XOR, entrar al multiplexor de la lógica de acarreo, alimentar la entrada D del elemento del almacenamiento o acceder al F7AMUX/F7BMUX. Además de estos multiplexores, está el F8MUX con el cual se podrán generar funciones de hasta 8 entradas.

En esta FPGA hay ocho elementos de almacenamiento de los cuales cuatro, pueden ser configurados como flip-flops tipo D o como latches y los otros cuatro solamente como flip-flops tipo D. La entrada D puede ser originada directamente por una LUT, o por las entradas AX, BX, CX o DX. Las señales de control clock (CLK), clock enable (CE), set/reset (SR) son comunes a todos los elementos de almacenamiento de cada slice. Estas dos últimas son activas alto por defecto. La señal SR fuerza al elemento de almacenamiento al estado especificado por SRINIT0 o por SRINIT1. SRINIT fuerza un '1' lógico cuando SR es activado mientras que SRINIT0 fuerza un '0'.

Los generadores de funciones de las sliceM se pueden configurar como registros de desplazamientos de 32 bits sin usar los flip-flops, de este modo, cada LUT podrá crear un retardo de hasta 32 ciclos. Así las cuatro LUTs de un CLB se pueden conectar en cascada para producir retrasos de hasta 128 ciclos. También se pueden combinar registros de desplazamientos de varias sliceM. Aparte de los generadores de funciones, las sliceM y sliceL (pero no las sliceX) contienen lógica de acarreo para crear rápidas operaciones aritméticas como sumas y restas. Un CLB contiene una cadena de acarreo.

Las LUTs de las sliceM se pueden programar como memoria RAM distribuida y se combinan de varias formas para almacenar grandes cantidades de datos. Se puede implementar una memoria

RAM síncrona de 16 x 1 bits que se llama elemento select RAM distribuido el cual se puede configurar en una CLB de un único puerto desde 64 x 1 bit RAM, , 128 x 1 bit RAM, 256 x 1 bit RAM, en un puerto doble 64 x 1 bit RAM, 128 x 1 bit RAM, 32 x 6 bit RAM, 64 x 3 bit RAM, 128 x 1 bit RAM o en un puerto cuádruple 32 x 2 bit RAM, 64 x 1 bit RAM. Cada sliceM y sliceL pueden realizar funciones ROM, tres configuraciones son posibles, ROM64x1, ROM128x1, y ROM256x1.



- **Slice de Virtex, Virtex-E Series:**

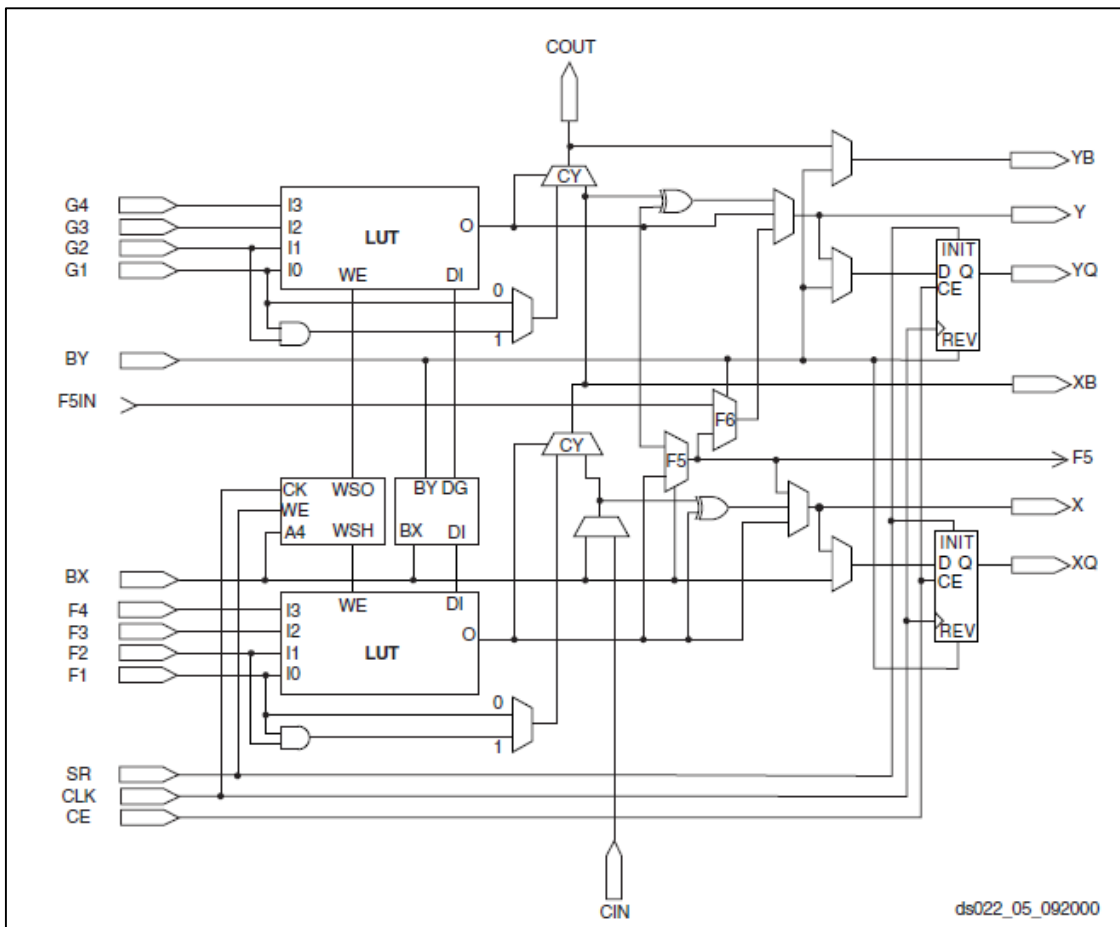


Fig. 25: Slice de Virtex y Virtex-E (Referenciado de<sup>16</sup>).

La arquitectura del CLB de la Virtex/Virtex-E es muy similar a la de la Spartan-II. Se basa en celdas lógicas (LCs). Cada CLB está formado por cuatro celdas (LCs), organizadas en dos slices similares (se muestra una slice en la figura 42). Una LC incluye una LUT de 4 entradas, de lógica de acarreo y de un elemento de almacenamiento. Cada CLB de Virtex/Virtex-E contiene lógica que combina con los generadores de funciones para originar funciones de cinco o seis variables. Cada slice contiene:

- Dos LUTs de cuatro entradas cada una (F1, F2, F3, F4 y G1, G2, G3, G4).
- Cuatro entradas (F5IN, BY, BX, y CIN).
- Dos flip-flops tipo D con set y reset.
- Ocho salidas (COUT, YB, Y, YQ, XB, X, XQ y F5).
- Tres señales comunes (CLK, CE y SR).

<sup>16</sup> Xilinx Inc, "Virtex™-E 1.8 V Field Programmable Gate Arrays", DS022-1 (v2.3) July 17, 2002.

Las LUTs de las FPGAs Virtex pueden actuar como generadores de funciones o como una RAM síncrona de 16 x 1 bits. Además, las dos LUTs dentro de una slice se pueden combinar para crear una RAM síncrona de 16 x 2 bits o una de 31 x 1 bits. También puede configurarse como un registro de desplazamiento de 16 bits. De este modo se puede almacenar datos en aplicaciones tales como el procesamiento digital de señales.

En cuanto a los elementos de almacenamiento, se pueden configurar tanto como flip-flops tipo D como lazos. Las entradas de los flip-flops pueden venir de los generadores de funciones o de una entrada directa. A parte de la señal de clock y clock enable (CLK Y CE), cada slice tiene un set y reset síncrono (SR y BY). El SR fuerza al elemento de almacenamiento al estado inicial especificado en la configuración, mientras que el BY lo fuerza al estado opuesto.

Los multiplexores de cada slice se combinan con las salidas de los generadores de funciones, de forma que se puede crear cualquier función de hasta 6 variables a partir de 19 entradas, o multiplexores de 4:1, 8:1. La lógica de acarreo proporciona una alta velocidad para las funciones aritméticas. El CLB de la Virtex/Virtex-E, FPGA CLB admite dos cadenas separadas de acarreo, una por slice. Cada CLB contiene dos drivers tri-estado (BUFTs) los cuales tienen un pin de control y un pin de entrada independiente.

En los CLBs se incorporan grandes bloques de memoria RAM. Estos están organizados en columnas empezando en el borde izquierdo e introduciendo una nueva columna de memoria RAM cada 12 columnas CLBs, una en cada borde vertical. Cada bloque de memoria es del tamaño de 4 CLBs.

- **Slice de Virtex-II, Virtex-II Pro Series:**

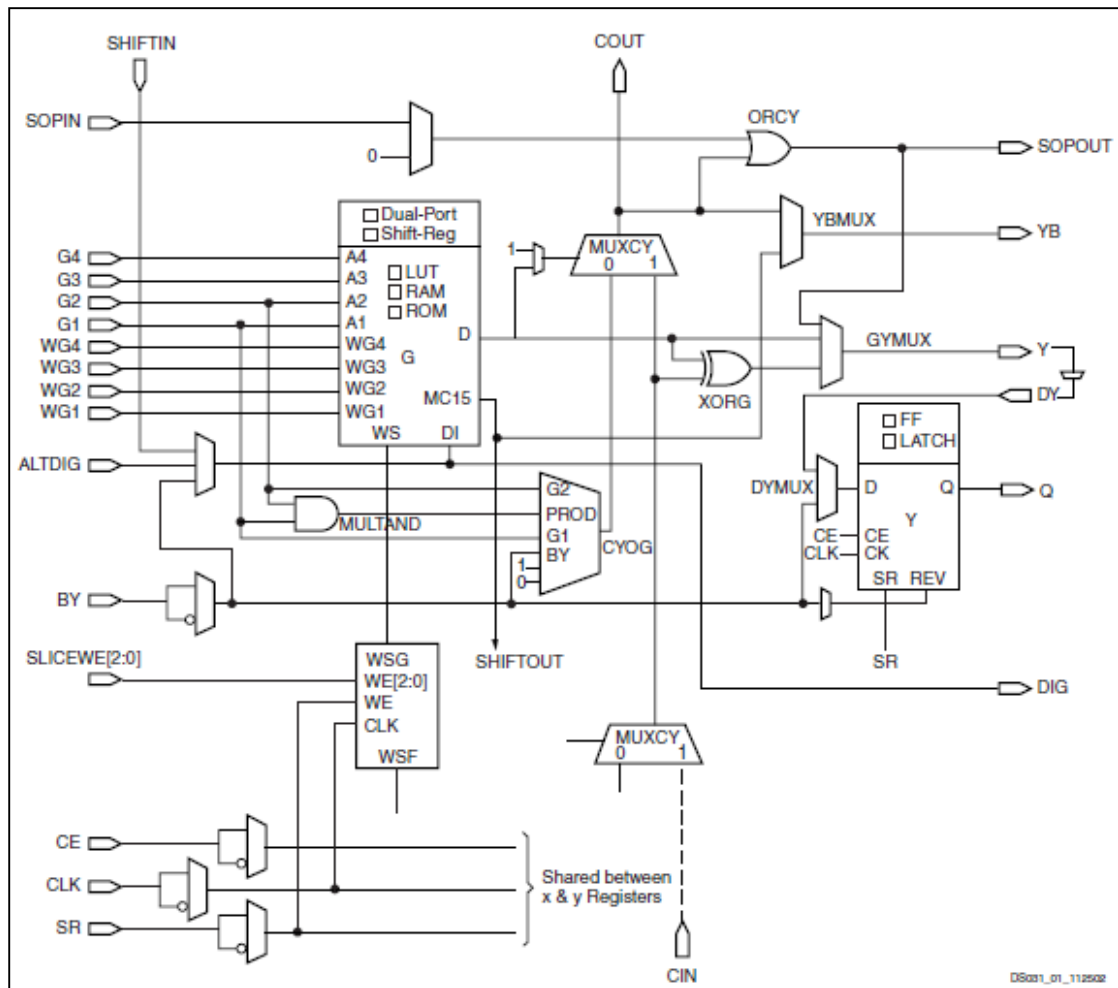


Fig. 26: Mitad de una Slice de Virtex-II y Virtex II Pro/X. (Referenciado de<sup>17</sup>).

Los CLB de las Virtex-II/Pro son usados para construir diseños lógicos combinacionales y lógicos. Cada bloque lógico contiene cuatro slices similares separadas en dos columnas con dos slices cada una y con dos cadenas lógicas de acarreo independientes y una cadena de desplazamiento común. Cada slice incluye dos LUTs de cuatro entradas, lógica de acarreo, puertas lógicas, multiplexores y dos elementos de almacenamiento. Cada slice contiene:

- Dos LUTs de cuatro entradas cada una (F1, F2, F3, F4 y G1, G2, G3, G4).
- Cinco entradas (SHIFTIN, SOPIN, ALTDIG, BY, y CIN).
- Dos flip-flops tipo D con set y reset.
- Seis salidas (SOPOUT, YB, Y, Q, DIG, y COUT).
- Tres señales comunes (CLK, CE y SR).

<sup>17</sup> Xilinx Inc, "Virtex-II Platform FPGAs: Complete Data Sheet", DS031 (v3.5) November 5, 2007

Cada generador de funciones de cuatro entradas es programable como una LUT, 16 bits de memoria distribuida select RAM o un elemento de registro de desplazamiento de 16 bits. Estos generadores de funciones son capaces de implementar cualquier función a partir de 4 entradas. El retardo es independiente de la función implementada. Las señales del generador de funciones pueden salir del slice a través de X o de Y, pueden entrar por la puerta XOR, por el multiplexor de la lógica de acarreo o alimentar el elemento de almacenamiento. Aparte de las LUTs, las slices de las Virtex-II/Pro contienen multiplexores que se combinan con los generadores de funciones para generar funciones de hasta nueve entradas.

Los elementos de almacenamiento pueden ser configurados como flip-flops tipo D o como latches. La entrada D puede ser originada directamente por X o por Y vía DX o DY, o por las entradas BX o BY. Hay tres señales comunes a los dos elementos de almacenamiento en cada slice, clock (CK), clock enable (CE) la cual es activa alto por defecto y set/reset (SR). SR fuerza al elemento de almacenamiento al estado especificado por SRHIGH o SRLOW. El SRHIGH fuerza un "1" lógico cuando SR es activado mientras que SRLOW fuerza un "0". Para cada slice, set y reset pueden ser configurados como síncronos o asíncronos

La lógica de acarreo proporciona una velocidad rápida para operaciones de sumas y restas. La Virtex-II/E tiene dos cadenas de acarreo independientes que junto al multiplexor de acarreo (MUXCY) pueden ser utilizados para generar grandes funciones lógicas en cascada. Cada CLB contiene dos drivers tri-estado (BUFTs) los cuales tienen un pin de control y un pin de entrada independiente.

Cada LUT puede implementar una memoria RAM síncrona de 16 x 1 bits llamada elemento distribuido select RAM los cuales se pueden configurar en una CLB de un único puerto como 16 x 8 bit RAM, 32 x 4 bit RAM, 64 x 2 bit RAM y 128 x 1 bit RAM, mientras que si es en puerto doble 16 x 4 bit RAM, 32 x 2 bit RAM y 64 x 1 bit RAM. Igual que con la configuración RAM, se puede implementar una ROM de 16 x 1 bit. Hay cinco configuraciones posibles ROM16x1, ROM32x1, ROM64x1, ROM128x1, y ROM256x1. Los elementos ROM se pueden unir en cascada para crear mayores ROMs.

- **Slices de Virtex-4 Series:**

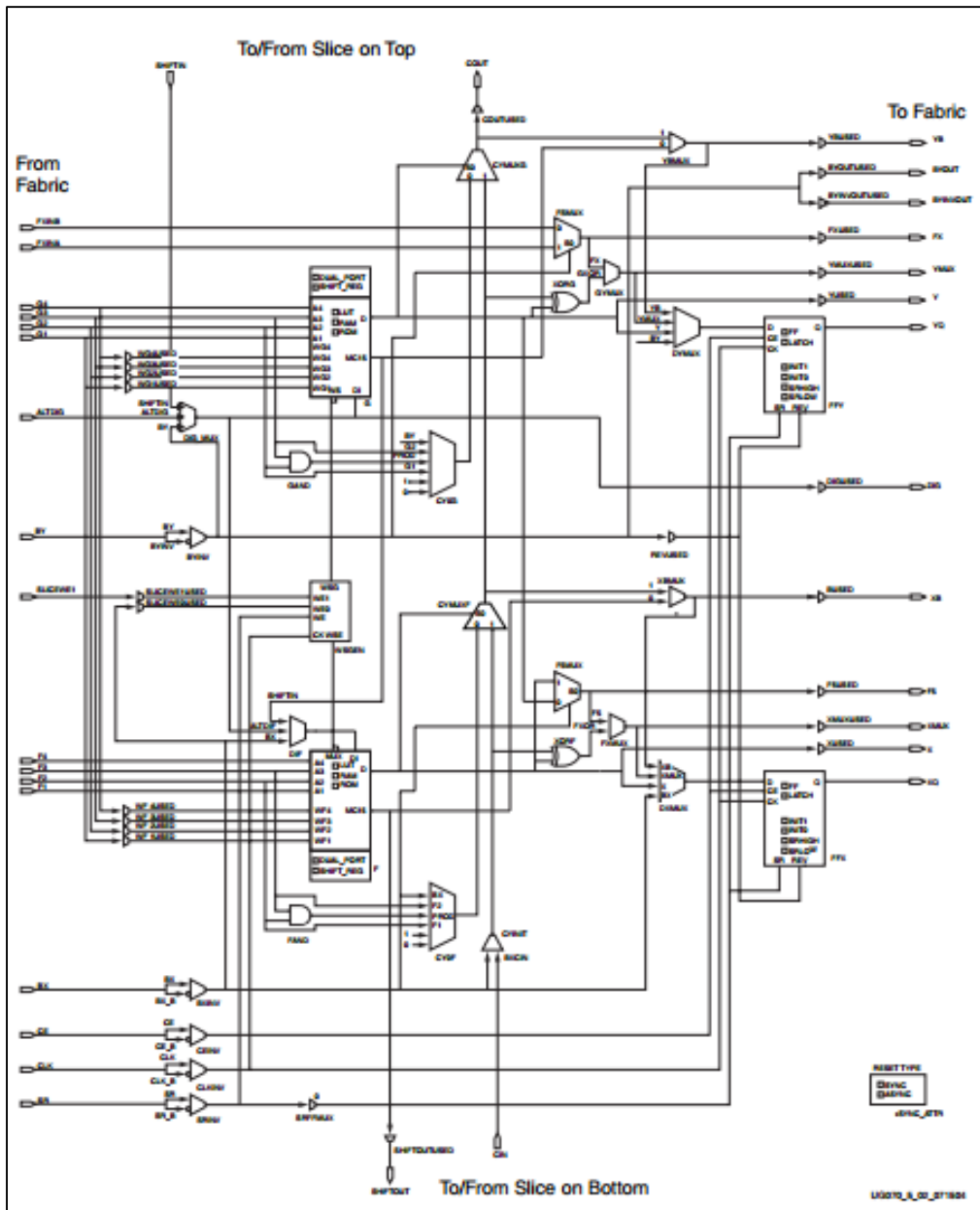


Fig. 27: SliceM de Virtex-4 (referenciado de <sup>18</sup>)

<sup>18</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug070.pdf](http://www.xilinx.com/support/documentation/user_guides/ug070.pdf)

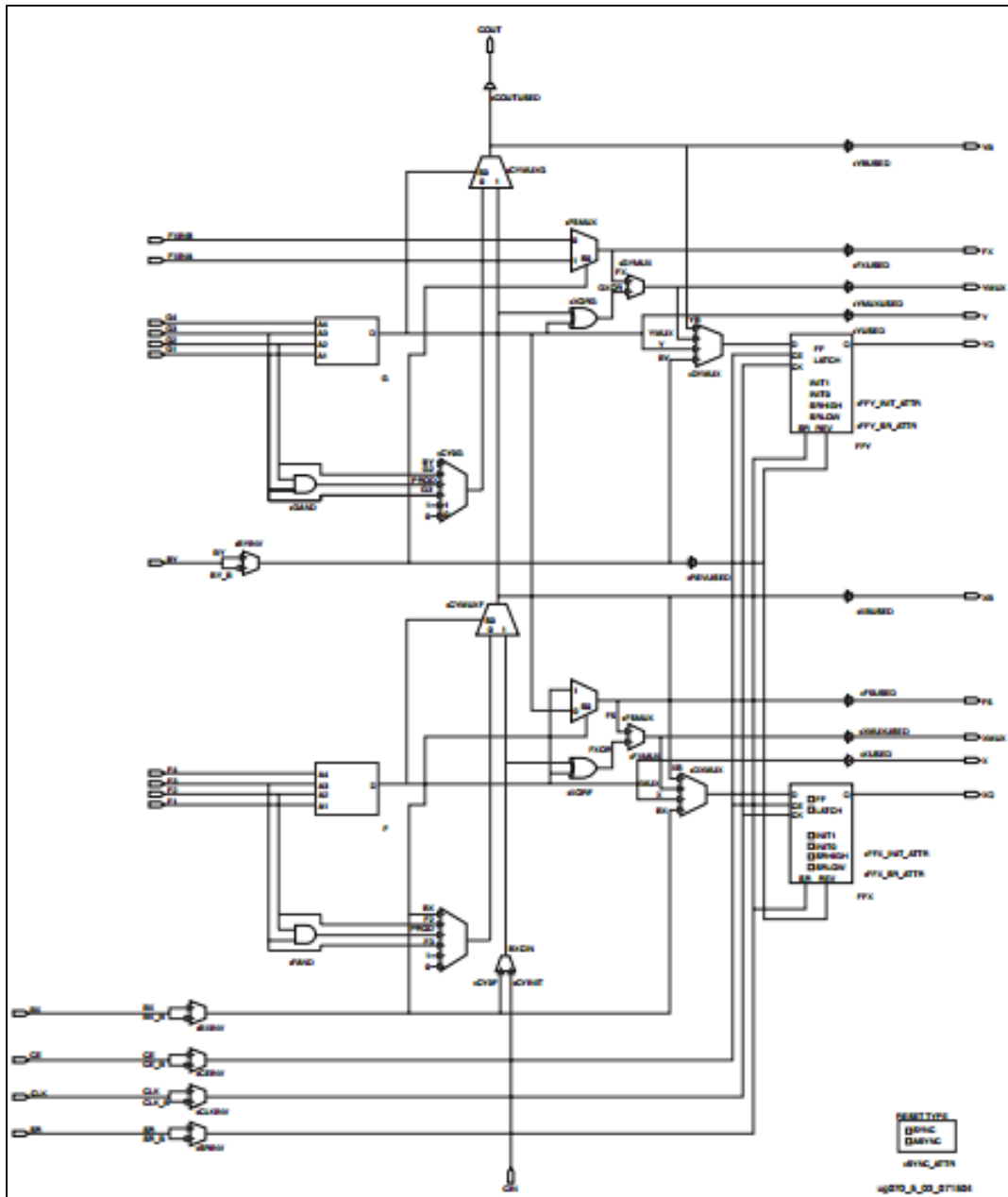


Fig. 28: SliceL de Virtex-4 (referenciado de <sup>19</sup>)

<sup>19</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug070.pdf](http://www.xilinx.com/support/documentation/user_guides/ug070.pdf)

La arquitectura del CLB de la Virtex-4 es una pequeña evolución de su antecesora Virtex-II y de la Spartan-3. Cada CLB contiene cuatro slices interconectados entre sí, las cuales están agrupadas en parejas y cada par organizado en columnas. La sliceM indica el par de slices en la columna de la izquierda y sliceL se designa al par en la columna de la derecha. Cada par en cada columna tiene una cadena de acarreo independiente, aunque solo las sliceM tienen una cadena de desplazamiento común. Los elementos comunes a ambos pares de slices (sliceM y sliceL) son dos generadores de funciones, dos elementos de almacenamiento, multiplexores, lógica de acarreo y puertas aritméticas. Estos elementos son usados en las sliceL y sliceM para proporcionar lógica, aritmética y funciones ROM. Las sliceM soportan dos funciones adicionales como es el almacenamiento de datos usando memoria RAM distribuida y el desplazamiento de datos usando registros de 16 bits. Cada slice contiene:

- Dos LUTs de cuatro entradas cada una (F1, F2, F3, F4 y G1, G2, G3, G4).
- Cinco entradas (BX, BY, FXINB, FXINA, y CIN).
- Dos flip-flops tipo D con set y reset.
- Once salidas (YB, FX, YMUX, Y, YQ, XB, F5, XMUX, X, XQ y COUT).
- Tres señales comunes (CLK, CE y SR).

En la Virtex-4 hay cuatro entradas independientes para cada una de las dos LUTs (F y G) en cada slice. Estas son capaces de implementar cualquier función booleana a partir de las cuatro entradas. El retardo a través de la LUT es independiente de la función implementada. Las señales producidas por los generadores de funciones pueden salir directamente de la slice (por X o por Y), entrar a la puerta dedicada XOR, entrar al multiplexor de la lógica de acarreo, alimentar la entrada D del elemento del almacenamiento o acceder al MUXF5. Para complementar a las LUTs, las slices de Virtex-4 contienen varios multiplexores (MUXF5 y MUXFX) con el fin de combinar hasta ocho generadores de funciones para proporcionar cualquier función de hasta nueve entradas. También se pueden combinar multiplexores entre diferentes CLBs para crear funciones de incluso mayores entradas.

Los elementos de almacenamiento pueden ser configurados como flip-flops tipo D o como latches. La entrada D puede ser originada directamente por una LUT por DX o DY, o por las entradas BX o BY. Hay tres señales comunes a los dos elementos de almacenamiento en cada slice, clock (CLK), clock enable (CE) la cual es activa alto por defecto y set/reset (entradas SR y BY). SR fuerza al elemento de almacenamiento al estado especificado por SRHIGH o SRLow. SRHIGH fuerza un '1' lógico cuando SR es activado mientras que SRLow forzara un '0'.

Los generadores de funciones de las sliceM se pueden configurar como registros de desplazamientos de 16 bits sin usar los flip-flops, de este modo, cada LUT podrá crear un retardo de hasta 16 ciclos. Las señales SHIFTIN y SHIFTOUT conectan en cascada las LUTs para poder formar mayores registros de desplazamientos. Así las cuatro LUTs de un CLB pueden ser combinadas para producir retrasos de hasta 64 ciclos.

Las LUTs de las SliceM pueden ser programadas como memoria RAM distribuida y se combinan de varias formas para almacenar grandes cantidades de datos. Se puede implementar una memoria RAM síncrona de 16 x 1 bits llamada elemento distribuido select RAM los cuales se pueden

configurar en una CLB de un único puerto desde 16 x 4 bit RAM, 32 x 2 bit RAM y 64 x 1 bit RAM. Mientras que si es en puerto doble 16 x 2 bit RAM. Cinco configuraciones son posibles, ROM16x1, ROM32x1, ROM64x1, ROM128x1, y ROM256x1. Los elementos ROM pueden unirse en cascada para crear mayores ROMs.



- **Slices de Virtex-5 Series:**

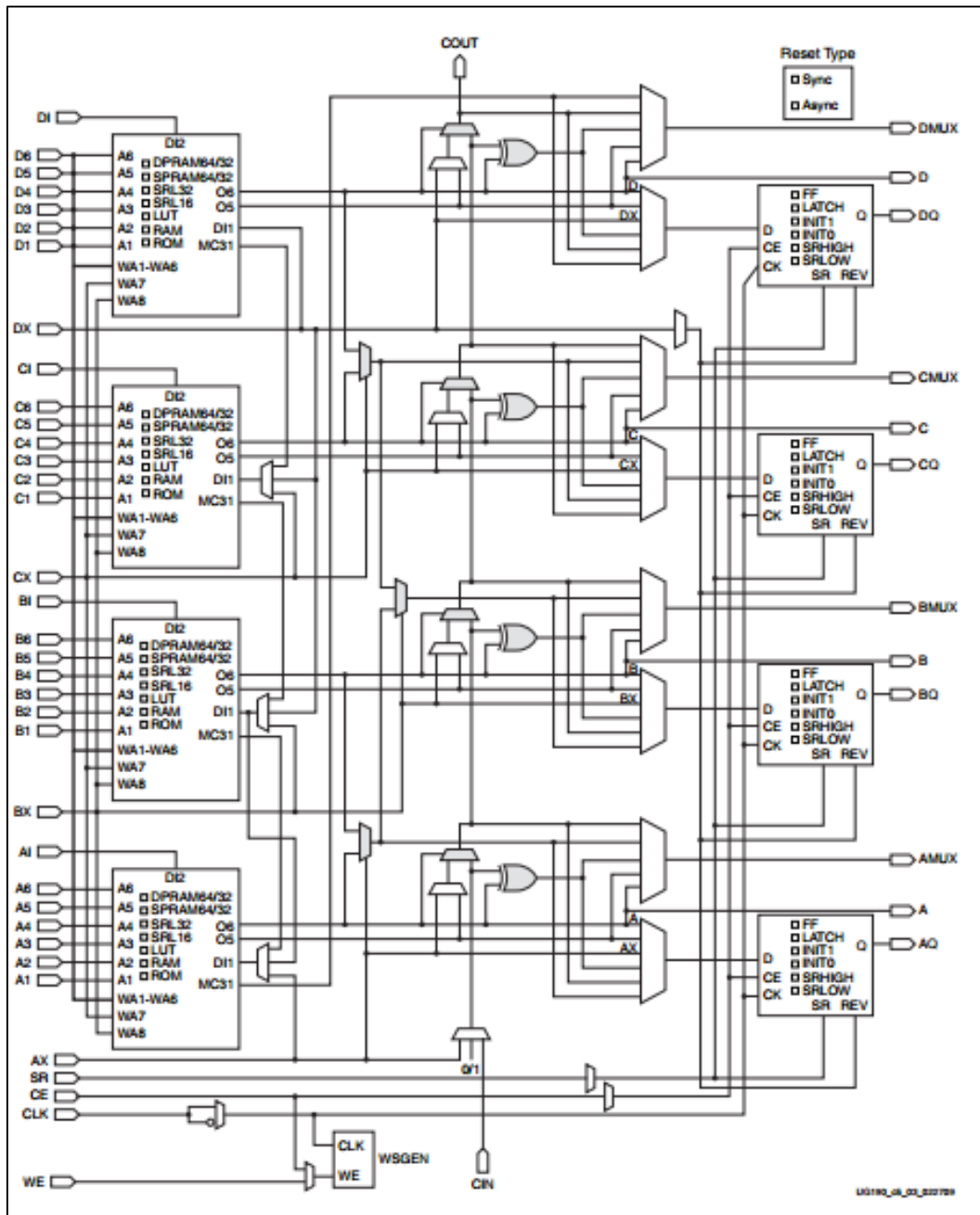


Fig. 29: SliceM de Virtex-5 (referenciado de <sup>20</sup>)

<sup>20</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug190.pdf](http://www.xilinx.com/support/documentation/user_guides/ug190.pdf)

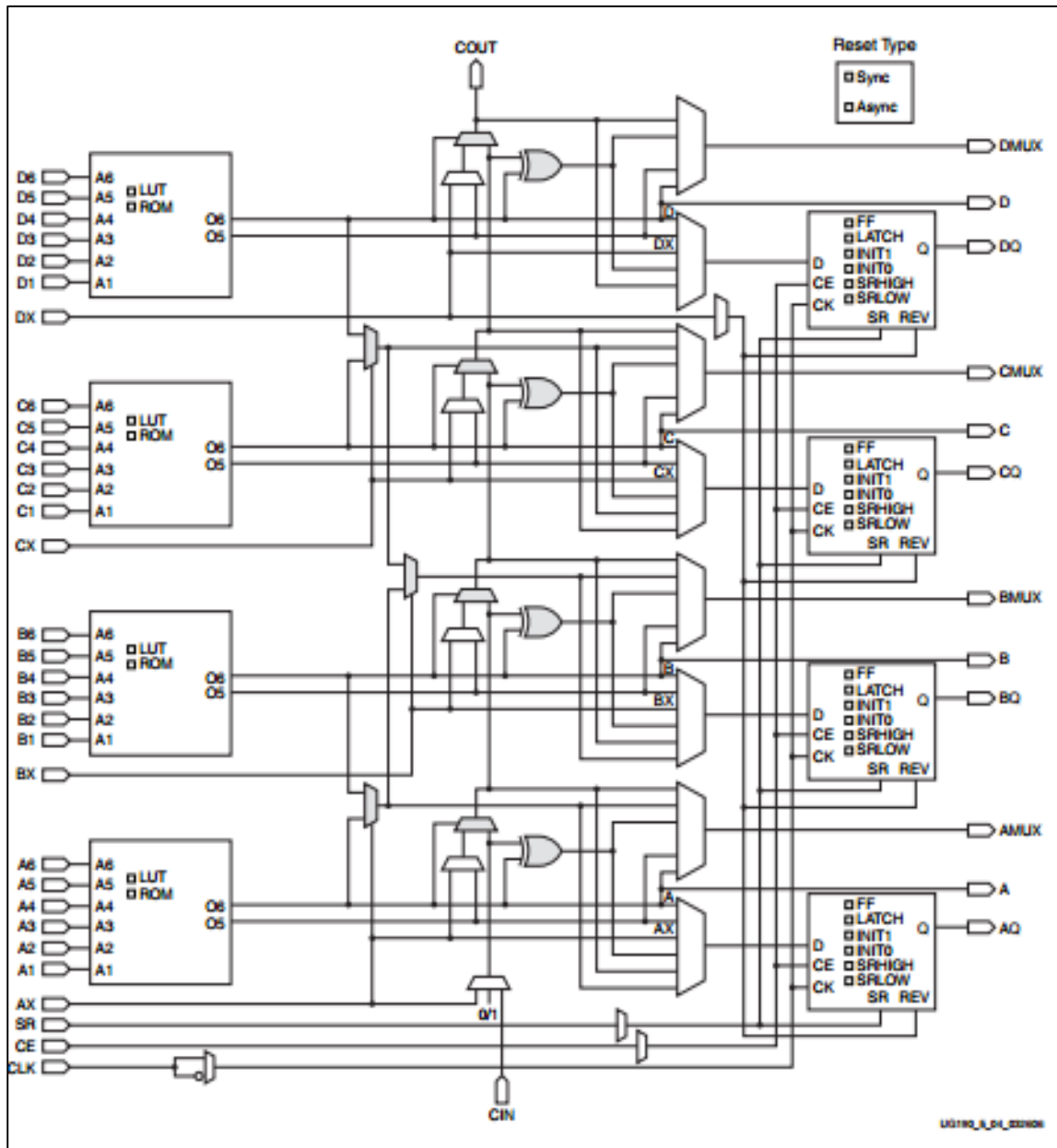


Fig. 30: Slicel de Virtex-5 (referenciado de <sup>21</sup>)

<sup>21</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug190.pdf](http://www.xilinx.com/support/documentation/user_guides/ug190.pdf)

En la FPGA Virtex-5, Xilinx vuelve al diseño de un par de slices (sliceM y sliceL) por cada CLB, colocadas en columna. Estas dos slices, a diferencia de otros modelos, no tienen una conexión directa entre sí. Cada slice tiene una cadena de acarreo independiente. Cada slice contiene cuatro generadores de funciones, cuatro elementos de almacenamiento, multiplexores y lógica de acarreo. Estos elementos se usan para proporcionar lógica, aritmética y funciones ROM. Aparte de esto, algunas slices pueden realizar dos funciones adicionales como son el almacenamiento de datos usando RAM distribuida y el desplazamiento de registros de 32 bits. Las slices que realizan este tipo de funciones son las sliceM. Cada CLB puede contener una o ninguna sliceM. Cada slice contiene:

- Cuatro LUTs (A, B, C y D) de seis entradas cada una (A1, A2, A3, A4, A5 y A6).
- Cinco entradas (AX, BX, CX, DX y CIN).
- Cuatro flip-flops tipo D con set y reset.
- Trece salidas (COUT, A, B, C, D, AQ, BQ, CQ, DQ, AMUX, BMUX, CMUX y DMUX).
- Tres señales comunes (CLK, CE y SR).

Los generadores de funciones en la Virtex-5 consisten en seis entradas independientes y en dos salidas (O5 y O6). Estos pueden desarrollar cualquier función a partir de las seis entradas o dos a partir de cinco. La salida O6 será usada para las funciones de seis variables, mientras que las O5 y O6 se usaran para las dos de cinco. El retardo a través de la LUT es independiente de la función implementada. Las señales producidas por los generadores de funciones pueden salir directamente de la slice (por A, B, C, D, AMUX, BMUX, CMUX o DMUX), entrar a la puerta dedicada XOR, entrar al multiplexor de la lógica de acarreo, alimentar la entrada D del elemento del almacenamiento o acceder al F7AMUX/F7BMUX. Además de estos multiplexores, está el F8MUX con el cual se podrán generar funciones de hasta 8 entradas.

Los elementos de almacenamiento se pueden configurar como flip-flops tipo D o como latches. La entrada D puede ser originada directamente por una LUT, o por las entradas AX, BX, CX o DX. Las señales de control clock (CLK), clock enable (CE), set/reset (SR) y reverse (REV) son comunes a los cuatro elementos de almacenamiento de cada slice. Estas tres últimas señales son activas alto por defecto. La señal SR fuerza al elemento de almacenamiento al estado especificado por SRHIGH o SRLOW. SRHIGH fuerza un '1' lógico cuando SR es activado mientras que SRLOW forzará un '0'. Cuando el SR se usa, existe una segunda entrada opcional (DX) que fuerza la salida del elemento de almacenamiento a su estado opuesto a través del pin REV. El reset siempre predomina sobre el set.

Los generadores de funciones de las sliceM pueden ser configurados como registros de desplazamientos de 32 bits sin usar los flip-flops, de este modo, cada LUT podrá crear un retardo de hasta 32 ciclos. Las señales shiftin y shiftout conectan en cascada las LUTs para poder formar mayores registros de desplazamientos. Así las cuatro LUTs de un CLB se pueden combinar para producir retrasos de hasta 128 ciclos. La lógica de acarreo es proporcionada para realizar rápidas operaciones aritméticas como sumas y restas. La FPGA Virtex-5 tiene dos cadenas de acarreo independientes.

Las LUTs de las sliceM se pueden programar como memoria RAM distribuida y se combinan de varias formas para almacenar grandes cantidades de datos. Se puede implementar una memoria RAM síncrona llamada elemento distribuido select RAM el cual se puede configurar en una CLB de

un único puerto desde 32 x 1 bit RAM, 64 x 1 bit RAM, 128 x 1 bit RAM, 256 x 1 bit RAM, en puerto doble 32 x 1 bit RAM, 64 x 1 bit RAM, 32 x 6 bit RAM, 64 x 3 bit RAM, 128 x 1 bit RAM o puerto cuádruple 32 x 2 bit RAM, 64 x 1 bit RAM. Cada sliceM y sliceL puede realizar funciones ROM, tres configuraciones son posibles, ROM64x1, ROM128x1, y ROM256x1.

- Slices de Virtex-6, Virtex-7 Series:

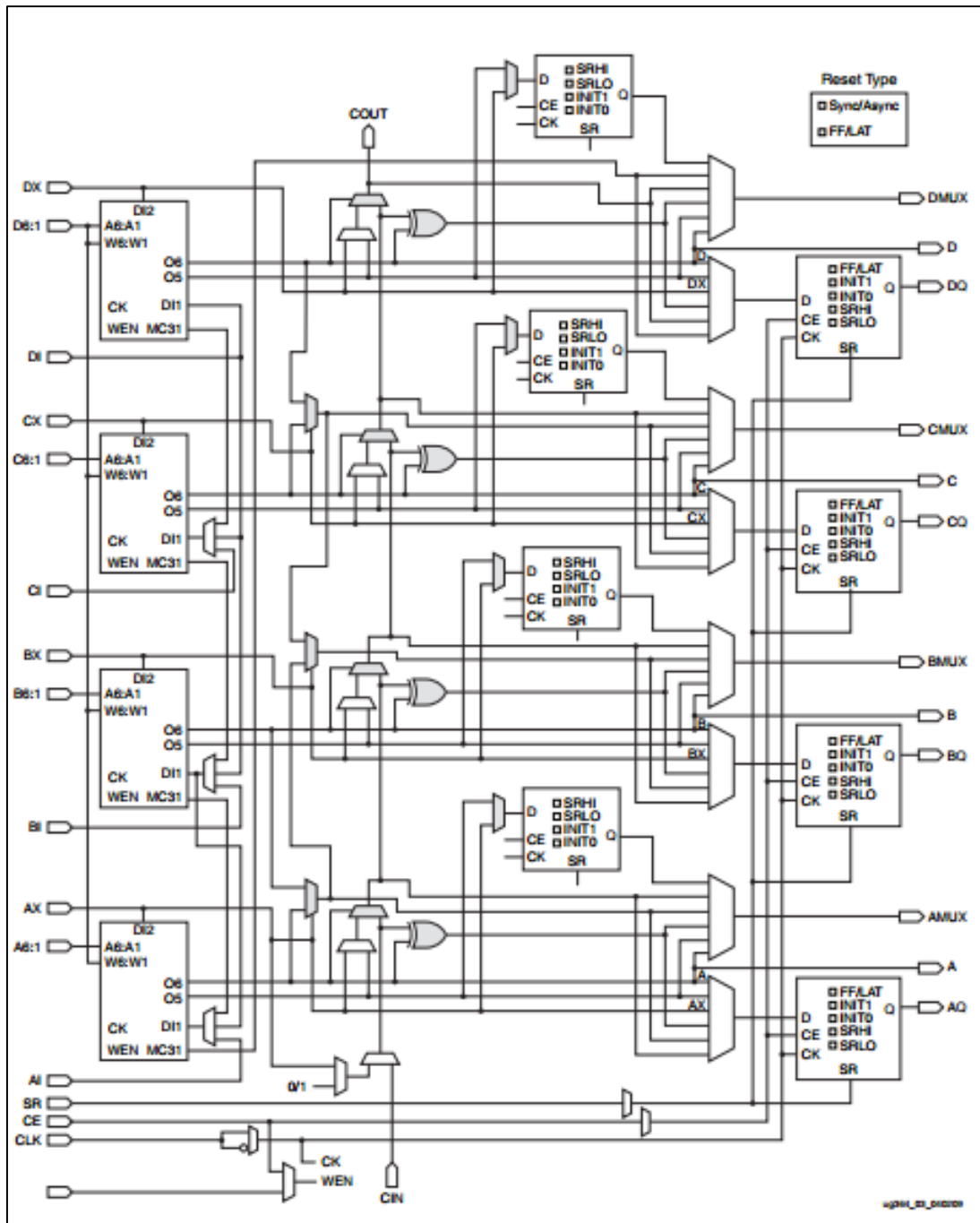


Fig. 31: SliceM de Virtex-6 y Virtex-7 (referenciado de <sup>22</sup>)

<sup>22</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug364.pdf](http://www.xilinx.com/support/documentation/user_guides/ug364.pdf)

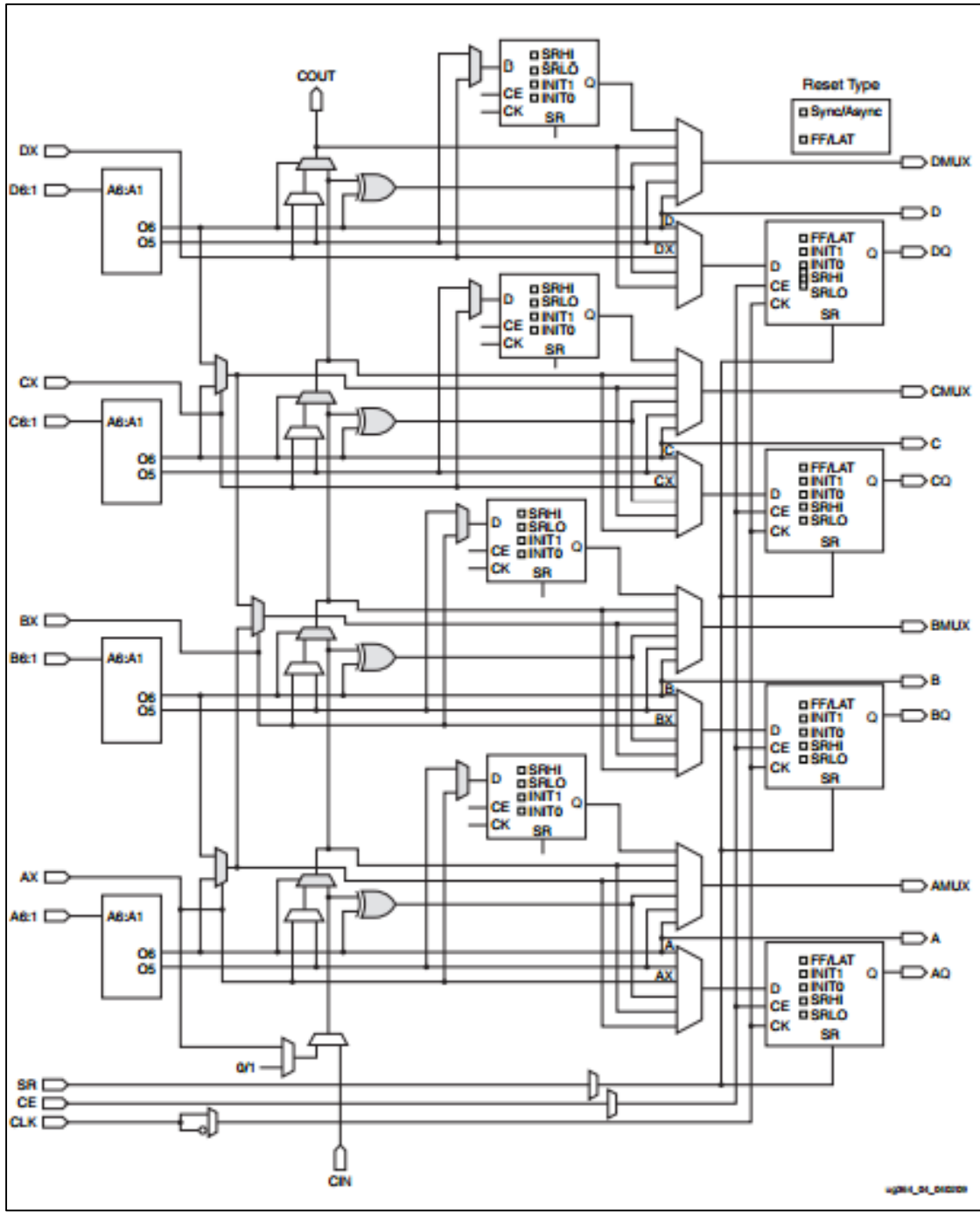


Fig. 32: Slicel de Virtex-6 y Virtex-7 (referenciado de <sup>23</sup>)

<sup>23</sup> [http://www.xilinx.com/support/documentation/user\\_guides/ug364.pdf](http://www.xilinx.com/support/documentation/user_guides/ug364.pdf)

Con una estructura similar a su predecesora Virtex-5 y con una arquitectura y diseño muy parecido a la Spartan-6 cada CLB contiene un par de slices (sliceM y sliceL), colocadas en columnas cada una y sin conexión directa entre ellas. Cada slice tiene una cadena de acarreo independiente. A su vez cada slice contiene cuatro generadores de funciones, ocho elementos de almacenamiento, multiplexores y lógica de acarreo. Estos elementos son usados para proporcionar lógica, aritmética y funciones ROM. Aparte de esto, algunas slices pueden realizar dos funciones adicionales como son el almacenamiento de datos usando RAM distribuida y los desplazamientos de registros de 32 bits. Las slices que realizan este tipo de funciones son las sliceM. Cada CLB puede incluir una sliceM o ninguna. Cada slice contiene:

- Cuatro LUTs (A, B, C y D) de seis entradas cada una (A1, A2, A3, A4, A5 y A6).
- Cinco entradas (AX, BX, CX, DX y CIN).
- Ocho flip-flops tipo D con set y reset.
- Trece salidas (COUT, A, B, C, D, AQ, BQ, CQ, DQ, AMUX, BMUX, CMUX y DMUX).
- Tres señales comunes (CLK, CE y SR).

Los generadores de funciones en la Virtex-6 consisten en seis entradas independientes y en dos salidas (O5 y O6). Estos pueden implementar cualquier función a partir de las seis entradas, o dos a partir de cinco. La salida O6 se usa para las funciones de seis variables mientras que las salidas O5 y O6 se usan para las dos de cinco. El retardo a través de la LUT es independiente de la función implementada. Las señales producidas por los generadores de funciones pueden salir directamente de la slice (por A, B, C, D, AMUX, BMUX, CMUX o DMUX), entrar a la puerta dedicada XOR, entrar al multiplexor de la lógica de acarreo, alimentar la entrada D del elemento del almacenamiento o acceder al F7AMUX/F7BMUX. Además de estos multiplexores, está el F8MUX con el cual se podrán generar funciones de hasta 8 entradas.

Es esta FPGA hay ocho elementos de almacenamiento, de los cuales cuatro pueden ser configurados como flip-flops tipo D o como latches y los otros cuatro solamente como flip-flops tipo D. La entrada D puede ser originada directamente por una LUT, o por las entradas AX, BX, CX o DX. Las señales de control clock (CLK), clock enable (CE), set/reset (SR) son comunes a todos los elementos de almacenamiento de cada slice. Estas dos últimas son activas alto por defecto. La señal SR fuerza al elemento de almacenamiento al estado especificado por SRHIGH o SRLow. SRHIGH fuerza un '1' lógico cuando SR es activado mientras que SRLow fuerza un '0'.

Los generadores de funciones de las sliceM pueden ser configurados como registros de desplazamientos de 32 bits sin usar los flip-flops, de este modo, cada LUT podrá crear un retardo de hasta 32 ciclos. Las señales shiftin y shiftout conectan en cascada las LUTs para poder formar mayores registros de desplazamientos. Así las cuatro LUTs de un CLB se pueden combinar para producir retrasos de hasta 128 ciclos. La lógica de acarreo es proporcionada para realizar rápidas operaciones aritméticas, como sumas y restas. La FPGA Virtex-6 tiene dos cadenas de acarreo independientes.

Las LUTs de las sliceM se pueden programar como memoria RAM distribuida y se combinan de varias formas para almacenar grandes cantidades de datos. Se puede implementar una memoria RAM síncrona llamada elemento distribuido select RAM el cual se puede configurar en una CLB de

un único puerto desde 32 x 1 bit RAM, 64 x 1 bit RAM, 128 x 1 bit RAM, 256 x 1 bit RAM, en puerto doble 32 x 1 bit RAM, 64 x 1 bit RAM, 32 x 6 bit RAM, 64 x 3 bit RAM, 128 x 1 bit RAM o puerto cuádruple 32 x 2 bit RAM, 64 x 1 bit RAM. Cada sliceM y sliceL puede realizar funciones ROM, con tres configuraciones posibles, ROM64x1, ROM128x1, y ROM256x1.



## 4. Tablas de características de las principales FPGAs.

### 4.1 Listado de tablas de características

A continuación se muestran las tablas de características de las correspondientes FPGAs de Xilinx obtenidas de sus respectivas hojas de datos.

#### XC2000 Series:

Device	V <sub>CC</sub>	Typ. Logic Capacity (gates)	CLBs	User I/O Max	Config. bits
XC2064	5.0 V	600 - 1,000	64	58	12,038
XC2064L	3.3 V	600 - 1,000	64	58	12,038
XC2018	5.0 V	1,000 - 1,500	100	74	17,878
XC2018L	3.3 V	1,000 - 1,500	100	74	17,878

Tabla 26: Familia XC2000 Series (Referenciado de <sup>24</sup>)

#### XC3000 Series:

Device	Max Logic Gates	Typical Gate Range	CLBs	Array	User I/Os Max	Flip-Flops	Horizontal Longlines	Configuration Data Bits
XC3020A, 3020L, 3120A	1,500	1,000 - 1,500	64	8 x 8	64	256	16	14,779
XC3030A, 3030L, 3130A	2,000	1,500 - 2,000	100	10 x 10	80	360	20	22,176
XC3042A, 3042L, 3142A, 3142L	3,000	2,000 - 3,000	144	12 x 12	96	480	24	30,784
XC3064A, 3064L, 3164A	4,500	3,500 - 4,500	224	16 x 14	120	688	32	46,064
XC3090A, 3090L, 3190A, 3190L	6,000	5,000 - 6,000	320	16 x 20	144	928	40	64,160
XC3195A	7,500	6,500 - 7,500	484	22 x 22	176	1,320	44	94,984

Tabla 27: Familia XC3000 Series (Referenciado de <sup>25</sup>).

#### XC4000 Series:

Table 1. The XC4000 Families of Field-Programmable Gate Arrays

Device	XC4002A	4003/3A	4003H	4004A	4005/5A	4005H	4006	4008	4010/10D	4013/13D	4020	4025
Appr. Gate Count	2,000	3,000	3,000	4,000	5,000	5,000	6,000	8,000	10,000	13,000	20,000	25,000
CLB Matrix	8 x 8	10 x 10	10 x 10	12 x 12	14 x 14	14 x 14	16 x 16	18 x 18	20 x 20	24 x 24	28 x 28	32 x 32
Number of CLBs	64	100	100	144	196	196	256	324	400	576	784	1,024
Number of Flip-Flops	256	360	200	480	616	392	768	936	1,120	1,536	2,016	2,560
Max Decode Inputs (per side)	24	30	30	36	42	42	48	54	60	72	84	96
Max RAM Bits	2,048	3,200	3,200	4,608	6,272	6,272	8,192	10,368	12,800*	18,432*	25,088	32,768
Number of IOBs	64	80	160	96	112	192	128	144	160	192	224	256

\*XC4010D and XC4013D have no RAM

Tabla 28: Familia XC4000 Series (Referenciado de <sup>26</sup>)

<sup>24</sup> [http://www.datasheetcatalog.com/datasheets\\_pdf/X/C/2/0/XC2000.shtml](http://www.datasheetcatalog.com/datasheets_pdf/X/C/2/0/XC2000.shtml)

<sup>25</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/3000.pdf](http://www.xilinx.com/support/documentation/data_sheets/3000.pdf)

<sup>26</sup> <http://media.digikey.com/pdf/Data%20Sheets/Xilinx%20PDFs/XC4000,A,H.pdf>

## XC4000E/X/XL Series:

Table 1: XC4000E and XC4000X Series Field Programmable Gate Arrays

Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. User I/O
XC4002XL	152	1,600	2,048	1,000 - 3,000	8 x 8	64	256	64
XC4003E	238	3,000	3,200	2,000 - 5,000	10 x 10	100	360	80
XC4005E/XL	466	5,000	6,272	3,000 - 9,000	14 x 14	196	616	112
XC4006E	608	6,000	8,192	4,000 - 12,000	16 x 16	256	768	128
XC4008E	770	8,000	10,368	6,000 - 15,000	18 x 18	324	936	144
XC4010E/XL	950	10,000	12,800	7,000 - 20,000	20 x 20	400	1,120	160
XC4013E/XL	1368	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	192
XC4020E/XL	1862	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	224
XC4025E	2432	25,000	32,768	15,000 - 45,000	32 x 32	1,024	2,560	256
XC4028EX/XL	2432	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	256
XC4036EX/XL	3078	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	288
XC4044XL	3800	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	320
XC4052XL	4598	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	352
XC4062XL	5472	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	384
XC4085XL	7448	85,000	100,352	55,000 - 180,000	56 x 56	3,136	7,168	448

\* Max values of Typical Gate Range include 20-30% of CLBs used as RAM.

Tabla 29: Familias XC4000E, XC4000X y XC4000XL Series (Referenciado de <sup>27</sup>).

## XC4000XV/XLA Series:

Table 1: XC4000XLA Series Field Programmable Gate Arrays

Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. User I/O	Required Configuration Bits
XC4013XLA	1,368	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	192	393,632
XC4020XLA	1,862	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	224	521,880
XC4028XLA	2,432	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	256	668,184
XC4036XLA	3,078	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	288	832,528
XC4044XLA	3,800	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	320	1,014,928
XC4052XLA	4,598	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	352	1,215,368
XC4062XLA	5,472	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	384	1,433,864
XC4085XLA	7,448	85,000	100,352	55,000 - 180,000	56 x 56	3,136	7,168	448	1,924,992
XC40110XV	9,728	110,000	131,072	75,000 - 235,000	64 x 64	4,096	9,216	448	2,686,136
XC40150XV	12,312	150,000	165,888	100,000 - 300,000	72 x 72	5,184	11,520	448	3,373,448
XC40200XV	16,758	200,000	225,792	130,000 - 400,000	84 x 84	7,056	15,456	448	4,551,056
XC40250XV	20,102	250,000	270,848	180,000 - 500,000	92 x 92	8,464	18,400	448	5,433,888

\* Maximum values of gate range assume 20-30% of CLBs used as RAM

Tabla 30: Familias XC4000XLA y XC4000XV Series (Referenciado de <sup>28</sup>).

<sup>27</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/4000.pdf](http://www.xilinx.com/support/documentation/data_sheets/4000.pdf)

<sup>28</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds015.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds015.pdf)

### XC5200 Series:

Table 1: XC5200 Field-Programmable Gate Array Family Members

Device	XC5202	XC5204	XC5206	XC5210	XC5215
Logic Cells	256	480	784	1,296	1,936
Max Logic Gates	3,000	6,000	10,000	16,000	23,000
Typical Gate Range	2,000 - 3,000	4,000 - 6,000	6,000 - 10,000	10,000 - 16,000	15,000 - 23,000
VersaBlock Array	8 x 8	10 x 12	14 x 14	18 x 18	22 x 22
CLBs	64	120	196	324	484
Flip-Flops	256	480	784	1,296	1,936
I/Os	84	124	148	196	244
TBUFs per Longline	10	14	16	20	24

Tabla 31: Familia XC5200 Series (Referenciado de <sup>29</sup>).

### XC6200 Series:

Device	XC6209 <sup>†</sup>	XC6216	XC6236 <sup>†</sup>	XC6264 <sup>†</sup>
Typical Gate Count Range	9000-13000	16000-24000	36000-55000	64000-100000
Number of Cells	2304	4096	9216	16384
Number of Registers	2304	4096	9216	16384
Number of IOBs	192	256	384	512
Cell Rows x Columns	48x48	64x64	96x96	128x128

<sup>†</sup> = Planned Product

Tabla 32: Familia XC6200 Series (Referenciado de <sup>30</sup>).

### XC8100 Series:

Table 1: Product Line

Product	XC8100	XC8101	XC8103	XC8106	XC8109	XC8112*	XC8116*	XC8120*
Max Logic Gates	1K	2K	7K	13K	20K	27K	36K	45K
Typical Gate Range	.6 - 1K	1K - 2K	3K - 7K	6K - 13K	9K - 20K	12K - 27K	16K - 36K	20K - 45K
Cells	192	384	1024	1728	2688	3744	4800	6144
Flip-Flops (Max)	96	192	512	864	1344	1872	2400	3072
I/O	32	72	128	168	192	248	280	320

Tabla 33: Familia XC8100 Series (Referenciado de <sup>31</sup>).

<sup>29</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/5200.pdf](http://www.xilinx.com/support/documentation/data_sheets/5200.pdf)

<sup>30</sup> <http://www.datasheetarchive.com/dl/Datasheets-UEA1/DSAFRAZ004506.pdf>

## Spartan/Spartan-XL Series:

Table 1: Spartan and Spartan-XL Field Programmable Gate Arrays

Device	Logic Cells	Max System Gates	Typical Gate Range (Logic and RAM) <sup>(1)</sup>	CLB Matrix	Total CLBs	No. of Flip-flops	Max. Avail. User I/O	Total Distributed RAM Bits
XCS05 and XCS05XL	238	5,000	2,000-5,000	10 x 10	100	360	77	3,200
XCS10 and XCS10XL	466	10,000	3,000-10,000	14 x 14	196	616	112	6,272
XCS20 and XCS20XL	950	20,000	7,000-20,000	20 x 20	400	1,120	160	12,800
XCS30 and XCS30XL	1368	30,000	10,000-30,000	24 x 24	576	1,536	192	18,432
XCS40 and XCS40XL	1862	40,000	13,000-40,000	28 x 28	784	2,016	205 <sup>(2)</sup>	25,088

**Notes:**

1. Max values of Typical Gate Range include 20-30% of CLBs used as RAM.
2. XCS40XL provided 224 max I/O in CS280 package discontinued by [PDN2004-01](#).

Tabla 34: Familias Spartan y Spartan-XL Series (Referenciado de <sup>32</sup>).

## Spartan-II Series:

Table 1: Spartan-II FPGA Family Members

Device	Logic Cells	System Gates (Logic and RAM)	CLB Array (R x C)	Total CLBs	Maximum Available User I/O <sup>(1)</sup>	Total Distributed RAM Bits	Total Block RAM Bits
XC2S15	432	15,000	8 x 12	96	86	6,144	16K
XC2S30	972	30,000	12 x 18	216	92	13,824	24K
XC2S50	1,728	50,000	16 x 24	384	176	24,576	32K
XC2S100	2,700	100,000	20 x 30	600	176	38,400	40K
XC2S150	3,888	150,000	24 x 36	864	260	55,296	48K
XC2S200	5,292	200,000	28 x 42	1,176	284	75,264	56K

**Notes:**

1. All user I/O counts do not include the four global clock/user input pins. See details in [Table 2, page 4](#).

Tabla 35: Familia Spartan-II Series (Referenciado de <sup>33</sup>).

## Spartan-II E Series:

Table 1: Spartan-II E FPGA Family Members

Device	Logic Cells	Typical System Gate Range (Logic and RAM)	CLB Array (R x C)	Total CLBs	Maximum Available User I/O <sup>(1)</sup>	Maximum Differential I/O Pairs	Distributed RAM Bits	Block RAM Bits
XC2S50E	1,728	23,000 - 50,000	16 x 24	384	182	83	24,576	32K
XC2S100E	2,700	37,000 - 100,000	20 x 30	600	202	86	38,400	40K
XC2S150E	3,888	52,000 - 150,000	24 x 36	864	265	114	55,296	48K
XC2S200E	5,292	71,000 - 200,000	28 x 42	1,176	289	120	75,264	56K
XC2S300E	6,912	93,000 - 300,000	32 x 48	1,536	329	120	98,304	64K
XC2S400E	10,800	145,000 - 400,000	40 x 60	2,400	410	172	153,600	160K
XC2S600E	15,552	210,000 - 600,000	48 x 72	3,456	514	205	221,184	288K

**Notes:**

1. User I/O counts include the four global clock/user input pins. See details in [Table 2, page 5](#)

Tabla 36: Familia Spartan-II E Series (Referenciado de <sup>34</sup>).

<sup>32</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds060.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds060.pdf)

<sup>33</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds001.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds001.pdf)

<sup>34</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds077.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds077.pdf)

## Spartan-3 Series:

Table 1: Summary of Spartan-3 FPGA Attributes

Device	System Gates	Equivalent Logic Cells <sup>(1)</sup>	CLB Array (One CLB = Four Slices)			Distributed RAM Bits (K=1024)	Block RAM Bits (K=1024)	Dedicated Multipliers	DCMs	Max. User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50 <sup>(2)</sup>	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200 <sup>(2)</sup>	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400 <sup>(2)</sup>	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000 <sup>(2)</sup>	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	633	300
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	633	300

**Notes:**

1. Logic Cell = 4-input Look-Up Table (LUT) plus a 'D' flip-flop. "Equivalent Logic Cells" equals "Total CLBs" x 8 Logic Cells/CLB x 1.125 effectiveness.
2. These devices are available in Xilinx Automotive versions as described in [DS314: Spartan-3 Automotive XA FPGA Family](#).

Tabla 37: Familia Spartan-3 Series (Referenciado de <sup>35</sup>).

## Spartan-3E Series:

Table 1: Summary of Spartan-3E FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits <sup>(1)</sup>	Block RAM bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

**Notes:**

1. By convention, one Kb is equivalent to 1,024 bits.
- Tabla 38: Familia Spartan-3E Series (referenciado de <sup>36</sup>).

## Spartan-3A Series:

Table 1: Summary of Spartan-3A FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits <sup>(1)</sup>	Block RAM bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	CLBs	Slices						
XC3S50A	50K	1,584	16	12	176	704	11K	54K	3	2	144	64
XC3S200A	200K	4,032	32	16	448	1,792	28K	288K	16	4	248	112
XC3S400A	400K	8,064	40	24	896	3,584	56K	360K	20	4	311	142
XC3S700A	700K	13,248	48	32	1,472	5,888	92K	360K	20	8	372	165
XC3S1400A	1400K	25,344	72	40	2,816	11,264	176K	576K	32	8	502	227

**Notes:**

1. By convention, one Kb is equivalent to 1,024 bits.

Tabla 39: Familia Spartan-3A Series (Referenciado de <sup>37</sup>).

<sup>35</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds099.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf)

<sup>36</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf)

<sup>37</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds529.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf)

## Spartan-3 Series:

Table 2: Summary of Spartan-3AN FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM Bits <sup>(1)</sup>	Block RAM Bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Max Differential I/O Pairs	Bitstream Size <sup>(1)</sup>	In-System Flash Bits
XC3S50AN	50K	1,584	176	704	11K	54K	3	2	108	50	427K	1M <sup>(2)</sup>
XC3S200AN	200K	4,032	448	1,792	28K	288K	16	4	195	90	1,168K	4M
XC3S400AN	400K	8,064	896	3,584	56K	360K	20	4	311	142	1,842K	4M
XC3S700AN	700K	13,248	1,472	5,888	92K	360K	20	8	372	165	2,669K	8M
XC3S1400AN	1400K	25,344	2,816	11,264	176K	576K	32	8	502	227	4,644K	16M

**Notes:**

1. By convention, one Kb is equivalent to 1,024 bits and one Mb is equivalent to 1,024 Kb.
2. Maximum supported by Xilinx tools. See the customer notice [XCIN14003](#): Flash Wafer Fabrication Change and Gold (Au) To Copper (Cu) Transition for Spartan-3AN FPGA Devices.

Tabla 40: Familia Spartan-3AN Series (Referenciado de <sup>38</sup>).

## Spartan-3A DSP Series:

Table 1: Summary of Spartan-3A DSP FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)		Distributed RAM Bits <sup>(1)</sup>	Block RAM Bits <sup>(1)</sup>	DSP48As	DCMs	Maximum User I/O	Maximum Differential I/O Pairs		
			Rows	Columns								
XC3SD1800A	1800K	37,440	88	48	4,160	16,640	260K	1512K	84	8	519	227
XC3SD3400A	3400K	53,712	104	58	5,968	23,872	373K	2268K	126	8	469	213

**Notes:**

1. By convention, one Kb is equivalent to 1,024 bits.

Tabla 41: Familia Spartan-3A DSP Series (Referenciado de <sup>39</sup>).

<sup>38</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds557.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf)

<sup>39</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds610.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds610.pdf)

## Spartan-6 Series:

Table 1: Spartan-6 FPGA Feature Summary by Device

Device	Logic Cells <sup>(1)</sup>	Configurable Logic Blocks (CLBs)			DSP48A1 Slices <sup>(3)</sup>	Block RAM Blocks		CMTs <sup>(5)</sup>	Memory Controller Blocks (Max) <sup>(6)</sup>	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices <sup>(2)</sup>	Flip-Flops	Max Distributed RAM (Kb)		18 Kb <sup>(4)</sup>	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

**Notes:**

1. Spartan-6 FPGA logic cell ratings reflect the increased logic cell capability offered by the new 6-input LUT architecture.
2. Each Spartan-6 FPGA slice contains four LUTs and eight flip-flops.
3. Each DSP48A1 slice contains an 18 x 18 multiplier, an adder, and an accumulator.
4. Block RAMs are fundamentally 18 Kb in size. Each block can also be used as two independent 9 Kb blocks.
5. Each CMT contains two DCMs and one PLL.
6. Memory Controller Blocks are not supported in the -3N speed grade.

Tabla 42: Familia Spartan-6 Series (Referenciado de<sup>40</sup>)

## Virtex Series:

Table 1: Virtex Field Programmable Gate Array Family Members

Device	System Gates	CLB Array	Logic Cells	Maximum Available I/O	Block RAM Bits	Maximum SelectRAM+™ Bits
XCV50	57,906	16x24	1,728	180	32,768	24,576
XCV100	108,904	20x30	2,700	180	40,960	38,400
XCV150	164,674	24x36	3,888	260	49,152	55,296
XCV200	236,666	28x42	5,292	284	57,344	75,264
XCV300	322,970	32x48	6,912	316	65,536	98,304
XCV400	468,252	40x60	10,800	404	81,920	153,600
XCV600	661,111	48x72	15,552	512	98,304	221,184
XCV800	888,439	56x84	21,168	512	114,688	301,056
XCV1000	1,124,022	64x96	27,648	512	131,072	393,216

Tabla 43: Familia Virtex Series (Referenciado de<sup>41</sup>).

<sup>40</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf)

<sup>41</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds003.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds003.pdf)

## Virtex-E Series:

Table 1: Virtex-E Field-Programmable Gate Array Family Members

Device	System Gates	Logic Gates	CLB Array	Logic Cells	Differential I/O Pairs	User I/O	BlockRAM Bits	Distributed RAM Bits
XCV50E	71,693	20,736	16 x 24	1,728	83	176	65,536	24,576
XCV100E	128,236	32,400	20 x 30	2,700	83	196	81,920	38,400
XCV200E	306,393	63,504	28 x 42	5,292	119	284	114,688	75,264
XCV300E	411,955	82,944	32 x 48	6,912	137	316	131,072	98,304
XCV400E	569,952	129,600	40 x 60	10,800	183	404	163,840	153,600
XCV600E	985,882	186,624	48 x 72	15,552	247	512	294,912	221,184
XCV1000E	1,569,178	331,776	64 x 96	27,648	281	660	393,216	393,216
XCV1600E	2,188,742	419,904	72 x 108	34,992	344	724	589,824	497,664
XCV2000E	2,541,952	518,400	80 x 120	43,200	344	804	655,360	614,400
XCV2600E	3,263,755	685,584	92 x 138	57,132	344	804	753,664	812,544
XCV3200E	4,074,387	876,096	104 x 156	73,008	344	804	851,968	1,038,336

Tabla 44: Familia Virtex-E Series (Referenciado de <sup>42</sup>).

## Virtex-II Series:

Table 1: Virtex-II Field-Programmable Gate Array Family Members

Device	System Gates	CLB (1 CLB = 4 slices = Max 128 bits)			Multiplier Blocks	SelectRAM Blocks		DCMs	Max I/O Pads <sup>(1)</sup>
		Array Row x Col.	Slices	Maximum Distributed RAM Kbits		18 Kbit Blocks	Max RAM (Kbits)		
XC2V40	40K	8 x 8	256	8	4	4	72	4	88
XC2V80	80K	16 x 8	512	16	8	8	144	4	120
XC2V250	250K	24 x 16	1,536	48	24	24	432	8	200
XC2V500	500K	32 x 24	3,072	96	32	32	576	8	264
XC2V1000	1M	40 x 32	5,120	160	40	40	720	8	432
XC2V1500	1.5M	48 x 40	7,680	240	48	48	864	8	528
XC2V2000	2M	56 x 48	10,752	336	56	56	1,008	8	624
XC2V3000	3M	64 x 56	14,336	448	96	96	1,728	12	720
XC2V4000	4M	80 x 72	23,040	720	120	120	2,160	12	912
XC2V6000	6M	96 x 88	33,792	1,056	144	144	2,592	12	1,104
XC2V8000	8M	112 x 104	46,592	1,456	168	168	3,024	12	1,108

**Notes:**

1. See details in Table 2, "Maximum Number of User I/O Pads".

Tabla 45: Familia Virtex-II Series (Referenciado de <sup>43</sup>).

<sup>42</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds022.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds022.pdf)

<sup>43</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds031.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds031.pdf)



## Virtex-II Pro/ X Series:

Table 1: Virtex-II Pro / Virtex-II Pro X FPGA Family Members

Device <sup>(1)</sup>	RocketIO Transceiver Blocks	PowerPC Processor Blocks	Logic Cells <sup>(2)</sup>	CLB (1 = 4 slices = max 128 bits)		18 X 18 Bit Multiplier Blocks	Block SelectRAM+		DCMs	Maximum User I/O Pads
				Slices	Max Distr RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)		
XC2VP2	4	0	3,168	1,408	44	12	12	216	4	204
XC2VP4	4	1	6,768	3,008	94	28	28	504	4	348
XC2VP7	8	1	11,088	4,928	154	44	44	792	4	396
XC2VP20	8	2	20,880	9,280	290	88	88	1,584	8	564
XC2VPX20	8 <sup>(4)</sup>	1	22,032	9,792	306	88	88	1,584	8	552
XC2VP30	8	2	30,816	13,696	428	136	136	2,448	8	644
XC2VP40	0 <sup>(3)</sup> , 8, or 12	2	43,632	19,392	606	192	192	3,456	8	804
XC2VP50	0 <sup>(3)</sup> or 16	2	53,136	23,616	738	232	232	4,176	8	852
XC2VP70	16 or 20	2	74,448	33,088	1,034	328	328	5,904	8	996
XC2VPX70	20 <sup>(4)</sup>	2	74,448	33,088	1,034	308	308	5,544	8	992
XC2VP100	0 <sup>(3)</sup> or 20	2	99,216	44,096	1,378	444	444	7,992	12	1,164

**Notes:**

- 7 speed grade devices are not available in Industrial grade.
- Logic Cell = (1) 4-input LUT + (1)FF + Carry Logic
- These devices can be ordered in a configuration without RocketIO transceivers. See Table 3 for package configurations.
- Virtex-II Pro X devices equipped with RocketIO X transceiver cores.

Tabla 46: Familia Virtex-II Pro/ X Series (Referenciado de <sup>44</sup>).

## Virtex-4 Series:

Table 1: Virtex-4 FPGA Family Members

Device	Configurable Logic Blocks (CLBs) <sup>(1)</sup>				XtremeDSP Slices <sup>(2)</sup>	Block RAM		DCMs	PMCDs	PowerPC Processor Blocks	Ethernet MACs	RocketIO Transceiver Blocks	Total I/O Banks	Max User I/O
	Array <sup>(3)</sup> Row x Col	Logic Cells	Slices	Max Distributed RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)							
XC4VLX15	64 x 24	13,824	6,144	96	32	48	864	4	0	N/A	N/A	N/A	9	320
XC4VLX25	96 x 28	24,192	10,752	168	48	72	1,296	8	4	N/A	N/A	N/A	11	448
XC4VLX40	128 x 36	41,472	18,432	288	64	96	1,728	8	4	N/A	N/A	N/A	13	640
XC4VLX60	128 x 52	59,904	26,624	416	64	160	2,880	8	4	N/A	N/A	N/A	13	640
XC4VLX80	160 x 56	80,640	35,840	560	80	200	3,600	12	8	N/A	N/A	N/A	15	768
XC4VLX100	192 x 64	110,592	49,152	768	96	240	4,320	12	8	N/A	N/A	N/A	17	960
XC4VLX160	192 x 88	152,064	67,584	1056	96	288	5,184	12	8	N/A	N/A	N/A	17	960
XC4VLX200	192 x 116	200,448	89,088	1392	96	336	6,048	12	8	N/A	N/A	N/A	17	960
XC4VSX25	64 x 40	23,040	10,240	160	128	128	2,304	4	0	N/A	N/A	N/A	9	320
XC4VSX35	96 x 40	34,560	15,360	240	192	192	3,456	8	4	N/A	N/A	N/A	11	448
XC4VSX55	128 x 48	55,296	24,576	384	512	320	5,760	8	4	N/A	N/A	N/A	13	640
XC4VFX12	64 x 24	12,312	5,472	86	32	36	648	4	0	1	2	N/A	9	320
XC4VFX20	64 x 36	19,224	8,544	134	32	68	1,224	4	0	1	2	8	9	320
XC4VFX40	96 x 52	41,904	18,624	291	48	144	2,592	8	4	2	4	12	11	448
XC4VFX60	128 x 52	56,880	25,280	395	128	232	4,176	12	8	2	4	16	13	576
XC4VFX100	160 x 68	94,896	42,176	659	160	376	6,768	12	8	2	4	20	15	768
XC4VFX140	192 x 84	142,128	63,168	987	192	552	9,936	20	8	2	4	24	17	896

**Notes:**

- One CLB = Four Slices = Maximum of 64 bits.
- Each XtremeDSP slice contains one 18 x 18 multiplier, an adder, and an accumulator
- Some of the row/column array is used by the processors in the FX devices.

Tabla 47: Familia Virtex-4 Series (Referenciado de <sup>45</sup>).

<sup>44</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds083.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds083.pdf)

## Virtex-5 Series:

Table 1: Virtex-5 FPGA Family Members

Device	Configurable Logic Blocks (CLBs)			DSP48E Slices <sup>(2)</sup>	Block RAM Blocks			CMTs <sup>(4)</sup>	PowerPC Processor Blocks	Endpoint Blocks for PCI Express	Ethernet MACs <sup>(5)</sup>	Max RocketIO Transceivers <sup>(6)</sup>		Total I/O Banks <sup>(8)</sup>	Max User I/O <sup>(7)</sup>
	Array (Row x Col)	Virtex-5 Slices <sup>(1)</sup>	Max Distributed RAM (Kb)		18 Kb <sup>(3)</sup>	36 Kb	Max (Kb)					GTP	GTX		
XC5VLX30	80 x 30	4,800	320	32	64	32	1,152	2	N/A	N/A	N/A	N/A	N/A	13	400
XC5VLX50	120 x 30	7,200	480	48	96	48	1,728	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX85	120 x 54	12,960	840	48	192	96	3,456	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX110	160 x 54	17,280	1,120	64	256	128	4,608	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX155	160 x 76	24,320	1,640	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX220	160 x 108	34,560	2,280	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX330	240 x 108	51,840	3,420	192	576	288	10,368	6	N/A	N/A	N/A	N/A	N/A	33	1,200
XC5VLX20T	60 x 26	3,120	210	24	52	26	936	1	N/A	1	2	4	N/A	7	172
XC5VLX30T	80 x 30	4,800	320	32	72	36	1,296	2	N/A	1	4	8	N/A	12	360
XC5VLX50T	120 x 30	7,200	480	48	120	60	2,160	6	N/A	1	4	12	N/A	15	480
XC5VLX85T	120 x 54	12,960	840	48	216	108	3,888	6	N/A	1	4	12	N/A	15	480
XC5VLX110T	160 x 54	17,280	1,120	64	296	148	5,328	6	N/A	1	4	16	N/A	20	680
XC5VLX155T	160 x 76	24,320	1,640	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX220T	160 x 108	34,560	2,280	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX330T	240 x 108	51,840	3,420	192	648	324	11,664	6	N/A	1	4	24	N/A	27	960
XC5VSX35T	80 x 34	5,440	520	192	168	84	3,024	2	N/A	1	4	8	N/A	12	360
XC5VSX50T	120 x 34	8,160	780	288	264	132	4,752	6	N/A	1	4	12	N/A	15	480
XC5VSX95T	160 x 46	14,720	1,520	640	488	244	8,784	6	N/A	1	4	16	N/A	19	640
XC5VSX240T	240 x 78	37,440	4,200	1,056	1,032	516	18,576	6	N/A	1	4	24	N/A	27	960
XC5VTX150T	200 x 58	23,200	1,500	80	456	228	8,208	6	N/A	1	4	N/A	40	20	680
XC5VTX240T	240 x 78	37,440	2,400	96	648	324	11,664	6	N/A	1	4	N/A	48	20	680
XC5VFX30T	80 x 38	5,120	380	64	136	68	2,448	2	1	1	4	N/A	8	12	360
XC5VFX70T	160 x 38	11,200	820	128	296	148	5,328	6	1	3	4	N/A	16	19	640
XC5VFX100T	160 x 56	16,000	1,240	256	456	228	8,208	6	2	3	4	N/A	16	20	680
XC5VFX130T	200 x 56	20,480	1,580	320	596	298	10,728	6	2	3	6	N/A	20	24	840
XC5VFX200T	240 x 68	30,720	2,280	384	912	456	16,416	6	2	4	8	N/A	24	27	960

### Notes:

1. Virtex-5 FPGA slices are organized differently from previous generations. Each Virtex-5 FPGA slice contains four LUTs and four flip-flops (previously it was two LUTs and two flip-flops.)
2. Each DSP48E slice contains a 25 x 18 multiplier, an adder, and an accumulator.
3. Block RAMs are fundamentally 36 Kbits in size. Each block can also be used as two independent 18-Kbit blocks.
4. Each Clock Management Tile (CMT) contains two DCMs and one PLL.
5. This table lists separate Ethernet MACs per device.
6. RocketIO GTP transceivers are designed to run from 100 Mb/s to 3.75 Gb/s. RocketIO GTX transceivers are designed to run from 150 Mb/s to 6.5 Gb/s.
7. This number does not include RocketIO transceivers.
8. Includes configuration Bank 0.

Tabla 48: Familia Virtex-5 Series (Referenciado de <sup>46</sup>).

<sup>45</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds112.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds112.pdf)

<sup>46</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds100.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds100.pdf)

## Virtex-6 Series:

**Table 1: Virtex-6 FPGA Feature Summary by Device**

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices <sup>(2)</sup>	Block RAM Blocks			MMCMs <sup>(4)</sup>	Interface Blocks for PCI Express	Ethernet MACs <sup>(5)</sup>	Maximum Transceivers		Total I/O Banks <sup>(6)</sup>	Max User I/O <sup>(7)</sup>
		Slices <sup>(1)</sup>	Max Distributed RAM (Kb)		18 Kb <sup>(3)</sup>	36 Kb	Max (Kb)				GTX	GTH		
XC6VLX75T	74,496	11,640	1,045	288	312	156	5,616	6	1	4	12	0	9	360
XC6VLX130T	128,000	20,000	1,740	480	528	264	9,504	10	2	4	20	0	15	600
XC6VLX195T	199,680	31,200	3,040	640	688	344	12,384	10	2	4	20	0	15	600
XC6VLX240T	241,152	37,680	3,650	768	832	416	14,976	12	2	4	24	0	18	720
XC6VLX365T	364,032	56,880	4,130	576	832	416	14,976	12	2	4	24	0	18	720
XC6VLX550T	549,888	85,920	6,200	864	1,264	632	22,752	18	2	4	36	0	30	1200
XC6VLX760	758,784	118,560	8,280	864	1,440	720	25,920	18	0	0	0	0	30	1200
XC6VSX315T	314,880	49,200	5,090	1,344	1,408	704	25,344	12	2	4	24	0	18	720
XC6VSX475T	476,160	74,400	7,640	2,016	2,128	1,064	38,304	18	2	4	36	0	21	840
XC6VHX250T	251,904	39,360	3,040	576	1,008	504	18,144	12	4	4	48	0	8	320
XC6VHX255T	253,440	39,600	3,050	576	1,032	516	18,576	12	2	2	24	24	12	480
XC6VHX380T	382,464	59,760	4,570	864	1,536	768	27,648	18	4	4	48	24	18	720
XC6VHX565T	566,784	88,560	6,370	864	1,824	912	32,832	18	4	4	48	24	18	720

### Notes:

1. Each Virtex-6 FPGA slice contains four LUTs and eight flip-flops, only some slices can use their LUTs as distributed RAM or SRLs.
2. Each DSP48E1 slice contains a 25 x 18 multiplier, an adder, and an accumulator.
3. Block RAMs are fundamentally 36 Kbits in size. Each block can also be used as two independent 18 Kb blocks.
4. Each CMT contains two mixed-mode clock managers (MMCM).
5. This table lists individual Ethernet MACs per device.
6. Does not include configuration Bank 0.
7. This number does not include GTX or GTH transceivers.

Tabla 49: Familia Virtex-6 series (Referenciado de <sup>47</sup>).

<sup>47</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds150.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds150.pdf)

## Virtex-7 Series:

Table 6: Virtex-7 FPGA Feature Summary

Device <sup>(1)</sup>	Logic Cells	Configurable Logic Blocks (CLBs)		DSP Slices <sup>(3)</sup>	Block RAM Blocks <sup>(4)</sup>			CMTs <sup>(5)</sup>	PCIe <sup>(6)</sup>	GTX	GTH	GTZ	XADC Blocks	Total I/O Banks <sup>(7)</sup>	Max User I/O <sup>(8)</sup>	SLRs <sup>(9)</sup>
		Slices <sup>(2)</sup>	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)									
XC7V585T	582,720	91,050	6,938	1,260	1,590	795	28,620	18	3	36	0	0	1	17	850	N/A
XC7V2000T	1,954,560	305,400	21,550	2,160	2,584	1,292	46,512	24	4	36	0	0	1	24	1,200	4
XC7VX330T	326,400	51,000	4,388	1,120	1,500	750	27,000	14	2	0	28	0	1	14	700	N/A
XC7VX415T	412,160	64,400	6,525	2,160	1,760	880	31,680	12	2	0	48	0	1	12	600	N/A
XC7VX485T	485,760	75,900	8,175	2,800	2,060	1,030	37,080	14	4	56	0	0	1	14	700	N/A
XC7VX550T	554,240	86,600	8,725	2,880	2,360	1,180	42,480	20	2	0	80	0	1	16	600	N/A
XC7VX690T	693,120	108,300	10,888	3,600	2,940	1,470	52,920	20	3	0	80	0	1	20	1,000	N/A
XC7VX980T	979,200	153,000	13,838	3,600	3,000	1,500	54,000	18	3	0	72	0	1	18	900	N/A
XC7VX1140T	1,139,200	178,000	17,700	3,360	3,760	1,880	67,680	24	4	0	96	0	1	22	1,100	4
XC7VH580T	580,480	90,700	8,850	1,680	1,880	940	33,840	12	2	0	48	8	1	12	600	2
XC7VH870T	876,160	136,900	13,275	2,520	2,820	1,410	50,760	18	3	0	72	16	1	6	300	3

**Notes:**

1. EasyPath™-7 FPGAs are also available to provide a fast, simple, and risk-free solution for cost reducing Virtex-7 T and Virtex-7 XT FPGA designs
2. Each 7 series FPGA slice contains four LUTs and eight flip-flops; only some slices can use their LUTs as distributed RAM or SRLs.
3. Each DSP slice contains a pre-adder, a 25 x 18 multiplier, an adder, and an accumulator.
4. Block RAMs are fundamentally 36 Kb in size; each block can also be used as two independent 18 Kb blocks.
5. Each CMT contains one MMCM and one PLL.
6. Virtex-7 T FPGA Interface Blocks for PCI Express support up to x8 Gen 2. Virtex-7 XT and Virtex-7 HT Interface Blocks for PCI Express support up to x8 Gen 3, with the exception of the XC7VX485T device, which supports x8 Gen 2.
7. Does not include configuration Bank 0.
8. This number does not include GTX, GTH, or GTZ transceivers.
9. Super logic regions (SLRs) are the constituent parts of FPGAs that use SSI technology. Virtex-7 HT devices use SSI technology to connect SLRs with 28.05 Gb/s transceivers.

Tabla 50: Familia Virtex-7 Series (Referenciado de <sup>48</sup>)

<sup>48</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf)

## 5. Aspectos económicos

### 5.1 Introducción

En este capítulo nos adentramos en varios aspectos económicos relacionados con las FPGAs de Xilinx para que el lector pueda tener una idea general sobre qué datos manejamos cuando hablamos de costes de FPGAs. Hablaremos de precios totalmente actualizados de las diferentes familias de FPGAs, tanto del precio más económico de una FPGA al dispositivo más caro. Mostraremos como dato de interés el gráfico de valores de Xilinx. También relacionaremos la parte económica con la tecnológica, analizando los costes normalizados de las FPGAs en función de la tasa de velocidad (speed rate), por cantidad de CLBs y pines I/O, poniendo como ejemplo las FPGAs Spartan-6 y Virtex-6.

### 5.2 Gráfico de valores compañía Xilinx

A continuación exponemos un gráfico realizado con las herramientas interactivas online de Nasdaq, dicho gráfico representa varios índices de valores de la compañía Xilinx desde que salió a bolsa en 1993 hasta la fecha. La llamada burbuja *puntocom* fue una burbuja especulativa tecnológica que se tuvo lugar entre 1995 y 2000 en el mercado de valores tecnológicos de EEUU, según se refleja en el índice Nasdaq, concretamente se produce un gran pico en el año 2000. Este pico a su vez coincidió con la fabricación de las familias Spartan y Virtex por parte de Xilinx, las cuales implicaban menor consumo, mayor versatilidad y aumento de eficiencia. Estos factores se sumaron a una serie de novedades en diseño y arquitectura, y a un conjunto de avances importantes en cuanto a software. Todo ello produjo un gran incremento en las ventas de la compañía.

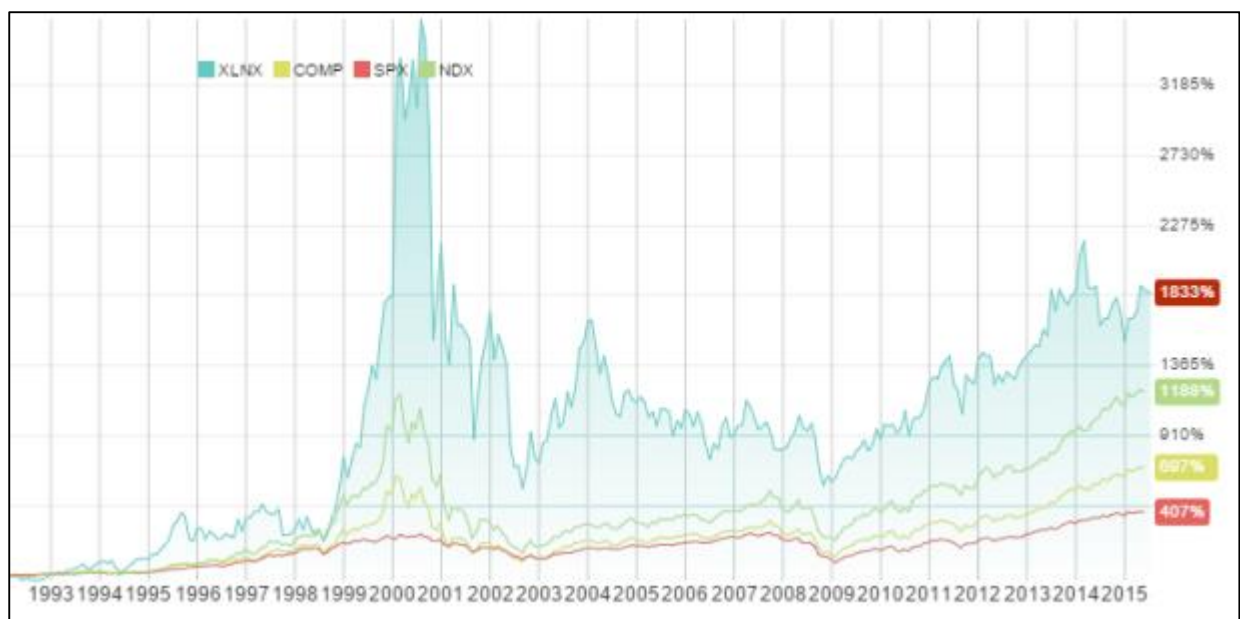


Fig. 33: Gráfico histórico de valores compañía Xilinx (Producido con herramientas de <sup>49</sup>).

<sup>49</sup> <http://www.nasdaq.com/symbol/xlnx/interactive-chart>

### 5.3 Precio por FPGA

En el siguiente apartado se muestra el precio en dólares (USD, \$) de las diferentes familias de FPGAs de Xilinx - XC Series, Spartan y Virtex -. El valor de los precios es por la compra de una unidad, y esta extraído de los dos mayores y más importantes distribuidores de Xilinx en el mundo, digikey y avnetExpress. Estos gráficos nos darán una idea de cómo puede variar una misma FPGA, dependiendo a sus especificaciones técnicas.

#### 5.3.1 Precio FPGA de XC Series

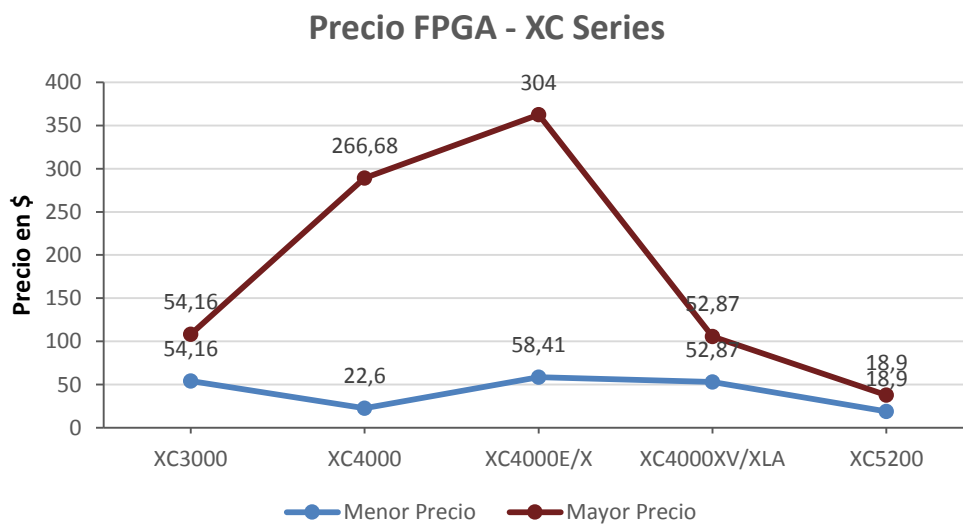


Fig.34: Gráfica precios XC Series. (Datos obtenidos de <sup>50</sup>).

Las XC Series son bastante económicas por lo general, teniendo en cuenta que ya casi se han quedado obsoletas, exceptuando las XC4000 y las XC4000E/X que se disparan en precio comparadas con las demás.

<sup>50</sup> Distribuidores oficiales Xilinx: [www.digikey.com](http://www.digikey.com) y [www.avnetexpress.avnet.com](http://www.avnetexpress.avnet.com).

### 5.3.2 Precio FPGA de Spartan Series

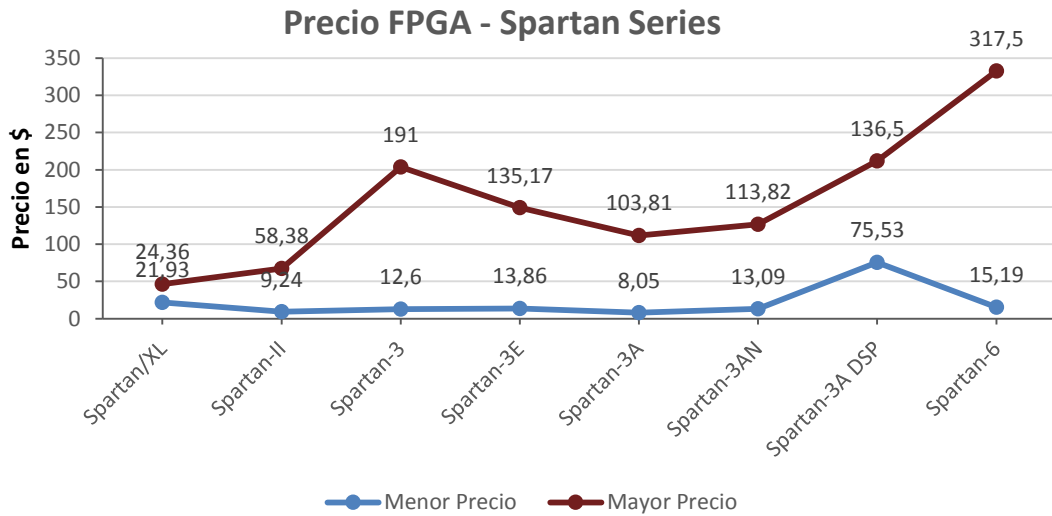


Fig. 35: Gráfica precios Spartan Series. (Datos obtenidos de <sup>51</sup>).

Vemos como a pesar del salto evolutivo en cuanto a la tecnología se refiere los modelos Spartan siguen siendo bastante económicos como sus predecesoras. Los dispositivos más baratos de toda la gama cuestan unos pocos dólares. Solo la Spartan-6 se va a los 300 dólares.

### 5.3.3 Precio FPGA de Virtex Series

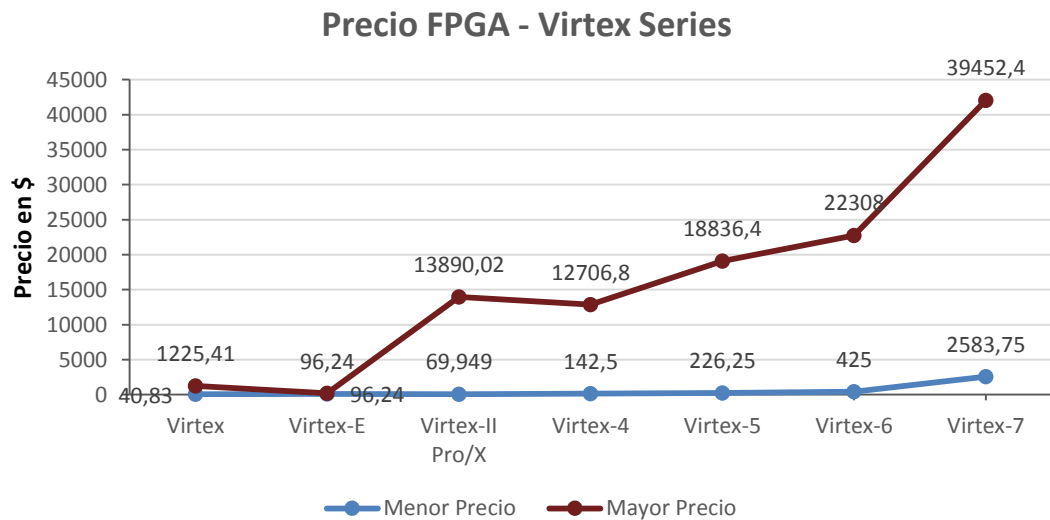


Fig. 36: Gráfica precios Virtex Series. Datos obtenidos de <sup>52</sup>

La familia Virtex es sin duda la más cara. A partir de la Virtex-II los modelos más caros rondan las decenas de miles de dólares. El modelo más costoso de la Virtex-7 llega casi a los cuarenta mil dólares.

<sup>51</sup> Distribuidores oficiales Xilinx: [www.digikey.com](http://www.digikey.com) y [www.avnetexpress.avnet.com](http://www.avnetexpress.avnet.com).

<sup>52</sup> Distribuidores oficiales Xilinx: [www.digikey.com](http://www.digikey.com) y [www.avnetexpress.avnet.com](http://www.avnetexpress.avnet.com).

## 5.4 Precios normalizados Vs encapsulados y otros parámetros

En este apartado analizaremos el precio normalizado frente a tres parámetros tecnológicos considerados individualmente (velocidad, CLB, y pin I/O) de las dos FPGAs más novedosas de Xilinx: Spartan-6 y Virtex-6, con el fin de saber qué repercusión económica tienen estos aspectos tecnológicos en los chips.

Para que el lector tenga conocimiento y le resulte más fácil comprender los términos y a qué hace referencia la nomenclatura utilizada por Xilinx en sus FPGAs, en la figura se muestra un ejemplo sencillo, que utilizaremos en este capítulo.

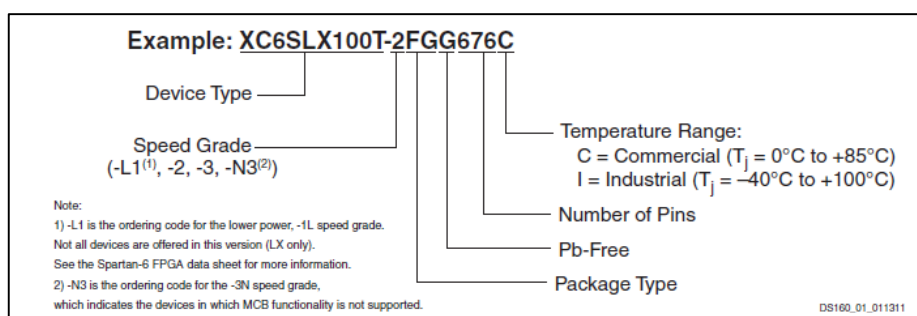


Fig. 37: Nomenclatura empleada por Xilinx (Referenciado de<sup>53</sup>)

### 5.4.1 Precio normalizado vs velocidad

Elegiremos dos modelos de cada familia de FPGAs con diferente velocidad, con un mismo encapsulado y un mismo número de pines.

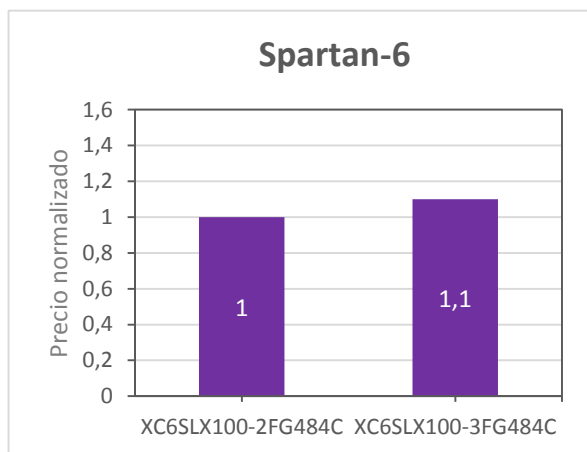


Fig. 38: Gráfico precio norm. vs velocidad: Spartan-6

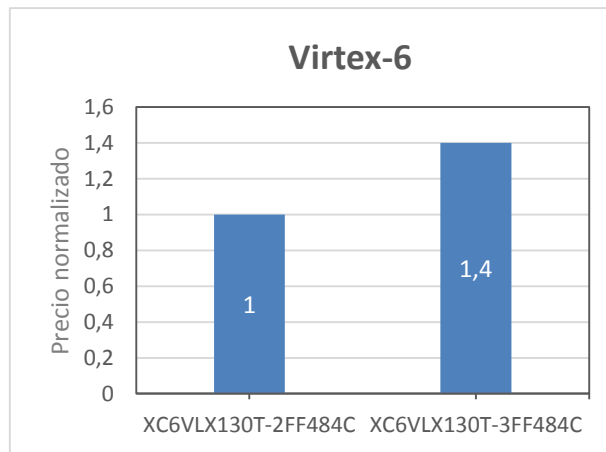


Fig. 39: Gráfico precio norm. vs velocidad: Virtex-6

	Dispositivo	Velocidad	Precio (\$)	Precio normalizado
<b>Spartan-6</b>	XC6SLX100-2FG484C	2	124,04	1
	XC6SLX100-3FG484C	3	136,43	1,1
<b>Virtex-6</b>	XC6VLX130T-2FF484C	2	960	1
	XC6VLX130T-3FF484C	3	1343,75	1,4

Tabla 51: Tabla resumen dispositivo, velocidad y precio.

<sup>53</sup> [http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf)



### 5.4.2 Precio normalizado vs número de CLBs

Elegiremos dos modelos de cada familia de FPGAs con diferente número de CLBs, con un mismo encapsulado, un mismo número de pines y una misma tasa de velocidad.

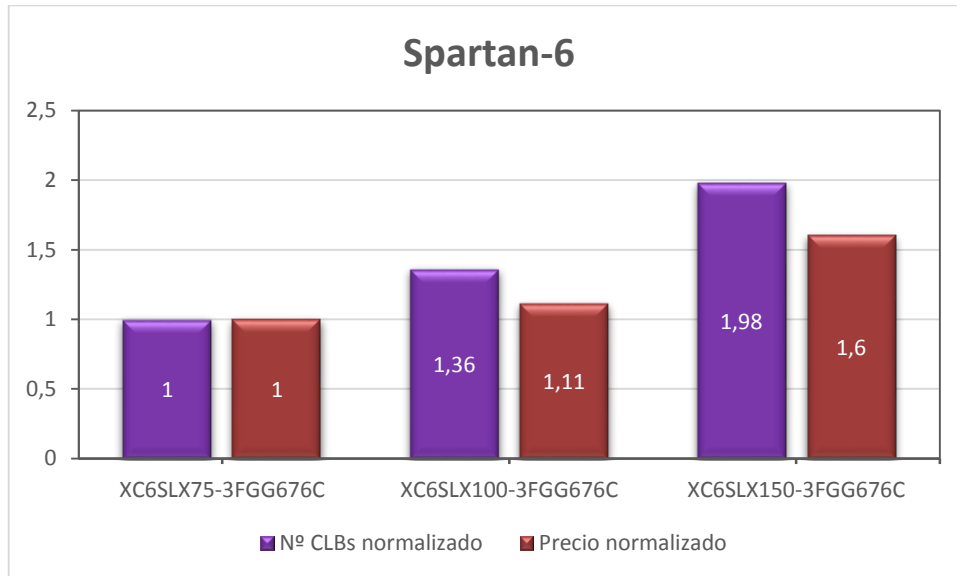


Fig. 40: Gráfico precio norm. vs núm. CLBs: Spartan-6.

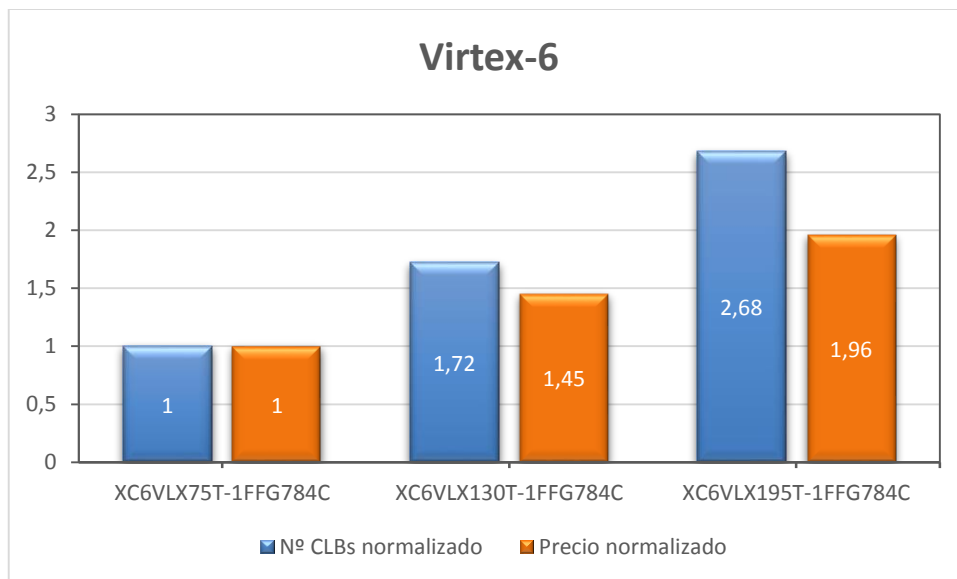


Fig. 41: Gráfico precio norm. vs núm. CLBs: Virtex-6.

	Dispositivo	Nº CLBs	Nº CLBs normalizado	Precio (\$)	Precio normalizado
<b>Spartan-6</b>	XC6SLX75-3FGG676C	5831	1	125,93	1
	XC6SLX100-3FGG676C	7911	1,36	140,00	1,11
	XC6SLX150-3FGG676C	11519	1,98	201,25	1,60
<b>Virtex-6</b>	XC6VLX75T-1FFG784C	5820	1	610,00	1
	XC6VLX130T-1FFG784C	10000	1,72	883,75	1,45
	XC6VLX195T-1FFG784C	15600	2,68	1197,5	1,96

Tabla 52: Tabla resumen dispositivo, núm. CLBs y precio.

### 5.4.3 Precio normalizado vs número de pines I/O

Elegiremos dos modelos de cada familia de FPGAs con diferente número de pines I/O, con un mismo encapsulado, un mismo número de CLBs y una misma tasa de velocidad.

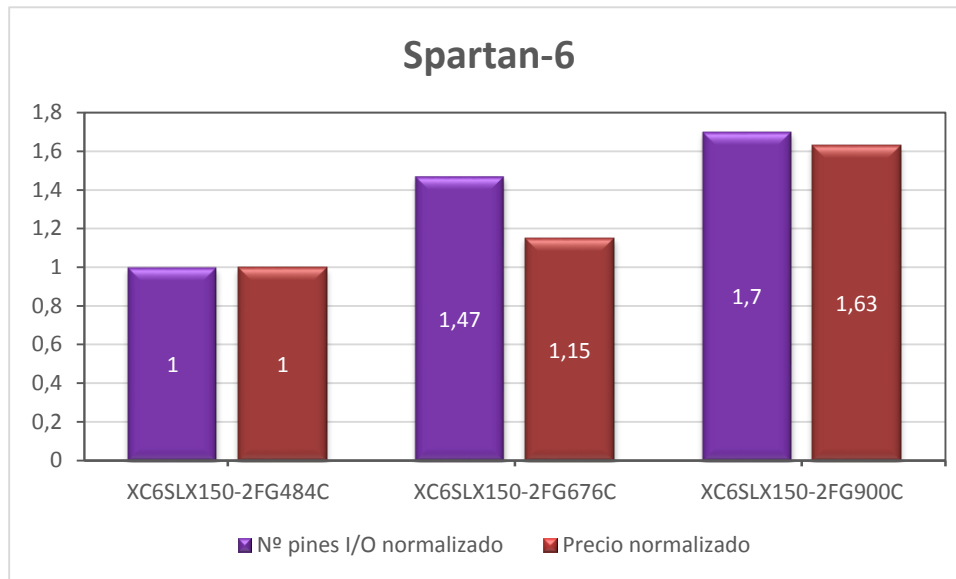


Fig. 42: Gráfico precio norm. vs núm. pines I/O: Spartan-6.

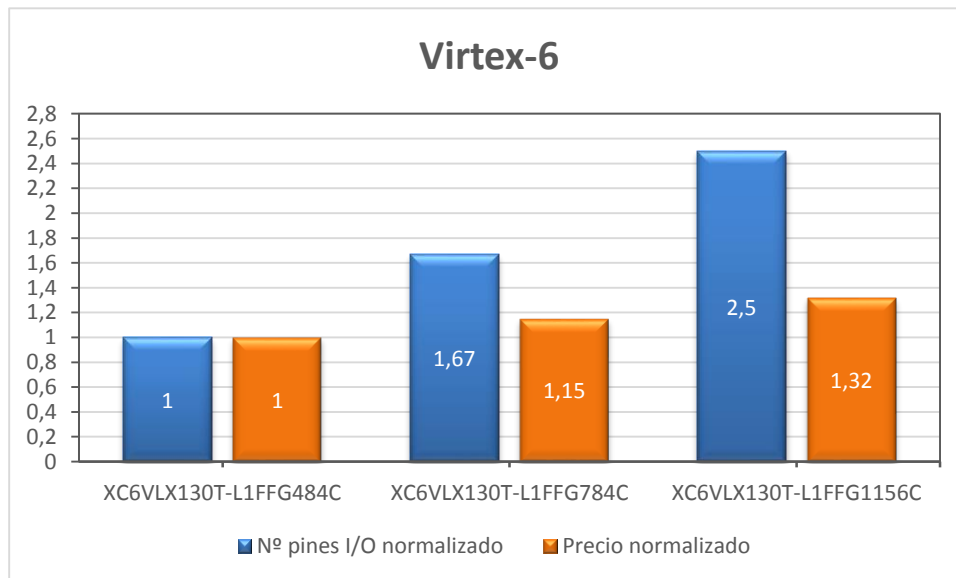


Fig. 43: Gráfico precio norm. vs núm. Pines I/O: Virtex-6.

	Dispositivo	Nº pines I/O	Nº pines I/O normalizado	Precio (\$)	Precio normalizado
<b>Spartan-6</b>	XC6SLX150-2FG484C	338	1	158,75	1
	XC6SLX150-2FG676C	498	1,47	182,5	1,15
	XC6SLX150-2FG900C	576	1,7	258,46	1,63
<b>Virtex-6</b>	XC6VLX130T-L1FFG484C	240	1	960	1
	XC6VLX130T-L1FFG784C	400	1,67	1103,75	1,15
	XC6VLX130T-L1FFG1156C	600	2,5	1267,5	1,32

Tabla 53: Tabla resumen dispositivo, núm. CLBs y precio.

## 6. Análisis de la evolución de las FPGAs Xilinx a través del boletín Xcell Journal

### 6.1 Introducción

Las revistas Xcell Journal de Xilinx ofrecen información en profundidad de las últimas aplicaciones y avances en las tecnologías de hardware y software, mercados, sistemas, servicios y apoyo; tanto de Xilinx como de sus socios.

En este capítulo hemos analizado y examinado uno por uno los 90 boletines oficiales de Xilinx que existen hasta la fecha, los cuales se publican cada cuatrimestre desde 1988, con el fin de destacar y mencionar artículos, noticias, novedades o incluso datos de interés del mundo de las FPGAs de Xilinx.

### 6.2 Tabla de eventos

En la siguiente tabla se muestran los principales acontecimientos que, bajo nuestra opinión y punto de vista, hemos pensado que son, o han podido ser, relevantes y de gran importancia durante los treinta años de historia de la compañía Xilinx. Si el lector está interesado, quiere profundizar y leer más al respecto sobre algún evento mencionado en esta tabla, pueden utilizar esta tabla como índice, consultando a qué boletín pertenece (lado izquierdo de la tabla) y descargarlo de la página oficial de Xilinx: <http://www.xilinx.com/about/xcell-publications/xcell-journal.html>.

La tabla se ha realizado a partir de cinco conceptos relacionados con las FPGAs, seleccionando las noticias de acuerdo con los siguientes criterios:

- **Dispositivos FPGAs** → Salida al mercado de modelos de FPGAs.
- **Encapsulados** → Cambio de encapsulados.
- **Software** → Nuevas herramientas de software para el diseño, simulación o configuración de FPGAs
- **Aplicaciones** → Diferentes aplicaciones en las que se utilizan las FPGAs en los diversos campos (defensa, arquitectura digital, medicina, espacio, automovilismo, etc.).
- **Datos de interés** → Datos diversos relacionados con la empresa Xilinx.

	DISP. FPGAs	ENCAPSULADOS	SOFTWARE	APLICACIONES	DATOS INTERES
<b>XCELL 01</b> Q4 1988	<ul style="list-style-type: none"> <li>•XC 2064, 2018</li> <li>•XC 3020, 3030, 3041, 3064</li> </ul>	<ul style="list-style-type: none"> <li>•48 a 175 pines</li> </ul>	<ul style="list-style-type: none"> <li>•XACT v.2.12</li> <li>•Simulador P-Silos</li> <li>•Captura Esquemas: FutureNET</li> </ul>		<ul style="list-style-type: none"> <li>•Memoria necesaria para correr softwares = 16 Mb</li> </ul>
<b>XCELL 02</b> Q1 1989	<ul style="list-style-type: none"> <li>•XC 3090</li> </ul>		<ul style="list-style-type: none"> <li>•XACT v.2.12</li> <li>•WorkStation - Apollo, -SUN3</li> </ul>		<ul style="list-style-type: none"> <li>•Sistemas instalados Xilinx en el mundo 3000</li> </ul>

					a 4000
<b>XCELL 03</b> Q3 1989	•XC 4000 Family		<ul style="list-style-type: none"> <li>•XACT v.2.20</li> <li>•WorkStation Daisy, Mentor</li> <li>•Captura Esquemas: Dash-LCA</li> <li>•Herramienta: Placement Automatic basado en Simulated Annealing</li> <li>•50 Macros</li> </ul>		
<b>XCELL 04</b> Q4 1989		•44 a 175 pines	•Orcad Interface		<ul style="list-style-type: none"> <li>•Terremoto San Francisco</li> <li>•Muere Ross Freeman (inventor FPGAs)</li> </ul>
<b>XCELL 05</b> Q1 1990			•XACT v.2.30	<ul style="list-style-type: none"> <li>•Acumulador a 50MHz</li> <li>•Sumador a 13MHz</li> <li>•Sumador condicional a 13MHz</li> </ul>	
<b>XCELL 06</b> Q4 1990			•Interface ViewLogic	<ul style="list-style-type: none"> <li>•Acumulador a 60MHz</li> <li>•Sumador 16b a 30MHz</li> <li>•Contador 60b a 30MHz</li> <li>•Frecuencímetro 8dig a 100MHz</li> </ul>	
<b>XCELL 07</b> Q2 1992	•XC 4002, 4003, 4005, 4006, 4008, 4010		<ul style="list-style-type: none"> <li>•Modelos Spice</li> <li>•X-Blox y lenguaje ABEL</li> <li>•Integración Boundary Scan</li> </ul>	<ul style="list-style-type: none"> <li>•Contador 16b a 150MHz</li> <li>•Contador binario 16b a 166MHz</li> <li>•Multiplicador 4x4b a 18MHz</li> </ul>	
<b>XCELL 08</b> Q4 1992		•44 a 208 pines		<ul style="list-style-type: none"> <li>•Contador 16b a 200MHz</li> <li>•Sintetizador de frecuencia a 225MHz</li> </ul>	
<b>XCELL 09</b> Q2 1993	•XC 3000L (Low Power)	•44 a 240 pines	•PREP: Juego circuitos de referencias para probar FPGAs	<ul style="list-style-type: none"> <li>•Contador 16b a 200MHz</li> <li>•Sintetizador de frecuencia a 225MHz</li> </ul>	
<b>XCELL 10</b> Q3 1993	•XC 4013		•Interface - SinopSis, -Cadence		
<b>XCELL 11</b> Q4 1993		•Nuevo encapsulado: BGA	•XACT v.5.0	<ul style="list-style-type: none"> <li>•Contador 16b a 40MHz</li> <li>•Multiplicador 4x4b a 19MHz</li> </ul>	

<b>XCELL 12</b> Q1 1994			<ul style="list-style-type: none"> <li>•ALDEC</li> <li>•ALTIUM</li> <li>•Compass</li> <li>•InterGraph</li> </ul>		•Aniversario 10 años Xilinx
<b>XCELL 13</b> Q2 1994	•XC 4025				•Se inaugura centro desarrollo en Dublín
<b>XCELL 14</b> Q3 1994		•44 a 299 pines		•Multiplicador 4x4b a 20MHz	
<b>XCELL 15</b> Q4 1994	•XC 5000 Family		•XACT v.5.1		•Software XACT v.5.1 primero en venir en CD-ROM
<b>XCELL 16</b> Q1 1995	•XC 3100-1		•VHDL	<ul style="list-style-type: none"> <li>•Retardo LUT (Tilo) 1,75 ns</li> <li>•Retardo flip-flip 1,4 ns</li> <li>•Retardo Setup 1,7ns</li> <li>•Custom computers: SPLASH-1 Virtual Computers</li> <li>•FPGAs para Bus PCI</li> </ul>	
<b>XCELL 17</b> Q2 1995		•44 a 304 pines	•Xilinx compra NeoCAD		
<b>XCELL 18</b> Q3 1995	<ul style="list-style-type: none"> <li>•XC 8100</li> <li>•XC 6200</li> <li>•XC 4000E</li> </ul>			<ul style="list-style-type: none"> <li>•Se crea placa Videoconferencia</li> <li>•Maquina estados a 69MHz</li> <li>•Contador a 115MHz</li> </ul>	•Se abre Xilinx Lab en Dublín
<b>XCELL 19</b> Q4 1995	•XC 4000 Hi Rel (Para uso aeroespacial)				
<b>XCELL 20</b> Q1 1996	•XC 4000EX	•44 a 596 pines			
<b>XCELL 21</b> Q2 1996	•XC 4000 con Carry Logic		•XACT se llamará a partir de ahora Xilinx Foundation	•Contador a 87MHz	
<b>XCELL 22</b> Q3 1996	•Se deja de fabricar XC 8100		•Synopsys FPGA Express		
<b>XCELL 23</b> Q4 1996		•44 a 560 pines		•MiroTech Microsystem	
<b>XCELL 24</b> Q1 1997					•Estudio sobre alimentación (Voltaje) de FPGAs
<b>XCELL 25</b> Q2 1997			•DSP Core Generator		
<b>XCELL 26</b> Q3 1997	<ul style="list-style-type: none"> <li>•XC 4000XL-1 (consigue 100MHz de sistema)</li> <li>•FPGAs a 3,3 V.</li> </ul>		•HardWire		

<b>XCELL 27</b> Q1 1998	<ul style="list-style-type: none"> <li>•Virtex (cara)</li> <li>•Spartan(barata)</li> <li>•FPGAs a 125um</li> <li>XC 4000XV con 500k puertas</li> </ul>			<ul style="list-style-type: none"> <li>•Generador pulsos a 200MHz</li> </ul>	
<b>XCELL 28</b> Q2 1998			<ul style="list-style-type: none"> <li>•Leonardo</li> <li>•Xilinx Student Edition</li> </ul>	<ul style="list-style-type: none"> <li>•Contador a 400MHz</li> </ul>	
<b>XCELL 29</b> Q3 1998					
<b>XCELL 30</b> Q4 1998					
<b>XCELL 31</b> Q1 1999	<ul style="list-style-type: none"> <li>•FPGAs con 1M puertas</li> <li>•FPGAs a 2,5 V.</li> </ul>	<ul style="list-style-type: none"> <li>•44 a 680 pines</li> </ul>		<ul style="list-style-type: none"> <li>•Multiplicador a 200MHz</li> </ul>	
<b>XCELL 32</b> Q2 1999			<ul style="list-style-type: none"> <li>•Alliance Core</li> </ul>		<ul style="list-style-type: none"> <li>•Aniversario 15 años Xilinx. Articulo interesante "15 años de innovación"</li> <li>•Primeros cores (nucleos) desarrollados por terceras empresas</li> </ul>
<b>XCELL 33</b> Q3 1999					<ul style="list-style-type: none"> <li>•Xilinx adquiere CoolRunner</li> </ul>
<b>XCELL 34</b> Q4 1999	<ul style="list-style-type: none"> <li>•Virtex-E</li> </ul>	<ul style="list-style-type: none"> <li>•44 a 768 pines</li> </ul>	<ul style="list-style-type: none"> <li>•Uso lenguaje C en FPGAs</li> </ul>		
<b>XCELL 35</b> Q1 2000	<ul style="list-style-type: none"> <li>•Spartan-II</li> </ul>				
<b>XCELL 36</b> Q2 2000	<ul style="list-style-type: none"> <li>•FPGAs de 1Mb de RAM</li> </ul>	<ul style="list-style-type: none"> <li>•Cambio formato de pines a I/O max: 804 User I/O max.</li> </ul>		<ul style="list-style-type: none"> <li>•PCI a 66MHz</li> </ul>	
<b>XCELL 37</b> Q3 2000	<ul style="list-style-type: none"> <li>•PowerPC en Virtex-II</li> </ul>		<ul style="list-style-type: none"> <li>•Matlab trabaja con Xilinx</li> </ul>		
<b>XCELL 38</b> Q4 2000	<ul style="list-style-type: none"> <li>•PlatForm-FPGA</li> </ul>		<ul style="list-style-type: none"> <li>•Procesador ARC</li> </ul>	<ul style="list-style-type: none"> <li>•Filtros FIR en FPGAs</li> </ul>	
<b>XCELL 39</b> Q1 2001	<ul style="list-style-type: none"> <li>•4000 rad-hard (sistemas espaciales)</li> </ul>		<ul style="list-style-type: none"> <li>•WebPack</li> </ul>	<ul style="list-style-type: none"> <li>•MAC (mult/acumulador) 8x8 a 600billion datos/seg</li> </ul>	
<b>XCELL 40</b> Q2 2001	<ul style="list-style-type: none"> <li>•Virtex-II</li> <li>•FPGA con salidas de control automático de impedancia</li> <li>•FPGAs a 1,5 V.</li> </ul>	<ul style="list-style-type: none"> <li>•804 User I/O max, 1517 I/O total</li> </ul>	<ul style="list-style-type: none"> <li>•ISE</li> </ul>		

<b>XCELL 41</b> Q4 2001			•ISE 4.1		•Xilinx Intellectual Property Solutions
<b>XCELL 42</b> Q1 2002	•Virtex-IIPro •I/O Multi-Gigabit transceivers		•ISE 4.2		
<b>XCELL 43</b> Q2 2002			•Co-Design	•DSP para video en tiempo real	•IBM incluirá tecnología Xilinx en sus circuitos integrados ASICs
<b>XCELL 44</b> Q4 2002	•Aparece problema consumo potencia	•1200 User I/O max, 1704 I/O total	•ISE 5.1 •ChipScope	•FPGAs en automóviles	•Gibson guitars con FPGAs Xilinx
<b>XCELL 45</b> Q1 2003	•Virtex-II Pro X (Rocket PHY)	•1200 User I/O max, 1696 I/O total	•ISE 5.2 •PicoBlaze RISC •Handel-C (programación en C)	•BUS PCI	
<b>XCELL 46</b> Q2 2003	•Spartan 3		•EasyPath		
<b>XCELL 47</b> Q4 2003			•ISE 6.1		•FPGAs en F1 •FPGAs en Boeing (aviones)
<b>XCELL 48</b> Q1 2004	•Módulos de Texas Instruments para alimentar FPGAs		•EDK 6.1	•Microprocesadores 8051 en FPGAs	
<b>XCELL 49</b> Q2 2004	•FPGAs encapsuladas sin plomo		•ISE 6.2		•Aniversario 20 años Xilinx
<b>XCELL 50</b> Q3 2004		•1164 User I/O max		•Reconfiguración parcial de FPGAs	•FPGA en robot Rover de Marte
<b>XCELL 51</b> Q4 2004	•Virtex 4	•960 User I/O max, 1760 I/O total		•Software-Defined Radio •Procesamiento de señal basado en FPGA	
<b>XCELL 52</b> Q1 2005	•Diseños bajo consumo en FPGAs		•ISE 6.3		
<b>XCELL 53</b> Q2 2005	•Spartan 3E (barata) •FPGAs de 90nm		•ISE 7.1 •PlanAhead		
<b>XCELL 54</b> Q3 2005					
<b>XCELL 55</b> Q4 2005			•ISE 8.1 (Empiezan a llamarlo XST)		
<b>XCELL 56</b> Q1 2006	•Aparece problema temperatura				
<b>XCELL 57</b> Q2 2006				•Big Data (Mining Data)	

<b>XCELL 58</b> Q3 2006			•ESL	•FPGAs en bioinformática	
<b>XCELL 59</b> Q4 2006	•Virtex 5				
<b>XCELL 60</b> Q2 2007					
<b>XCELL 61</b> Q3 2007					
<b>XCELL 62</b> Q4 2007					
<b>XCELL 63</b> Q1 2008				•Especial número sobre FPGAs en vehículos	
<b>XCELL 64</b> Q2 2008			•Herramientas de Linux		
<b>XCELL 65</b> Q3 2008	•Virtex 4QV(espacio)	•1200 User I/O max, 1738 I/O total			•FPGAs en el CERN
<b>XCELL 66</b> Q4 2008			•System Verilog		
<b>XCELL 67</b> Q1 2009				•FPGAs en satélites	
<b>XCELL 68</b> Q2 2009	•Virtex 6				
<b>XCELL 69</b> Q4 2009				•FPGAs en defensa •FPGAs en medicina	
<b>XCELL 70</b> Q1 2010			•Dynamic Partial Reconfiguration	•FPGAs en TV HD	
<b>XCELL 71</b> Q2 2010	•Virtex 5 con ARM embebido •FPGAs de 28nm				
<b>XCELL 72</b> Q3 2010	•Virtex 7 •Virtex 5QV(espacio) •Artix •Kintex		•ISE 12.2	•MicroBlaze en automóviles •FPGAs en biometría •Especial artículo sobre sincronización	
<b>XCELL 73</b> Q4 2010				•FPGAs en GSM •FPGAs en medicina •Cray con Spartan 3	
<b>XCELL 74</b> Q1 2011					
<b>XCELL 75</b> Q2 2011	•Zynq 7000				
<b>XCELL 76</b> Q3 2011	•Especial número sobre Low-Power				
<b>XCELL 77</b> Q4 2011	•FPGAs con 2.000.000 de puertas				
<b>XCELL 78</b> Q1 2012			•ISE 13.4		



<b>XCELL 79</b> Q2 2012			•Vivado	•CORDIC •Especial artículo sobre supercomputación	
<b>XCELL 80</b> Q3 2012	•Virtex 7 en 3D			•Especial artículo sobre reconfiguración dinámica	
<b>XCELL 81</b> Q4 2012	•FPGAs con control				
<b>XCELL 82</b> Q1 2013					
<b>XCELL 83</b> Q2 2013			•Vivado 2013.1 •Vivado HL		
<b>XCELL 84</b> Q3 2013	•FPGAs de 20nm				
<b>XCELL 85</b> Q4 2013				•FPGAs en Cloud Computing	
<b>XCELL 86</b> Q1 2014			•Vivado 2013.4		
<b>XCELL 87</b> Q2 2014			•Vivado 2014.1 •Xilinx Tcl Store		
<b>XCELL 88</b> Q3 2014				•Desaparece memoria DDR y se aparece memoria serie	
<b>XCELL 89</b> Q4 2014					
<b>XCELL 90</b> Q1 2015	•FPGAs de 16nm				

Tabla 54: Tabla acontecimientos de Xcell Journal (recopilados de<sup>54</sup>).

<sup>54</sup> <http://www.xilinx.com/about/xcell-publications/xcell-journal.html>

### 6.3 Número de eventos destacados por año

El gráfico de la figura 44 recoge el número de eventos relacionados con dispositivos, encapsulados, software, aplicaciones y datos de interés, publicados en los respectivos años por la revista Xcell Journal.

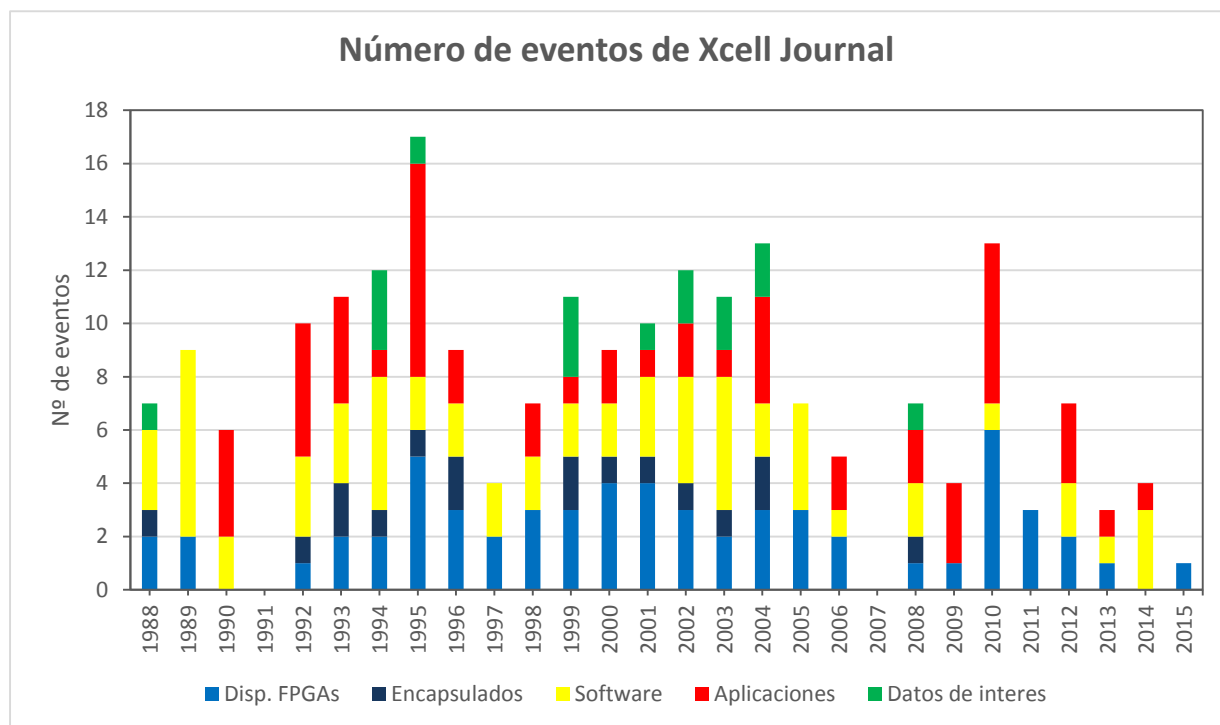


Fig. 44: Gráfico número de eventos por año.

Analizando los resultados recogidos en el gráfico podemos observar varios puntos a tener en cuenta:

- Se produce un incremento ostensible de forma periódica (cada 7 años más o menos) en cuanto a la aparición de acontecimientos tecnológicos relacionados con FPGAs.
- De forma análoga, aproximadamente cada 10 años, nos encontramos con una disminución palpable en el número de novedades presentadas por Xilinx.
- Centrándonos en los dispositivos y en las novedades hardware relacionadas con ellos, vemos cómo Xilinx los ha ido presentando en el mercado de una forma continua en mayor o menor medida.
- Al observar los eventos referidos a encapsulados, percibimos que su número es menor y que se producen de una manera más discontinua. Existe una ausencia notable en los años más recientes.

- La evolución del software se mantiene a un ritmo constante al largo de los años. Diversas compañías, aparte de Xilinx, se han dedicado a desarrollar herramientas de software de diferentes tipos: diseño, simulación, síntesis, o temas relacionados con verificación.
- A lo largo de los 30 años de la vida de Xilinx, hay una gran cantidad de aplicaciones en las que se incorporan de manera relevante FPGAs. Desde los circuitos digitales, hasta campos tan variados como la biometría, la defensa, la medicina, la automoción o la industria aeroespacial.
- En cuanto a otros datos de interés, hay acontecimientos aislados tales como la adquisición de diferentes empresas por parte de Xilinx, o como algunos proyectos significativos con FPGAs en los programas espaciales del planeta Marte o en los trabajos científicos que se llevan a cabo en el CERN.

## 7. Conclusiones

### 7.1 Comentarios

Para este trabajo se ha realizado un estudio de la tecnología hardware de Xilinx. A lo largo de este proyecto se han analizado los siguientes documentos y fuentes:

- 5 libros sobre tecnología FPGA.
- 90 boletines Xcell Journal con una media de 60 páginas cada uno.
- Seguimiento de 30 años de evolución de las FPGAs de Xilinx.
- Información diversa sobre el desarrollo de 3 familias, 25 series y 250 FPGAs.
- 34 hojas de datos con una media de 200 páginas cada una.
- 40 tablas de características.
- 13 bloques lógicos configurables.
- 2 distribuidores online oficiales de Xilinx.
- Diversa documentación digital e impresa del DSLab.
- Diferentes portales electrónicos con noticias, información y datos de Xilinx.

Este manual hace hincapié en el uso de datos originales y referenciados fidedignos para la elaboración de gráficos y tablas.

### 7.2 Conclusiones generales

Con este trabajo se ha desarrollado y documentado un manual de referencia sobre la evolución tecnológica de la empresa Xilinx, con las siguientes conclusiones que se consideran de importancia:

**-Conclusiones de las FPGAs:** El gran éxito de estos chips y su principal ventaja con respecto a dispositivos similares como procesadores o elementos de memoria, son que se pueden reprogramar, lo que añade una enorme flexibilidad al flujo de sus diseños. La lógica programable puede reproducir desde funciones tan sencillas como las llevadas a cabo por una puerta lógica o un sistema combinacional hasta sistemas complejos en un chip. Los costes de desarrollo y adquisición son mucho menores para pequeñas cantidades de dispositivos, y el tiempo empleado en el proceso de diseño y desarrollo es también menor. Es por este motivo que las FPGAs están desbancando del mercado a semiconductores como ASICs, ASSPs, PALs o DPSs. Las principales ventajas son las siguientes:

- Rendimiento
- Precio
- Fiabilidad
- Facilidad de stock
- Tolerancia a fallos de diseño

Las FPGAs, gracias a su versatilidad, pueden usarse para infinidad de aplicaciones que requieran un alto grado de paralelismo y una frecuencia de trabajo elevada.

**- Conclusiones de la tecnología de FPGAs:** Según los resultados obtenidos en este estudio podemos afirmar que la tecnología utilizada en semiconductores ha evolucionado de una forma exponencial durante estos últimos 30 años. En términos numéricos se pueden sintetizar:

- La velocidad del sistema ha aumentado de 35 a 600 MHz (x20 veces el valor inicial).
- El número de las puertas equivalentes se han incrementado de 1,500 de 3,400,000 (x2,200).
- La cantidad de pines I/O de usuario ha ascendido de 74 a 1,200 (x16).
- Los Flip-flops han pasado de ser inicialmente 174 a ser en la actualidad 2,440,000 (x14,000).
- La tecnología de fabricación ha disminuido de 2,000 nm a 28 nm (x70).

El principal salto evolutivo se produjo en el momento de aparición de las familias Spartan y Virtex. Destacando la tecnología de fabricación de los últimos modelos Virtex ultrascale con los cuales la reducción se ha rebajado a 28 nm. Junto a ello es digno de resaltarse la alta velocidad del sistema alcanzada recientemente.

**-Conclusiones de la arquitectura de las FPGAs:** En cuanto a la arquitectura hemos visto su profundo proceso evolutivo. Los primeros bloques lógicos eran muy elementales, estaban compuestos por los componentes esenciales para su funcionamiento (elemento de memoria, LUT, multiplexores y unas pocas entradas y salidas) y ha ido evolucionando progresivamente, transformándose en bloques mucho más complejos. En esta evolución hemos podido observar cómo han ido dividiéndose en celdas y slices, han aumentado sus componentes internos y se pueden crear nuevas funcionalidades tales como memoria RAM, ROM o registros de desplazamientos.

**-Conclusiones de los aspectos económicos de las FPGAs:** En los aspectos económicos podemos sacar varias conclusiones. Por un lado, en términos generales financieros, el valor de la empresa Xilinx ha aumentado considerablemente en el mercado y se ha consolidado como la principal compañía del sector. Por su parte el precio de las FPGAs es bastante reducido considerando la amplia posibilidad de prestaciones que puede proporcionar, en esta aseveración exceptuamos el valor de la gama de alto rendimiento Virtex. Refiriéndonos a las Spartan, los valores de sus FPGAs van desde unos pocos dólares hasta cientos. Hay que tener en cuenta que el precio siempre depende de las características técnicas y prestaciones de cada chip. En cada familia hay una gran cantidad de modelos diferentes, algunos se centran en la lógica, otros en la velocidad, y otros en el consumo de potencia dando al cliente una gran posibilidad de elección y precio a la hora de elegir el dispositivo en relación con la funcionalidad que le quiera dar.

Centrándonos en costes más específicos, hemos observado cómo el precio en función de parámetros tales como el encapsulado, la velocidad, los pines de I/O o el número de CLBs no aumenta de una manera proporcionada en función ni de cada parámetro individual ni de cada modelo de FPGA.

**-Conclusiones de Xilinx:** En términos generales, en cuanto a la compañía Xilinx, podemos extraer las siguientes conclusiones:

- Se trata de la empresa inventora y pionera en el diseño de FPGAs.
- Es la líder mundial en la investigación, el diseño y desarrollo de estos dispositivos.

- Xilinx fue la compañía creadora del concepto Fabless, con lo que la fundición y fabricación se encarga a empresas externas pudiéndose centrar así en el diseño y comercialización del chip.
- Xilinx es el principal comprador de compañías desarrolladoras de herramientas EDA.
- Gracias al análisis del boletín Xcell Journal hemos podido observar los grandes acontecimientos y novedades que se han producido en dicha empresa. Cada año ha ido lanzando al mercado nuevas FPGAs o avances tecnológicos de las mismas. Constantemente ha ido produciendo numerosas aplicaciones y nuevo software relacionados con sus productos.

## Apéndice A: PRESUPUESTO

### **Ejecución Material:**

- Compra de ordenador personal (Software incluido)..... 2,000 €
- Alquiler de impresora láser durante 6 meses..... 50 €
- Material de oficina ..... 50 €
- Total ..... 2,100 €

### **Gastos generales:**

- 21 % sobre Ejecución Material..... 441 €

### **Beneficio Industrial:**

- 6 % sobre Ejecución Material..... 126 €

### **Honorarios Proyecto:**

- 550 horas a 15 € / hora..... 8,250 €

### **Material fungible:**

- Gastos de impresión ..... 60 €
- Encuadernación ..... 200 €

### **Subtotal del presupuesto:**

- Subtotal Presupuesto..... 10,610 €

### **I.V.A aplicable:**

- 21% Subtotal Presupuesto..... 2,228.1 €

### **Total:**

- Total ..... 12,838.1 €

Madrid, Julio de 2015  
El Ingeniero Jefe de Proyecto

Fdo.: Eugenio Carnero García  
Ingeniero de Telecomunicación

## Apéndice B: PLIEGO DE CONDICIONES

Este documento contiene las condiciones legales que guiarán la realización, en este proyecto, de un **Manual de referencia de la evolución tecnológica del Hardware de Xilinx (1985-2015)**. En lo que sigue, se supondrá que el proyecto ha sido encargado por una empresa cliente a una empresa consultora con la finalidad de realizar dicho sistema. Dicha empresa ha debido desarrollar una línea de investigación con objeto de elaborar el proyecto. Esta línea de investigación, junto con el posterior desarrollo de los programas está amparada por las condiciones particulares del siguiente pliego.

Supuesto que la utilización industrial de los métodos recogidos en el presente proyecto ha sido decidida por parte de la empresa cliente o de otras, la obra a realizar se regulará por las siguientes:

### **Condiciones generales**

1. La modalidad de contratación será el concurso. La adjudicación se hará, por tanto, a la proposición más favorable sin atender exclusivamente al valor económico, dependiendo de las mayores garantías ofrecidas. La empresa que somete el proyecto a concurso se reserva el derecho a declararlo desierto.
2. El montaje y mecanización completa de los equipos que intervengan será realizado totalmente por la empresa licitadora.
3. En la oferta, se hará constar el precio total por el que se compromete a realizar la obra y el tanto por ciento de baja que supone este precio en relación con un importe límite si este se hubiera fijado.
4. La obra se realizará bajo la dirección técnica de un Ingeniero Superior de Telecomunicación, auxiliado por el número de Ingenieros Técnicos y Programadores que se estime preciso para el desarrollo de la misma.
5. Aparte del Ingeniero Director, el contratista tendrá derecho a contratar al resto del personal, pudiendo ceder esta prerrogativa a favor del Ingeniero Director, quien no estará obligado a aceptarla.
6. El contratista tiene derecho a sacar copias a su costa de los planos, pliego de condiciones y presupuestos. El Ingeniero autor del proyecto autorizará con su firma las copias solicitadas por el contratista después de confrontarlas.
7. Se abonará al contratista la obra que realmente ejecute con sujeción al proyecto que sirvió de base para la contratación, a las modificaciones autorizadas por la superioridad o a las órdenes que con arreglo a sus facultades le hayan comunicado por escrito al Ingeniero



Director de obras siempre que dicha obra se haya ajustado a los preceptos de los pliegos de condiciones, con arreglo a los cuales, se harán las modificaciones y la valoración de las diversas unidades sin que el importe total pueda exceder de los presupuestos aprobados. Por consiguiente, el número de unidades que se consignan en el proyecto o en el presupuesto, no podrá servirle de fundamento para entablar reclamaciones de ninguna clase, salvo en los casos de rescisión.

8. Tanto en las certificaciones de obras como en la liquidación final, se abonarán los trabajos realizados por el contratista a los precios de ejecución material que figuran en el presupuesto para cada unidad de la obra.
9. Si excepcionalmente se hubiera ejecutado algún trabajo que no se ajustase a las condiciones de la contrata pero que sin embargo es admisible a juicio del Ingeniero Director de obras, se dará conocimiento a la Dirección, proponiendo a la vez la rebaja de precios que el Ingeniero estime justa y si la Dirección resolviera aceptar la obra, quedará el contratista obligado a conformarse con la rebaja acordada.
10. Cuando se juzgue necesario emplear materiales o ejecutar obras que no figuren en el presupuesto de la contrata, se evaluará su importe a los precios asignados a otras obras o materiales análogos si los hubiere y cuando no, se discutirán entre el Ingeniero Director y el contratista, sometiéndolos a la aprobación de la Dirección. Los nuevos precios convenidos por uno u otro procedimiento, se sujetarán siempre al establecido en el punto anterior.
11. Cuando el contratista, con autorización del Ingeniero Director de obras, emplee materiales de calidad más elevada o de mayores dimensiones de lo estipulado en el proyecto, o sustituya una clase de fabricación por otra que tenga asignado mayor precio o ejecute con mayores dimensiones cualquier otra parte de las obras, o en general, introduzca en ellas cualquier modificación que sea beneficiosa a juicio del Ingeniero Director de obras, no tendrá derecho sin embargo, sino a lo que le correspondería si hubiera realizado la obra con estricta sujeción a lo proyectado y contratado.
12. Las cantidades calculadas para obras accesorias, aunque figuren por partida alzada en el presupuesto final (general), no serán abonadas sino a los precios de la contrata, según las condiciones de la misma y los proyectos particulares que para ellas se formen, o en su defecto, por lo que resulte de su medición final.
13. El contratista queda obligado a abonar al Ingeniero autor del proyecto y director de obras así como a los Ingenieros Técnicos, el importe de sus respectivos honorarios facultativos por formación del proyecto, dirección técnica y administración en su caso, con arreglo a las tarifas y honorarios vigentes.
14. Concluida la ejecución de la obra, será reconocida por el Ingeniero Director que a tal efecto designe la empresa.

15. La garantía definitiva será del 4% del presupuesto y la provisional del 2%.
16. La forma de pago será por certificaciones mensuales de la obra ejecutada, de acuerdo con los precios del presupuesto, deducida la baja si la hubiera.
17. La fecha de comienzo de las obras será a partir de los 15 días naturales del replanteo oficial de las mismas y la definitiva, al año de haber ejecutado la provisional, procediéndose si no existe reclamación alguna, a la reclamación de la fianza.
18. Si el contratista al efectuar el replanteo, observase algún error en el proyecto, deberá comunicarlo en el plazo de quince días al Ingeniero Director de obras, pues transcurrido ese plazo será responsable de la exactitud del proyecto.
19. El contratista está obligado a designar una persona responsable que se entenderá con el Ingeniero Director de obras, o con el delegado que éste designe, para todo relacionado con ella. Al ser el Ingeniero Director de obras el que interpreta el proyecto, el contratista deberá consultarle cualquier duda que surja en su realización.
20. Durante la realización de la obra, se girarán visitas de inspección por personal facultativo de la empresa cliente, para hacer las comprobaciones que se crean oportunas. Es obligación del contratista, la conservación de la obra ya ejecutada hasta la recepción de la misma, por lo que el deterioro parcial o total de ella, aunque sea por agentes atmosféricos u otras causas, deberá ser reparado o reconstruido por su cuenta.
21. El contratista, deberá realizar la obra en el plazo mencionado a partir de la fecha del contrato, incurriendo en multa, por retraso de la ejecución siempre que éste no sea debido a causas de fuerza mayor. A la terminación de la obra, se hará una recepción provisional previo reconocimiento y examen por la dirección técnica, el depositario de efectos, el interventor y el jefe de servicio o un representante, estampando su conformidad el contratista.
22. Hecha la recepción provisional, se certificará al contratista el resto de la obra, reservándose la administración el importe de los gastos de conservación de la misma hasta su recepción definitiva y la fianza durante el tiempo señalado como plazo de garantía. La recepción definitiva se hará en las mismas condiciones que la provisional, extendiéndose el acta correspondiente. El Director Técnico propondrá a la Junta Económica la devolución de la fianza al contratista de acuerdo con las condiciones económicas legales establecidas.
23. Las tarifas para la determinación de honorarios, reguladas por orden de la Presidencia del Gobierno el 19 de Octubre de 1961, se aplicarán sobre el denominado en la actualidad "Presupuesto de Ejecución de Contrata" y anteriormente llamado "Presupuesto de Ejecución Material" que hoy designa otro concepto.

## Condiciones particulares

La empresa consultora, que ha desarrollado el presente proyecto, lo entregará a la empresa cliente bajo las condiciones generales ya formuladas, debiendo añadirse las siguientes condiciones particulares:

1. La propiedad intelectual de los procesos descritos y analizados en el presente trabajo, pertenece por entero a la empresa consultora representada por el Ingeniero Director del Proyecto.
2. La empresa consultora se reserva el derecho a la utilización total o parcial de los resultados de la investigación realizada para desarrollar el siguiente proyecto, bien para su publicación o bien para su uso en trabajos o proyectos posteriores, para la misma empresa cliente o para otra.
3. Cualquier tipo de reproducción aparte de las reseñadas en las condiciones generales, bien sea para uso particular de la empresa cliente, o para cualquier otra aplicación, contará con autorización expresa y por escrito del Ingeniero Director del Proyecto, que actuará en representación de la empresa consultora.
4. En la autorización se ha de hacer constar la aplicación a que se destinan sus reproducciones así como su cantidad.
5. En todas las reproducciones se indicará su procedencia, explicitando el nombre del proyecto, nombre del Ingeniero Director y de la empresa consultora.
6. Si el proyecto pasa la etapa de desarrollo, cualquier modificación que se realice sobre él, deberá ser notificada al Ingeniero Director del Proyecto y a criterio de éste, la empresa consultora decidirá aceptar o no la modificación propuesta.
7. Si la modificación se acepta, la empresa consultora se hará responsable al mismo nivel que el proyecto inicial del que resulta el añadirla.
8. Si la modificación no es aceptada, por el contrario, la empresa consultora declinará toda responsabilidad que se derive de la aplicación o influencia de la misma.
9. Si la empresa cliente decide desarrollar industrialmente uno o varios productos en los que resulte parcial o totalmente aplicable el estudio de este proyecto, deberá comunicarlo a la empresa consultora.
10. La empresa consultora no se responsabiliza de los efectos laterales que se puedan producir en el momento en que se utilice la herramienta objeto del presente proyecto para la realización de otras aplicaciones.

11. La empresa consultora tendrá prioridad respecto a otras en la elaboración de los proyectos auxiliares que fuese necesario desarrollar para dicha aplicación industrial, siempre que no haga explícita renuncia a este hecho. En este caso, deberá autorizar expresamente los proyectos presentados por otros.
  
12. El Ingeniero Director del presente proyecto, será el responsable de la dirección de la aplicación industrial siempre que la empresa consultora lo estime oportuno. En caso contrario, la persona designada deberá contar con la autorización del mismo, quien delegará en él las responsabilidades que ostente.