

**UNIVERSIDAD AUTONOMA DE MADRID**

**ESCUELA POLITECNICA SUPERIOR**



**PROYECTO FIN DE CARRERA**

**DESARROLLO DE APLICACIÓN FIRMWARE  
PARA GESTIÓN DE IMÁGENES DE VIDEO**

**María Davó Sigüero  
Abril 2012**



# **DESARROLLO DE APLICACIÓN FIRMWARE PARA GESTIÓN DE IMÁGENES DE VÍDEO**

**AUTOR: María Davó Sigüero.**  
**TUTOR: Juan Seijas Echevarría-Martínez.**  
**PONENTE: Eduardo Boemo Scalvinoni.**

**SENER Ingeniería y Sistemas**  
**Dpto. de Ingeniería Informática**  
**Escuela Politécnica Superior**  
**Universidad Autónoma de Madrid**  
**Abril 2012**



## **PALABRAS CLAVE**

FPGA, NTSC, PAL, LVDS, DAC, video, pixel, sincronización, fotogramas, windowing, degradation, procesado de imagen.

## **RESUMEN**

El objetivo de este proyecto de fin de carrera es diseñar e implementar una serie de interfaces que sean capaces de proveer una salida de video según la configuración indicada.

Cada una de las interfaces debe adaptarse a las limitaciones hardware de la FPGA en que se implementarán finalmente, además de cumplir los requisitos mínimos impuestos, tanto por la pantalla en la que se reproducirá el video como por la cámara que proporciona el flujo de pixeles (éstos pueden ser reales o sintéticos).

Debido al elevado porcentaje de ocupación actual de la FPGA, se tendrá muy en cuenta en este proyecto la eficiencia, tanto en el diseño como en la implementación del módulo de vídeo, para intentar reducirlo.

## **ABSTRACT**

This project is meant to design and implement a series of interfaces, which provide a video output based on a suitable configuration.

Each of the interfaces should accomplish with the hardware limitations of FPGA. Both the screen where the video is reproduced, and the camera which provide a pixels flow (real or synthetic) should comply with minimum imposed requirements.

Due to a high current occupancy rate of the FPGA, efficiency for the design and video implementation will be taken into account to minimize it.



# AGRADECIMIENTOS

En primer lugar quiero agradecer a mi tutor Juan Seijas y a mi ponente Eduardo Boemo, a José María Martínez y a Trinidad Hernández la oportunidad de realizar el presente PFC. Quisiera expresarles mi gratitud por toda la ayuda que me han prestado.

Estos últimos años han estado llenos de alegrías y tristezas, triunfos y fracasos. La EPS de la Universidad Autónoma de Madrid, me ha dado la oportunidad de ser lo que siempre he querido, un ingeniero. Me ha hecho fuerte ante los fracasos, me ha enseñado que sin trabajo, esfuerzo y constancia no se consiguen las cosas. Me ha enseñado que un 5 puede ser la mejor noticia del año. He llorado y he reído, gracias a todos, compañeros y profesores que me habéis enseñado, no sólo conocimientos, sino también a afrontar problemas personales, a superarme a mi misma, a levantarme cuando pensé que no me quedaban fuerzas.

Gracias a Ismail, por hacerme reír cuando quería llorar, por estar a mi lado, por enseñarme a discutir, por enseñarme a cambiar, por tomarte en serio mis tonterías y por estar siempre ahí.

Para finalizar quiero mencionar a mi familia, especialmente mis padres, abuelos y hermanas, que me habéis aguantado, que me habéis apoyado y que siempre supisteis que llegaría este momento, aunque en muchas ocasiones ni yo misma estaba segura de ello.

Gracias papá por “los Davó no se rinden”, gracias mamá por ... ¿por dónde empezar?, los tupperware, las broncas, las charlas, los “hay hija pues si no es hoy será mañana, no te preocupes”, las noches en vela, respetar mis decisiones aunque creas que me equivoco..., gracias niñas por las peleas, gritos, “a la qué fuerte”, “no!, en serio?”... que me hacen pensar en otras cosas, desconectar, desahogarme. Gracias yayo por involucrarte tanto en esta etapa de mi vida, por hacerme sentir importante. Gracias yaya por confiar siempre en mi, sin agobiarme, siempre en segundo plano atenta por si te necesitaba. Y gracias Bárbara y tío, por encontrar un huequito a pesar de los Km y el trabajo.

A vosotros os dedico este PFC.

María Davó Sigüero

2 de Abril de 2012



# Índice de contenido

1.Introducción.....	1
1.1.Motivación.....	1
1.2.Objetivos.....	2
1.3.Organización de la memoria.....	3
2.Estado del arte.....	5
3.Diseño.....	7
3.1.Bloque Digital.....	13
3.1.1.Salida digital sin tratamiento.....	16
3.1.2.Windowing.....	18
3.1.3.Degradation.....	19
3.2.Bloque Analógico.....	21
3.2.1.Sincronización Analógica.....	24
NTSC.....	24
PAL.....	26
Generación del sincronismo ntsc/pal:.....	27
3.2.2.Control del triple-buffer.....	33
3.2.3.Control del acceso a SRAM.....	34
3.2.4.Control de direccionamiento SRAM.....	37
3.2.5.Generación del reloj del DAC.....	38
4.Integración pruebas y resultados.....	41
4.1.Entrada al bloque digital.....	41
4.2.Procesamiento digital del fotograma.....	42
4.2.1.Normal.....	42
4.2.2.Windowing.....	44
4.2.3.Degradation.....	45
4.3.Salida a pantalla digital.....	46
4.4.Entrada al bloque analógico.....	48
4.5.Accesos a SRAM.....	49
4.6.Generación del reloj del DAC.....	50
4.7.Generación de sincronismos.....	51

4.7.1.NTSC.....	51
4.7.2.PAL.....	54
4.8.Salida a pantalla analógica.....	57
5.Conclusiones y trabajo futuro.....	59
5.1.Conclusiones.....	59
5.2.Trabajo futuro.....	59
6.BIBLIOGRAFÍA.....	61
7.Glosario.....	63
8.Anexo.....	I
8.A.LVDS.....	I
8.B.ATSC.....	II
8.C.DVB-T.....	III
8.D.Explicación ráfagas de acceso a sram.....	IV
8.E.Datasheet.....	VI
8.F.Presupuesto.....	XXVII
8.G.PLIEGO DE CONDICIONES.....	XXVIII

## Índice de figuras

Figura 1: Esquema de objetivos.....	2
Figura 2: Distribución de los sistemas NTSC y PAL en el mundo.....	2
Figura 3: Conversión digital analógica.....	6
Figura 4: EMI en una señal de TV analógica.....	6
Figura 5: Diagrama de interfaces.....	7
Figura 6: Windowing, primer pixel superior izquierdo.....	10
Figura 7: Jerarquía del proyecto.....	12
Figura 8: Componentes del bloque digital.....	14
Figura 9: Fifo_in o Fifo_out se llenan.....	15
Figura 10: Protocolo LVDS.....	16
Figura 11: Máquina de estados del video digital.....	17
Figura 12: Protocolo LVDS de un fotograma completo.....	18
Figura 13: Windowing, detalle de líneas.....	19
Figura 14: Windowing, detalle de píxeles.....	19
Figura 15: Degradation, detalle de líneas.....	20
Figura 16: Degradation, detalle de píxeles.....	20
Figura 17: Componentes del bloque analógico.....	22
Figura 18: Composición de un fotograma.....	25
Figura 19: Sincronización vertical y horizontal.....	25
Figura 20: Sincronismo y datos de un fotograma.....	27
Figura 21: Primer campo NTSC.....	28
Figura 22: Sincronización vertical, primer campo NTSC.....	28
Figura 23: Sincronización vertical, primer campo PAL.....	28
Figura 24: Pulsos de ecualización NTSC.....	28
Figura 25: Pulsos de ecualización PAL.....	28
Figura 26: Pulsos de sincronización NTSC.....	29
Figura 27: Pulsos de sincronización PAL.....	29
Figura 28: Pulsos de teletexto NTSC.....	29
Figura 29: Pulsos de teletexto PAL.....	29
Figura 30: Sincronización vertical NTSC y PAL.....	30

Figura 31: Sincronismo horizontal NTSC.....	31
Figura 32: Sincronismo horizontal PAL.....	31
Figura 33: Sincronización horizontal.....	31
Figura 34: Máquina de estados que genera las banderas de sincronización..	32
Figura 35: Máquina de estados que controla el triple-buffer.....	34
Figura 36: Esquema de almacenamiento del video analógico.....	34
Figura 37: Máquina de estado que controla el acceso a la SRAM.....	36
Figura 38: Diagrama de ondas del DAC.....	39
Figura 39: Conexiones de la cámara al módulo digital.....	41
Figura 40: Entrada al bloque digital.....	41
Figura 41: Conexiones de la máquina de estados del módulo digital.....	42
Figura 42: Trazas de la fifo de entrada, máquina de estados y fifo de salida del módulo digital.....	43
Figura 43: Detalle de las trazas de las ffos y la máquina de estados del módulo digital.....	43
Figura 44: Conexiones de la máquina de estados del módulo digital.....	44
Figura 45: Windowing, detalle a nivel de línea.....	44
Figura 46: Windowing, detalle a nivel de línea.....	45
Figura 47: Conexiones de la máquina de estados del módulo digital.....	45
Figura 48: Degradation, detalle a nivel de línea.....	46
Figura 49: Degradation, detalle a nivel de píxel.....	46
Figura 50: Conexiones entre la fifo de salida y el LVDS.....	47
Figura 51: Fotograma NTSC.....	47
Figura 52: Conexiones entre el bloque analógico y digital.....	48
Figura 53: Entrada al bloque analógico.....	48
Figura 54: Conexiones del módulo de video con la SRAM.....	49
Figura 55: Direccinamiento escritura-lectura.....	50
Figura 56: Reloj del DAC, $T \approx 80\text{ns}$ .....	50
Figura 57: Conexiones del módulo de video con la SRAM.....	51
Figura 58: Analizador lógico. Sincronismo vertical NTSC.....	51
Figura 59: Osciloscopio. Pulsos de ecualización.....	52
Figura 60: Osciloscopio. Pulsos de sincronización.....	52

Figura 61: Osciloscopio. Pulsos de teletexto.....	53
Figura 62: Osciloscopio. Línea NTSC.....	53
Figura 63: Conexiones del módulo de video con la SRAM.....	54
Figura 64: Sincronización vertical PAL.....	54
Figura 65: Osciloscopio. Pulsos de ecualización PAL.....	55
Figura 66: Osciloscopio. Pulsos de sincronización PAL.....	55
Figura 67: Osciloscopio. Pulsos de teletexto PAL.....	56
Figura 68: Línea Pal.....	56
Figura 69: Conexiones entre la fifo de salida y el LVDS.....	57
Figura 70: Fotograma NTSC.....	57



## Índice de tablas

Tabla 1: Registro video_source_conf.....	8
Tabla 2: Registro video_out_conf.....	8
Tabla 3: Registro state_reg.....	9
Tabla 4: Tipos de fotogramas de entrada al módulo de video.....	13
Tabla 5: Registro de configuración del video de entrada, sin procesado.....	16
Tabla 6: Protocolo LVDS.....	16
Tabla 7: Registro de configuración del video de entrada, windowing.....	18
Tabla 8: Registro de configuración del video de entrada, degradation.....	19
Tabla 9: Registro de configuración del video de salida, salida analógica..	27
Tabla 10: Reloj del DAC.....	33
Tabla 11: Tipos de fotogramas de entrada al módulo de video.....	35
Tabla 12: Direccionamiento SRAM.....	37
Tabla 13: Frecuencias del reloj del DAC.....	38
Tabla 14: Cálculos de las ráfagas.....	V



# **1. INTRODUCCIÓN**

## **1.1. MOTIVACIÓN**

La empresa SENER Ingeniería y Sistemas, con intención de asumir el control de algunos diseños de manera más directa, ha decidido diseñar e implementar su propio módulo de video.

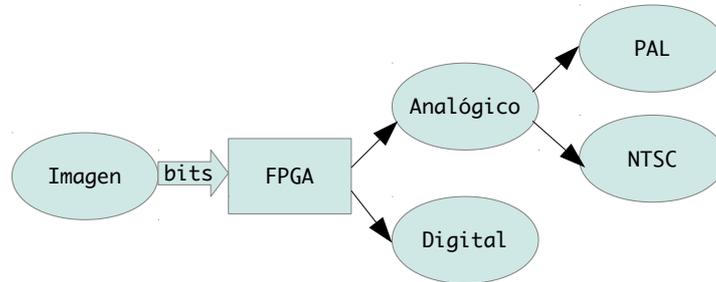
En principio, el diseño e implementación de este módulo se había subcontratado a una segunda empresa que proporcionaba el código y la documentación del módulo de video.

Por motivos de ocupación de la FPGA se decide modificar el módulo de video para reducir el espacio que ocupa, es entonces cuando se descubre que la documentación proporcionada es incompleta, el código ilegible y es muy complicada su modificación y adaptación a las nuevas necesidades.

Por estos motivos se decide diseñar e implementar un código propio, que solucione los problemas de ocupación y esté bien documentado y comentado para posibles modificaciones futuras.

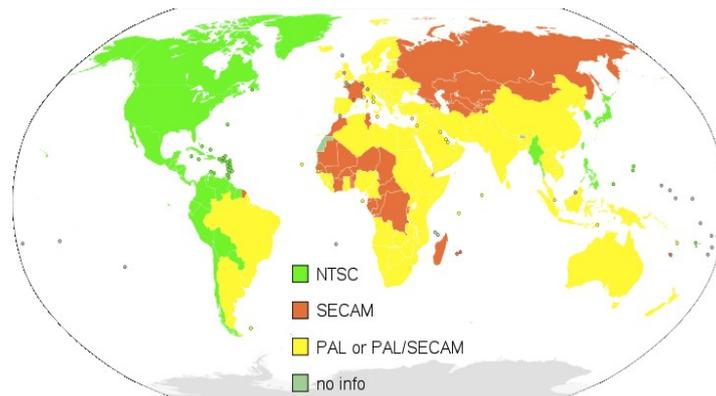
## 1.2. OBJETIVOS

El objetivo de este proyecto es desarrollar en una FPGA el firmware que permita gestionar fotogramas de video (flujo de bits) y proporcionar una salida digital y otra analógica.



*Figura 1: Esquema de objetivos.*

Uno de los requisitos principales es que la salida analógica pueda ser configurada tanto para el protocolo europeo (PAL) como para el americano (NTSC), es decir, se podrá visualizar el video independientemente de la situación geográfica.



*Figura 2: Distribución de los sistemas NTSC y PAL en el mundo.*

Además debe permitir diferentes formatos de entrada, tratándolos convenientemente para adecuarlos al tamaño de visualización de la salida, por ejemplo, si se tuviera un fotograma de 2048x2048 y el monitor fuera de 512x512 el firmware debe ser capaz de muestrear el fotograma para reducirlo.

El firmware a implementar debe ser robusto ante errores, por ejemplo, se deberá generar una sincronización interna del video analógico que se utilizaría si hubiera algún problema con la sincronización externa, de manera que el usuario no se percatara de este tipo de errores.

### **1.3. ORGANIZACIÓN DE LA MEMORIA**

Esta memoria se divide en cinco capítulos y cinco anexos que se detallan a continuación.

En el primer capítulo se explican la motivación, y los objetivos de este proyecto, además se incluye una pequeña descripción de la estructura de esta memoria y los capítulos que contiene.

En el segundo capítulo se razonan los posibles problemas que se van a tratar en el proyecto y cómo se han solucionado en el pasado.

En el tercer capítulo se describe con detalle el diseño del proyecto de fin de carrera, es decir, el diseño del módulo de video. Este capítulo se divide a su vez en dos subapartados, el bloque digital y el bloque analógico, en cada uno de ellos se aborda con meticulosidad, los criterios y decisiones que se han tomado a lo largo del proyecto.

En el cuarto capítulo, integración, pruebas y resultados, se explica paso a paso las pruebas que se han realizado durante la integración de los diferentes módulos que componen cada uno de los bloques del proyecto, así como las realizadas durante la integración de los dos bloques que componen el módulo de video. En este capítulo también se analizan los resultados obtenidos en cada una de las pruebas realizadas.

Finalmente en el capítulo cinco se exponen las conclusiones que se han extraído de la realización de este proyecto de fin de carrera y se sugieren nuevos frentes para investigar/realizar en el futuro.

En el primer anexo se explica detalladamente qué es y cómo funciona un LVDS.

En el segundo anexo se encuentran algunas nociones del estándar ATSC de televisión, dicho estándar es el que está sustituyendo al sistema NTSC.

En el tercer anexo se describe, sin profundizar demasiado, el estándar DVB-T. Éste estándar sustituye al sistema PAL.

En el cuarto anexo se detallan los cálculos realizados en este proyecto para la elección de las ráfagas de lectura y escritura que se deben realizar.

El últimos anexos se dedican a datasheets usados durante el proyecto.



## 2. ESTADO DEL ARTE

El estado del arte de este proyecto se puede enfocar desde varios frentes:

- Procesado digital del fotograma

Para solucionar el problema del procesamiento digital de video se implementan los DSPs (Digital Signal Processing, Procesado de Señal Digital). Los DSPs están compuestos por un conjunto de instrucciones optimizadas para aplicaciones que requieran operaciones numéricas a muy alta velocidad como es el caso que nos ocupa.

Se implementan generalmente en dos tipos de plataformas programables: procesadores de señal digital y FPGAs.

Los procesadores de señal digital son una forma especializada de microprocesador ( $\mu$ procesador), mientras que las FPGAs son una forma de hardware configurable.

Antes, el uso de procesadores de señal digital fue casi omnipresente, pero las necesidades de las aplicaciones actuales han superado la capacidad de procesamiento de éstos.

Desde 2007, el uso de FPGAs en aplicaciones de procesamiento de imágenes se ha ido incrementando debido al aumento de la complejidad y los requisitos de rendimiento que dichas aplicaciones demandan, millones de instrucciones por segundo (MIPS<sup>1</sup>).

Actualmente la principal razón por la que un ingeniero decide usar una FPGA para implementar en ella un DSP, en detrimento del procesador de señal digital, viene dada por los requerimientos en MIPS de la aplicación.

Los recursos multiplicadores-acumuladores en paralelo de las FPGAs posibilitan que el rendimiento del DSP sea al menos un orden de magnitud mayor que en los procesadores de señal digital, sin embargo ésta no es la única ventaja de las FPGAs, también son más fáciles de mantener además de ser un producto mucho más fiable.

- Proporcionar una salida analógica de video.

El problema de proporcionar una salida analógica a partir de una fuente digital es un tema ampliamente abordado desde el apogeo analógico. Existen infinidad de soluciones comerciales, como los aparatos TDT.

Una FPGA trabaja con lógica digital así que, para proporcionar una salida analógica necesita un dispositivo externo, que puede estar o no integrado.

---

<sup>1</sup> Es una forma de medir la potencia de los procesadores. Sin embargo, esta medida sólo es útil para comparar procesadores con el mismo juego de instrucciones y usando benchmarks que fueron compilados por el mismo compilador y con el mismo nivel de optimización.

La conversión digital-analógica consiste en asignar un nivel de voltaje y corriente a cada uno de los valores digitales que forman un píxel.



*Figura 3: Conversión digital analógica.*

En los conversores DAC y ADC, se producen errores de precisión, desplazamiento del origen, linealidad y resolución entre otros; todos ellos factores a tener en cuenta en la elección del componente.

En este proyecto, el hardware viene predefinido, así que en vez de usar estos factores para elegir el DAC, se avisa al usuario de la precisión que se puede obtener a la salida.

- Proporcionar una salida digital de video.

Para proporcionar una salida digital a partir de píxeles, basta con adaptarlos al protocolo requerido por la pantalla donde se visualizarán.

Normalmente es necesario poner un adaptador de tensión y corriente entre la FPGA y la pantalla, dicho adaptador suele ser diferencial para simplificar la recuperación de la señal en el receptor.

En este proyecto se ha usado un multiplexor LVDS. Éste es un adaptador diferencial que compatibiliza los píxeles de la FPGA y los de la pantalla, evitando problemas de interferencia electromagnética (EMI) y derivados del tamaño/longitud del cable que se producen en las interfaces de alta velocidad TTL.



*Figura 4: EMI en una señal de TV analógica.*

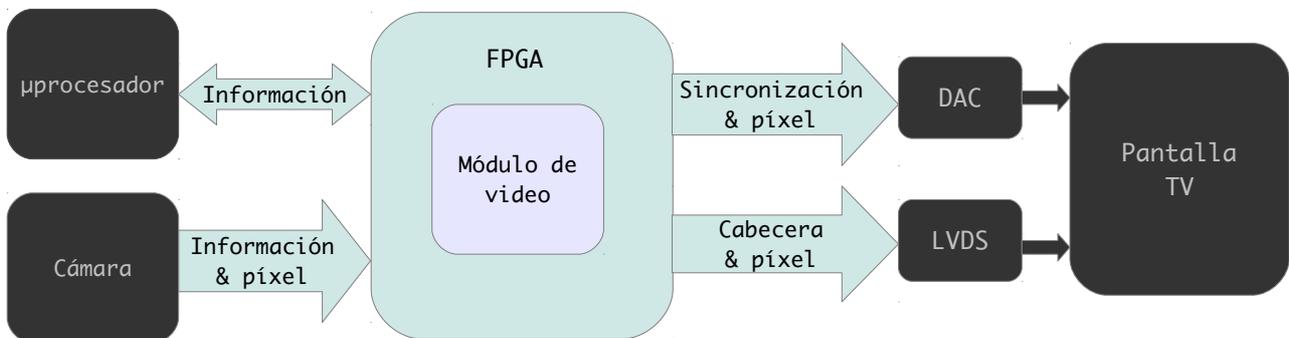
### 3. DISEÑO

Como se ha comentado anteriormente, el objetivo de este PFC es diseñar e implementar un módulo de video en una FPGA, bajo unas especificaciones muy concretas, tanto de hardware:

- LVDS: DS90CR287MTD/NOPB, 3.3V CMOS-LVDS emitter, National Semiconductor.
- DAC: ADV7123KSTZ50, IC triple D/A converter, Analog Devices.
- SRAM: CY7C1049BV33-15VI, 512kx8 SRAM, Cypress.

como de diseño, que se detallan a lo largo de este documento.

El módulo de vídeo es, por tanto, el encargado de tratar adecuadamente los fotogramas de entrada y generar una salida analógica o digital; para ello utiliza los dispositivos externos ya mencionados como se muestra en la figura 5.



Existen, por tanto, cuatro módulos distintos que interactúan directamente con el módulo de video, cada uno de ellos tiene unas especificaciones de frecuencia y formato que deben ser respetados. Estos módulos son:  $\mu$ procesador, cámara, DAC y LVDS que a continuación se explican en detalle.

- $\mu$ procesador: Se encarga de coordinar los diferentes módulos de la FPGA y gestionar posibles errores. Tiene una frecuencia de trabajo de 50MHz. La comunicación bidireccional se realiza mediante cuatro registros de configuración y dos banderas.
  - *REN*: bandera que levanta el  $\mu$ procesador para solicitar al módulo de video información de estado.
  - *WEN*: bandera que levanta el  $\mu$ procesador para indicar al módulo de video que está escribiendo información de configuración.

- *Video\_source\_conf*: Registro de 5 bits que indican el tipo de imagen de entrada al módulo de video; sólo existen cuatro tipos de imagen admitidos, éstos se explicarán más [adelante](#). El valor por defecto es 00h, es decir imagen FLIR.

Bits	Funcionalidad	Descripción
D0-D1	Fuente del video	“00” FLIR “01” CCD Binning “10” FLAME “11” CCD Scanning
D2	Reducción de imagen	'0' Windowing '1' Degradation
D3	Frecuencia de salida del video digital	'0' Como la entrada '1' 25Hz
D4	Display increment	'0' Desactivado '1' Activado

*Tabla 1: Registro video\_source\_conf*

- *Video\_out\_conf*: Registro de 5 bits que indican la configuración de la salida que se debe proporcionar. El valor por defecto es 00h, es decir salida analógica a partir del registro interno, sin sincronismo y con el protocolo NTSC.

Bits	Funcionalidad	Descripción
D0	Destino del pixel	'0' AVOR (Alternative Video Output Register) '1' Se muestra en una pantalla
D1	Salida digital	'0' Desactivado '1' Activado
D2-D3	Sincronismo	“00” Sin sincronismo “01” Sincronismo interno “10” Sincronismo externo compuesto “11” Sincronismo externo
D4	Estándar analógico	'0' NTSC '1' PAL

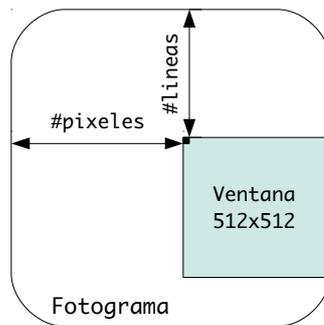
*Tabla 2: Registro video\_out\_conf*

- *state\_reg*: Registro de 32 bits que indican la configuración actual del módulo de video. El valor por defecto es 00000000h.

Bits	Funcionalidad	Descripción
D0	Destino del píxel	'0' AVOR (Alternative Video Output Register) '1' Se muestra en una pantalla
D1	Salida digital	'0' Desactivado '1' Activado
D2-D3	Sincronismo	"00" Sin sincronismo "01" Sincronismo interno "10" Sincronismo externo compuesto "11" Sincronismo externo
D4	Estándar analógico	'0' NTSC '1' PAL
D5	Sincronización horizontal.	'0' sincronización horizontal correcta. '1' sincronización horizontal incorrecta.
D6	Sincronización vertical	'0' sincronización vertical correcta. '1' sincronización vertical incorrecta.
D7	No se usa	
D8-D9	Fuente del video	"00" FLIR "01" CCD Binning "10" FLAME "11" CCD Scanning
D10	Reducción de imagen	'0' Windowing '1' Degradation
D11	Frec. de salida del video digital	'0' Como la entrada '1' 25Hz
D12	Imagen entrante	'0' Imagen correcta '1' Imagen corta
D13	Configuración	'0' Normal '1' Configuración
D14	Imagen de salida	'0' Sin imagen '1' Imagen preparada
D15	Error de configuración	Se ha detectado un error en el modo configuración
D16-D17	Status del buffer1	"00" Empty "01" Loading "10" Displaying "11" Full
D18-D19	Status del buffer1	"00" Empty "01" Loading "10" Displaying "11" Full
D20-D21	Status del buffer1	"00" Empty "01" Loading "10" Displaying "11" Full
D22	Display increment	'0' Desactivado '1' Activado

Tabla 3: Registro state\_reg.

- *Windowing*: Registro de 32 bits que indican la posición del primer píxel superior izquierdo de la ventana que se debe mostrar. Los 16 primeros bits indican el número de línea en la que se sitúa el píxel, los 16 últimos bits indican la columna. El tamaño de la ventana deberá ser de 512píxeles x 512líneas. No se permite que la ventana quede por fuera del fotograma y por tanto el valor máximo que puede tener, tanto de líneas como de columna, es de 1536d. Este registro sólo tiene sentido para imágenes grandes (CCD Scanning) y se envía del  $\mu$ procesador al módulo de vídeo.



- Cámara: Esta caja negra representa la obtención de píxeles, bien mediante una cámara de video, bien generándolos con un ordenador, otra FPGA...

La cámara envía una ráfaga variable de píxeles que conforman el fotograma (de izquierda-derecha, arriba-abajo) y dos bit de configuración:

- Píxeles: Cada píxel se compone de 8 bits que representan un nivel de gris.
- SoF (Start of Frame): Indica con un '1' que el píxel es el superior izquierdo de una nueva imagen.
- Valid: Indica con un '1' que el píxel transmitido es válido.
- DAC (Digital to Analog Converter/Conversor Digital-Analógico): como su nombre indica, esta caja negra se encarga de convertir una señal digital de 8 bits (un píxel) a un nivel de tensión y corriente analógicos, para ello requiere las siguientes entradas:
  - *Psave*: control de potencia, con un '1' se enciende el DAC.
  - *Clock*: reloj que sincroniza los píxeles entrantes. Su frecuencia viene dada por la siguiente fórmula:

$$Clock = \frac{\# pix * \# lin * f_{campo}}{constante}$$

Como comprobamos en la fórmula, la frecuencia del reloj del DAC es variable, y depende tanto del número de píxeles de una línea como del número de líneas de un fotograma, es decir, de la resolución vertical y horizontal. La constante que está dividiendo corresponde a una fracción del tiempo de [sincronización vertical](#), y normalmente toma el valor de 0.8;  $f_{\text{campo}}$  toma el valor de 30Hz para sistemas entrelazados y 60Hz para sistemas progresivos<sup>2</sup>.

- *Blank*: Indica el tiempo de sincronismo vertical y horizontal. Cuando está a cero, los bits que componen un píxel se ignoran y se hace caso a la señal de sync.
- *Sync*: Forma los distintos periodos de sincronización vertical y horizontal para la visualización de la televisión analógica.
- *R,G,B*: Registro de 10 bits que componen un píxel rojo, otro registro para un píxel verde y otro para un píxel azul. Este proyecto se ha realizado en blanco y negro, por tanto sólo se utilizará la salida G, correspondiente al color verde.
- LVDS<sup>3</sup> (Low Voltage Differential Signaling/Señal diferencial de bajo voltaje): Se encarga de adaptar la señal para que pueda verse en una pantalla digital. Para ello se deben proporcionar las siguientes entradas.
  - *VP\_TXIN*: Registro de 10 bits, los dos más significativos corresponden a la [cabecera](#), los ocho restantes componen un píxel.
  - *VP\_TXCLK*: Reloj de 33MHz ó 25MHz, con el que se sincronizan los píxeles del LVDS.
  - *VP\_PWRDWN\_N*: Señal que enciende ('1') o apaga ('0') el LVDS.

---

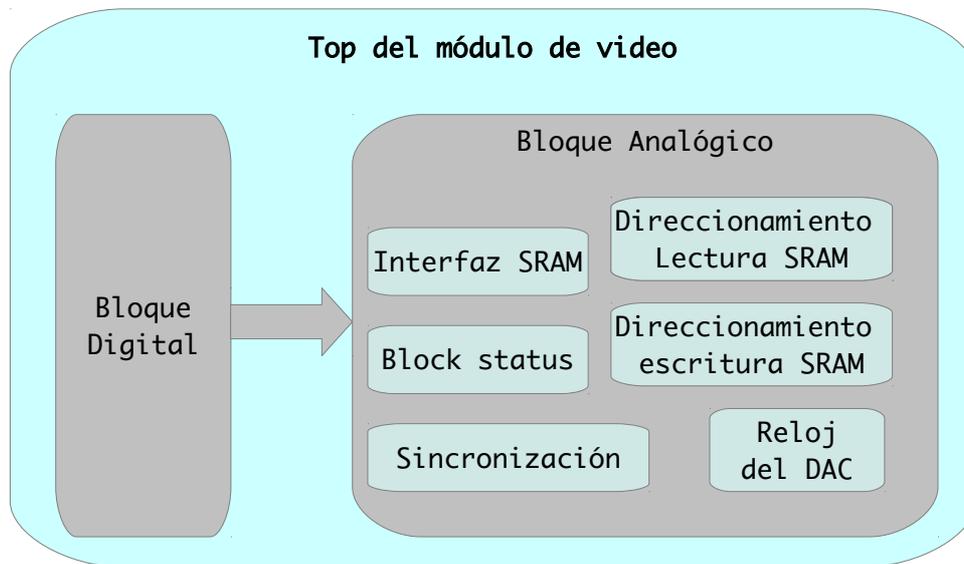
2 En los sistemas entrelazados se divide el fotograma en campo par e impar, mostrándose primero uno y luego el otro, mientras que en los progresivos no se hace esta división.

3 Ver [anexo I](#) para ampliar información.

En la implementación de este proyecto se ha elegido una estructura jerárquica de bloques. El bloque más externo, el top, se encarga de las conexiones entre el módulo de video y los módulos externos y de asignar los valores actuales al registro *state\_reg*.

Colgando del top, tenemos dos grandes bloques:

- El primero, el bloque digital, es donde se efectúa el tratamiento del fotograma; este bloque proporciona además dos salidas, una al LVDS y otra que irá al bloque analógico.
- El segundo bloque es el citado bloque analógico, donde se efectúa la sincronización y almacenamiento de los fotogramas que componen el vídeo para suministrar la salida al DAC.



Estas partes que componen la implementación, se explican detalladamente en los siguientes puntos.

### 3.1. BLOQUE DIGITAL

El objetivo de este bloque es proporcionar dos salidas de video digital, una hacia el bloque analógico y otra hacia el LVDS, a partir de los fotogramas entrantes que recibe de la cámara.

El bloque digital consta de un top .vhd y dos fifos, una de entrada y otra de salida que cambian la frecuencia de funcionamiento de los bloques funcionales; además se comunica con el LVDS y con el  $\mu$ procesador que le proporciona la información acerca de la imagen entrante y la configuración de la salida.

En el top se implementan varios bloques funcionales que se activarán o no dependiendo de la información del registro [video\\_source\\_conf](#).

Se pueden enviar cuatro tipos distintos de fotogramas al módulo de video que deberá procesar sus píxeles para una correcta visualización.

Los tipos de fotogramas y sus salidas asociadas se detallan a continuación:

Entrada	#píxeles x #líneas	Salida NTSC	Salida PAL	Salida Digital
CCD Scanning	2048 x 2048	512 x 512	512 x 625	512 x 512
CCD Binning	512 x 512	512 x 512	512 x 625	512 x 512
CCD Video	512 x 512	512 x 512	512 x 625	512 x 512
FLIR	640 X 512	640 x 485	640 x 625	640 x 512

Tabla 4: Tipos de fotogramas de entrada al módulo de video.

El tratamiento de imagen se realiza o no dependiendo del tipo de fotograma.

1. Fotograma normal (CCD Binning, CCD Video, FLIR): se presenta el video sin hacer ningún tipo de tratamiento, simplemente se añaden las [cabeceras del LVDS](#).
2. Fotograma grande (CCD Scanning): como la pantalla donde se muestra el video es de dimensiones reducidas (512x512), se debe disminuir el fotograma de entrada. En las especificaciones de diseño se contemplan dos tipos de reducción.
  - 2.1. Degradar el fotograma: consiste en tomar un píxel de cada cuatro y una línea de cada cuatro, es decir se muestrea a 1:4:4.
  - 2.2. Mostrar una porción del fotograma: consiste en crear una ventana de 512 píxeles y 512 líneas a partir de un píxel indicado en el registro [windowing](#).

En la figura 8 se muestran los componentes del bloque digital que se describen en este capítulo.

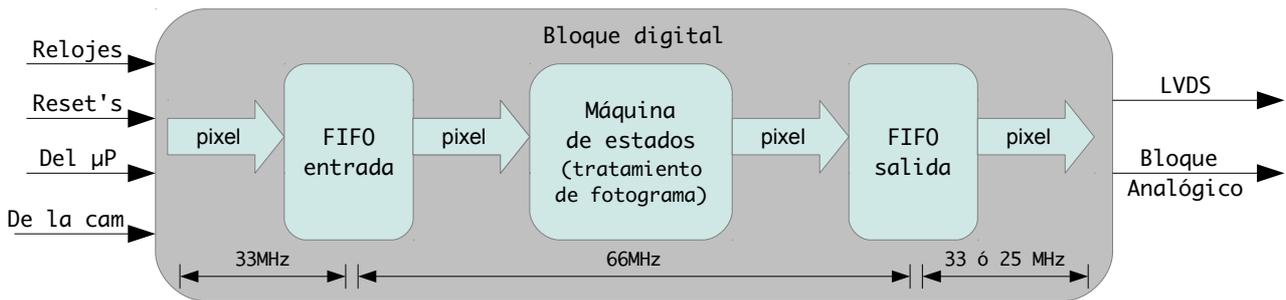


Figura 8: Componentes del bloque digital.

Los puertos de entrada de este bloque son los siguientes:

### 1. Relojes:

- 1.1. *CLK33*: Reloj con una frecuencia de 33MHz ( $T \approx 30$ ns). Los píxeles entran al bloque a ráfagas, sincronizadas con este reloj.
- 1.2. *CLK66*: Reloj con una frecuencia de 66MHz ( $T \approx 15$ ns). El tratamiento de imágenes se realiza a esta frecuencia.

### 2. Reset's:

- 2.1. *RESET33*: Señal que se usa para resetear todos los elementos que funcionen sincronizados con el reloj de 33MHz (*CLK33*).
- 2.2. *RESET66*: Señal que se usa para restear todos los elementos que funcionen sincronizados con el reloj de 66MHz (*CLK66*).

### 3. Señales procedentes de la cámara:

- 3.1. *Valid*: Bandera que indica si los píxeles recibidos son o no válidos.
- 3.2. *Data\_in*: Señal (8b) que representa un píxel.

### 4. Señales procedentes del $\mu$ procesador:

- 4.1. *Video\_out\_conf*: Registro (5b) que indica el tipo de salida de video.
- 4.2. *Video\_source\_conf*: Registro (9b) que indican la procedencia del vídeo que recibe el bloque.
- 4.3. *Windowing*: Registro de (32b) que indican la posición del píxel superior izquierdo de la ventana que se debe mostrar.

Para mantener el régimen de entrada igual al régimen de salida, o disminuirlo a 25MHz, si lo exigiera la configuración, los píxeles de salida deben ir a una frecuencia de 33MHz ó 25MHz respectivamente, sin embargo debido al procesado de píxel que se realiza entre la entrada y la salida se debe aumentar la frecuencia de trabajo de la máquina de estados. Por este motivo, de los relojes disponibles, se ha utilizado el de frecuencia inmediatamente superior, esto es, el reloj de 66MHz.

Este cambio de frecuencia exige una fifo de entrada que realiza la conversión entre la frecuencia de entrada y la frecuencia de procesado, y una fifo de salida, que realiza la operación inversa.

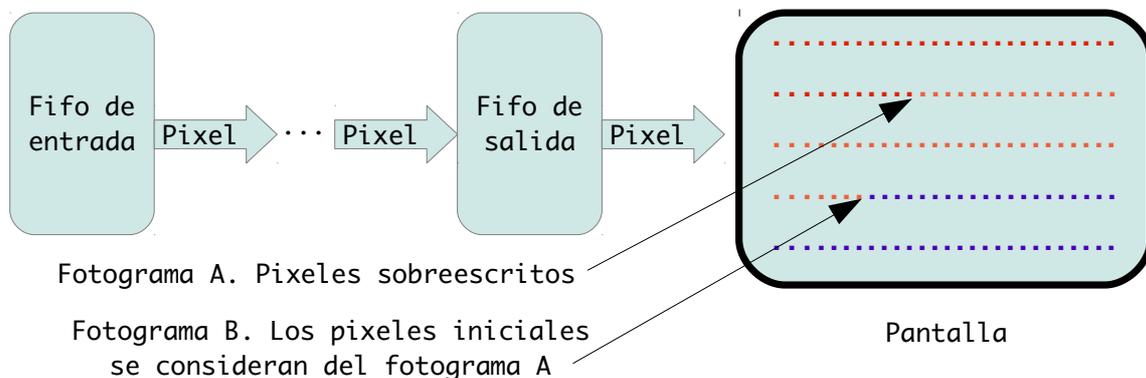
La fifo de entrada almacena la mitad de una línea para suministrar un flujo constante de píxeles a la salida, como se ha indicado antes, la imagen más grande que se recibe es de 2048 píxeles/línea, lo que supone un almacenamiento de 1024 píxeles en el peor de los casos. Con el propósito de evitar las operaciones que se deben realizar para calcular la mitad de una línea, se ha estandarizado el número de píxeles que se almacenan en la fifo de entrada antes de empezar el procesado de imagen a 640 píxeles.

Puesto que la profundidad debe ser  $2^x$  las fifos implementadas tienen una profundidad de 1024 palabras y un tamaño de palabra de 10 bits, 8 bits que componen un píxel + 1 bit de valid + 1 bit de start of frame (SoF), que indica el inicio de un nuevo fotograma.

Ambas fifos tienen que estar correctamente dimensionadas ya que en ningún caso pueden llenarse. Si alguna de estas fifos se llenara, se perderían píxeles ya que no existe ninguna manera de decirle a la cámara que pare de grabar.

Como consecuencia podrían perderse fotogramas, lo cual se explica a continuación:

Uno de los fotogramas que se muestran en la figura 9 (fotograma A) estaría mezclado con el siguiente (fotograma B) del que se tirarían algunos píxeles al no encontrarse el SoF ya que los píxeles iniciales del fotograma B se considerarían como los finales del fotograma A, por tanto se seguirían ignorando hasta el siguiente SoF que correspondería al fotograma C que sí se vería entero.



Para realizar el control del flujo de píxeles a la vez que se gestionan se ha diseñado una máquina de estados que debe controlar tres bloques funcionales (apartados 3.1.1, 3.1.2 y 3.1.3), éstos dependen tanto de la configuración de salida, como de la de entrada, a saber, la salida digital sin tratar, windowing y degradation.

### 3.1.1. SALIDA DIGITAL SIN TRATAMIENTO.

Para configurar la FPGA en salida sin tratamiento de imagen, el  $\mu$ procesador debe poner en el registro video\_source\_conf uno de los siguientes valores:

video_source_conf				
D0	D1	D2	D3	D4
1	0	X	X	X
0	1	X	X	X
0	0	X	X	X

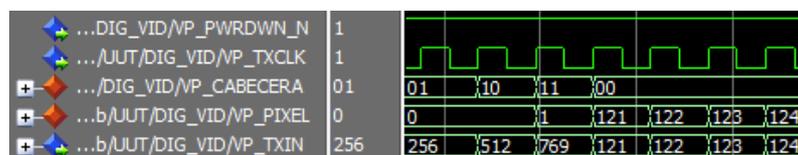
Tabla 5: Registro de configuración del video de entrada, sin procesado.

Este bloque funcional es una interfaz entre el bloque de video y el LVDS que debe proporcionar una salida digital que cumpla con el protocolo de éste último.

El LVDS necesita 10 bits de datos, los dos más significativos son los bits de cabecera, éstos indican si los siguientes 8 bits componen un píxel válido, son datos irrelevantes, o contienen información del número de línea.

C1	C2	Tipo de dato	Notas
0	0	Dato de video	8 bits indican el valor del píxel
0	1	Dato irrelevante	8 bits deben ser ignorados
1	0	MSB del número de línea	1...1 indica EOF (final de fotograma)
1	1	LSB del número de línea	1...1 indica EOF (final de fotograma)

Tabla 6: Protocolo LVDS.



Para implementar los distintos bloques funcionales, se ha diseñado una máquina de estados que controla el flujo de píxeles eliminando los inválidos, además va construyendo el protocolo del LVDS a medida que almacena los píxeles válidos en la fifo de salida.

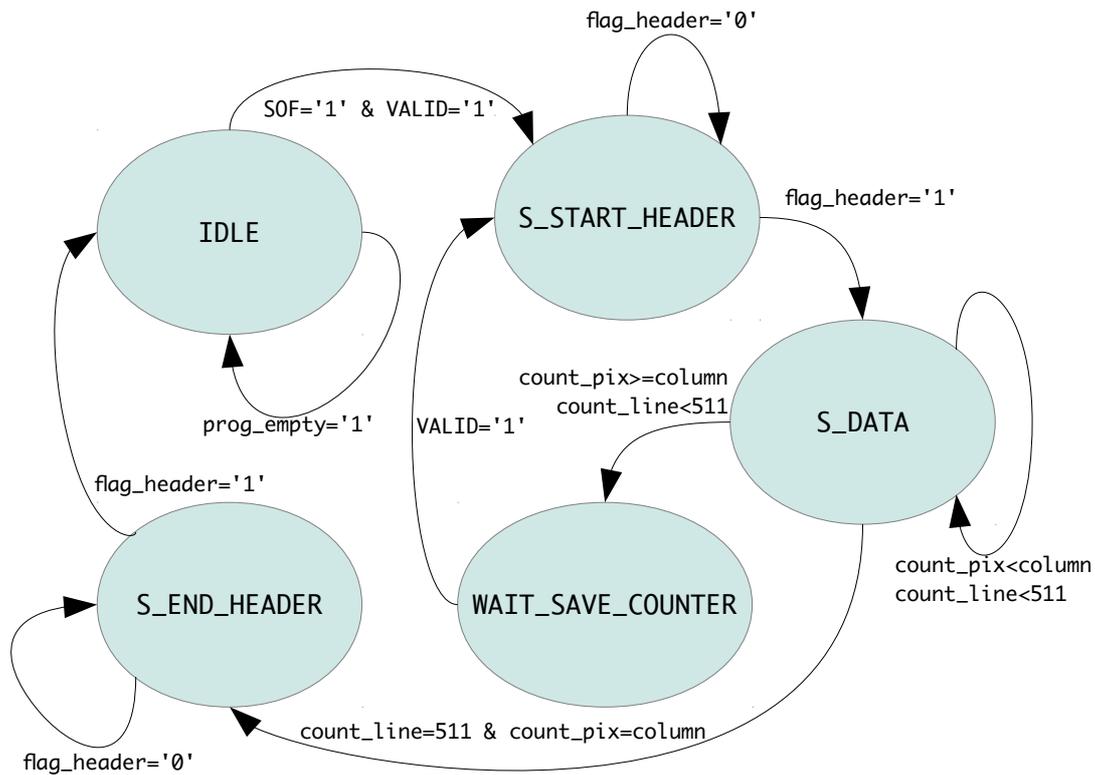


Figura 11: Máquina de estados del video digital.

El estado IDLE espera a haber almacenado al menos 640 píxeles en la fifo de entrada, cuando se cumple esta condición empieza a sacarlos de la fifo hasta que encuentra un píxel válido con el bit de SoF activado.

El estado S\_START\_HEADER almacena en la fifo de salida el número de línea con su cabecera correspondiente según el [protocolo del LVDS](#).

El estado S\_DATA almacena todos los píxeles válidos de una línea en la fifo de salida, añadiendo la cabecera del protocolo, en este caso “00”.

El estado WAIT\_SAVE\_COUNTER espera después de cada línea almacenada al primer píxel válido de la siguiente línea.

El estado S\_END\_HEADER almacena en la fifo de salida el final de fotograma (EOF), que sería “101111111” y “111111111”.

En la figura 12 se puede apreciar cómo se va configurando el protocolo del LVDS a medida que los píxeles son procesados. Mientras no hay píxeles se manda la cabecera “01”, cuando se detecta un píxel válido se manda la cabecera “10” seguida de los bits más significativos de la línea y luego “11” seguida de los menos significativos, en la imagen observamos el envío de la primera línea. A continuación se envían todos los píxeles válidos con la cabecera “00”, si el flujo no es continuo, se vuelve a enviar la cabecera “01”. Cuando se ha terminado de enviar el fotograma, se envía el End of Frame (EoF).



La fifo de salida manda píxeles al LVDS mientras no esté vacía, cuando se vacía, el LVDS recibe dato irrelevante. Dependiendo de la configuración de *video\_source\_conf*, el régimen de salida del la fifo será 25 ó 33MHz.

### 3.1.2. WINDOWING

Para configurar la FPGA en modo windowing, el  $\mu$ procesador debe poner el siguiente valor en el registro de configuración *video\_source\_conf*.

video_source_conf				
D0	D1	D2	D3	D4
1	1	0	X	X

Tabla 7: Registro de configuración del video de entrada, windowing.

El objetivo de este bloque funcional es mostrar una ventana de 512 píxeles y 512 líneas a partir del fotograma de entrada. La situación de la ventana que se debe mostrar, se indica mediante el registro [windowing](#).

El fotograma final se construye almacenando los píxeles que forman la ventana de 512x512 y tirando los que quedan fuera.

Para acotar las líneas de la ventana se toma como línea uno o techo al número extraído de los 16 primeros bits del registro windowing, y como última el techo más 511; para acotar los píxeles que forman la ventana se calcula de manera análoga con los 16 últimos bits del registro windowing.

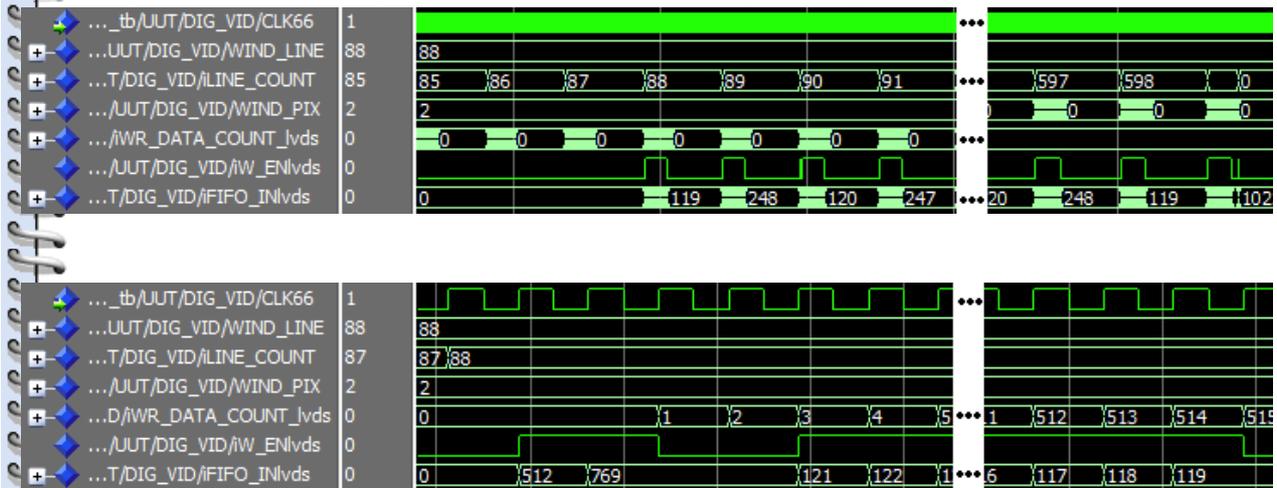


Ejemplo: windowing = 0000 0000 0101 1000 0000 0000 0000 0010

En la figura 13 se aprecian las 512 líneas que componen un fotograma, mientras que en la figura 14 los 512 píxeles que componen una línea.

En ambas figuras se observa el reloj de 66MHz, debajo la señal *wind\_line* que contiene los 16 primeros bits del registro windowing, a continuación está el contador de líneas (*line\_count*), después *wind\_pix*, análogo a *wind\_line*, contiene los 16 últimos bits del registro windowing, la siguiente señal cuenta los píxeles válidos que forman el fotograma,

finalmente se ve la bandera *iw\_enlvds* que activa el write enable de la fifo de salida y el registro *iffo\_inlvds* que contiene el valor de los píxeles que se guardan en la fifo.



Como se espera, la fifo de salida no guarda píxeles (write enable a '0'), de fuera de la ventana, cuando se trata de la línea 88 y píxel 3, (el contador de pixeles está inicializado a 1, mientras que wind\_pix a 0), la fifo de salida comienza a almacenar píxeles.

### 3.1.3. DEGRADATION

Para configurar la FPGA en modo degradation, el  $\mu$ procesador debe poner el siguiente valor en el registro de configuración *video\_source\_conf*.

video_source_conf				
D0	D1	D2	D3	D4
1	1	1	X	X

Tabla 8: Registro de configuración del video de entrada, degradation.

El objetivo de este bloque funcional es muestrear la imagen con un ratio 1:4:4 que permite convertir un fotograma de 2048x2048 en uno de 512x512.

Para muestrear la imagen se guarda el segundo píxel de cada cuatro en la fifo de salida, de manera análoga, se guarda la segunda línea de cada cuatro; el resto de píxeles se tiran.

Ejemplo:

En la figura 15 se aprecian las 512 líneas que componen un fotograma, mientras que en la figura 16 los 512 píxeles que componen una línea.

En ambas figuras se observa el reloj de 66MHz, debajo la señal *deg\_sig\_pix* es un contador de cuatro pixeles, a continuación está *deg\_sig\_lin* que es un contador de cuatro

líneas, después vienen tres señales con el rombo rojo (*ipixel\_valid*, *ipixel\_sof* e *ipixel\_pixel*), éstas son las distintas señales que componen el píxel que está siendo procesado (*ipixel*), finalmente se ve la bandera *iw\_enlvds* que activa el write enable de la fifo de salida y el registro *ififo\_inlvds* que contiene el valor de los píxeles que se guardan en la fifo, excluyendo el *sof* y el *valid*.

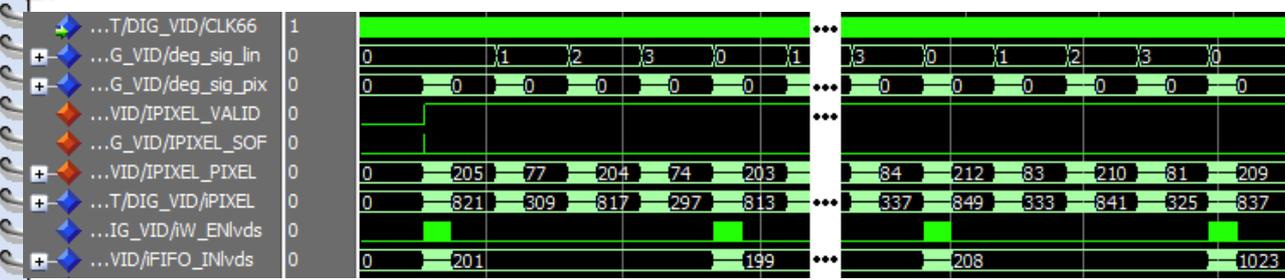


Figura 15: Degradation, detalle de líneas.

En la figura 15 se puede ver que una vez detectado el primer píxel válido de una imagen (SoF='1' y valid='1') se empieza a muestrear el fotograma. El muestreo se efectúa activando y desactivando la señal de write enable, ésta (*iw\_enlvds*) sólo se activa una vez cada cuatro líneas, es decir, cuando el contador de líneas (*deg\_sig\_lin*) tiene un valor cero, el resto del tiempo se tiran los píxeles.

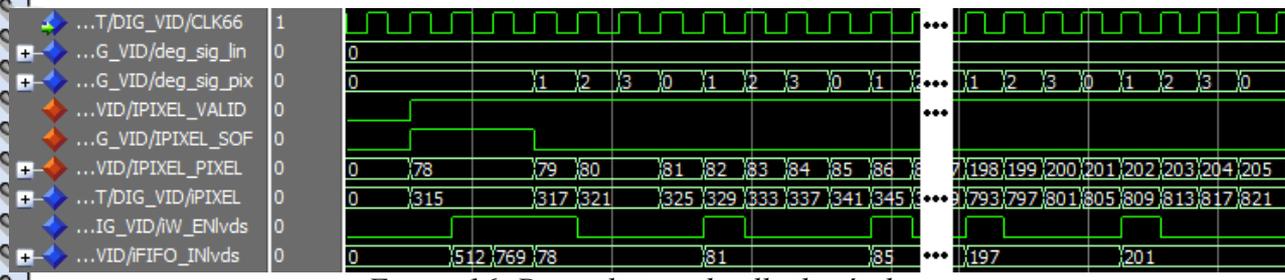


Figura 16: Degradation, detalle de píxeles.

De manera análoga en la figura 16 se puede observar el muestreo realizado a nivel de píxel, la señal de write enable (*iw\_enlvds*), sólo se activa en un píxel de cada cuatro, es decir, cuando el contador de píxeles (*deg\_sig\_pix*) vale cero.

## 3.2. BLOQUE ANALÓGICO

El objetivo de este bloque es generar uno de los sistemas de televisión analógicos aceptados (PAL o NTSC).

El bloque se comunica con dos dispositivos externos, las memorias SRAM que permiten almacenar hasta tres fotogramas, y el DAC.

Un DAC (Digital to Analog Converter/Conversor Digital-Analógico) es un dispositivo que convierte una señal digital (normalmente binaria) en una señal analógica (corriente, voltaje).

Las señales digitales se almacenan y transmiten fácilmente, pero se necesita un DAC para que la señal sea reconocida por los sentidos humanos u otros sistemas analógicos<sup>4</sup>.

La conversión digital-analógica puede degradar la señal, por tanto los detalles de los conversores deben ser elegidos cuidadosamente para que los errores generados sean despreciables.

Los DAC están compuestos internamente por componentes electrónicos idénticos por ello se fabrican casi en exclusividad integrados junto a otros dispositivos.

La idoneidad de un DAC en particular para una aplicación concreta, viene determinada por una serie de medidas como el tiempo de conversión y la resolución de salida.

El módulo de video analógico, a semejanza del módulo de video digital, se ha dividido en 5 bloques funcionales diferentes que interactúan entre ellos, cada uno encargado de resolver una parte del problema:

1. **Sincronización:** Este bloque se encarga de generar la sincronización de los sistemas analógicos aceptados. Se activa cuando el  $\mu$ procesador configura la FPGA activando la salida analógica. Genera las señales de BLANK y SYNC necesarias en ambos protocolos que definen la sincronización vertical y horizontal de cada uno de los estándares admitidos por el bloque de vídeo.
2. **Control del triple-buffer:** La salida analógica es mucho más lenta que la entrada digital así que es necesaria una memoria que almacene los fotogramas antes de mostrarlos por pantalla. En este proyecto, se cuenta con dos memorias SRAM que permiten almacenar tres fotogramas completos antes de mostrarlos. Este bloque funcional se encarga de monitorizar los tres bloques contenidos en las SRAM que componen el triple-buffer. Se activa siempre que se requiera una salida de video analógica.

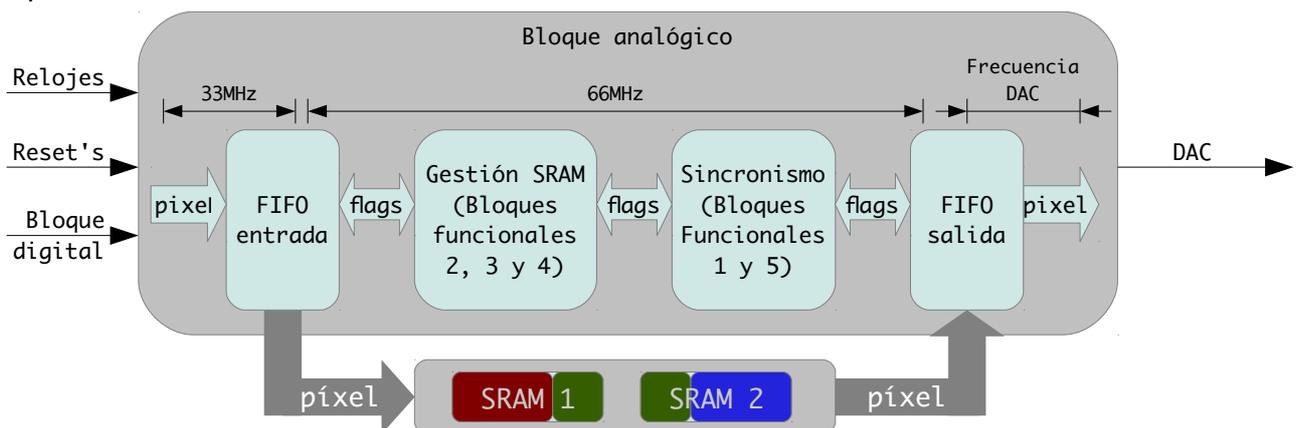
---

<sup>4</sup> La conversión digital-analógica se usa comúnmente en los reproductores de música, televisiones y teléfonos móviles.

3. **Control de las ráfagas de escritura-lectura:** Este bloque se encarga de generar las señales necesarias para la lectura/escritura de los píxeles de/en la memoria. Aunque se tengan dos memorias, ambas comparten el bus de direcciones y el de datos así como las banderas de escritura y lectura, por tanto no se pueden realizar lecturas y/o escrituras simultaneas en ambas memorias. Desde el punto de vista de la FPGA es una única memoria SRAM de 1024Mbytes. Por este motivo, el acceso a la memoria se realiza en ráfagas de escritura y lectura.
4. **Control de las direcciones de lectura/escritura:** Este bloque se encarga de controlar las direcciones de lectura/escritura de la memoria. Desde el punto de vista de la FPGA, se tiene una memoria de 1024Mbytes dividido en 3 bloques, sin embargo el hardware de que se dispone son 2 memorias de 512Mbytes. La división de las memorias se ha realizado mediante el direccionamiento de las SRAM.
5. **Generación del reloj del DAC:** Este bloque se encarga de generar el reloj de entrada al DAC con el que se sincronizan los píxeles. Su frecuencia es variable y viene descrita por la [fórmula 1](#). Existen cuatro tipos distintos de frecuencias, correspondientes a los dos tipos de imágenes permitidas y los dos tipos de protocolos.

Así pues, se necesitan como mínimo dos interfaces, una que maneje los registros y banderas del DAC, y otra que haga lo propio con la SRAM. La estructura jerárquica del bloque analógico se compone de un top que sirve como interfaz entre las SRAM y el DAC, y varios módulos que se encargan de generar las señales y registros que requieren los distintos componentes y protocolos.

En la figura 17 se muestran los componentes del bloque analógico que se describen en este capítulo.



Los puertos de entrada/salida al/del bloque analógico son los siguientes:

### 1. Relojes:

- 1.1. *CLK33*: Reloj con una frecuencia de 33MHz ( $T \approx 30\text{ns}$ ). Los píxeles entran al bloque a ráfagas sincronizadas con este reloj.
- 1.2. *CLK66*: Reloj con una frecuencia de 66MHz ( $T \approx 15\text{ns}$ ). La generación de sincronismos y el acceso a SRAM se sincronizan con este reloj.
- 1.3. *CLK50*: Reloj con una frecuencia de 50MHz ( $T \approx 40\text{ns}$ ). La lectura de la fifo de salida y la generación del reloj del DAC se sincronizan con este reloj.

### 2. Reset:

- 2.1. *RESET33*: Señal que se usa para resetear todos los elementos que funcionen sincronizados con el reloj de 33MHz (*CLK33*).
- 2.2. *RESET66*: Señal que se usa para resetear todos los elementos que funcionen sincronizados con el reloj de 66MHz (*CLK66*).
- 2.3. *RESET50*: Señal que se usa para resetear todos los elementos que funcionen sincronizados con el reloj de 50MHz (*CLK50*).

### 3. Entradas:

- 3.1. *SRAMDATAIN*: bus de 8 bits que transporta píxeles leídos de la SRAM.
- 3.2. *DATA\_IN*: bus de 8 bits que transporta píxeles del bloque digital.
- 3.3. *WRITE\_EN*: bandera que indica si los píxeles de *DATA\_IN* son válidos.

### 4. Salidas:

- 4.1. Hacia la SRAM
  - 4.1.1. *CE\_N*: bus (2b) que indica qué bloque de memoria está activado.
  - 4.1.2. *OE\_N*: bandera que indica ('0') que se configura en modo lectura.
  - 4.1.3. *WE\_N*: bandera que indica ('0') que se configura en modo escritura.
  - 4.1.4. *SRAMADDRESS*: bus de 19 bits que transporta la dirección de lectura o escritura a la que se accede.
  - 4.1.5. *SRAMDATAOUT*: bus de 8 bits que transporta el píxel que se debe escribir en la SRAM.
  - 4.1.6. *CTRBUFF*: bandera que indica al tri-state si la señal bidireccional está en modo entrada o salida.

- 4.2. Hacia el DAC
  - 4.2.1. BLANK: bandera que indica con un '0' periodo de sincronismo y con un '1' periodo de video.
  - 4.2.2. SYNC: bandera que compone el sincronismo vertical y horizontal de los sistemas de televisión aceptados.
  - 4.2.3. DAC\_CLK: Reloj de frecuencia variable con el que se sincronizan los píxeles que son enviados al DAC.
  - 4.2.4. DAC\_DATA: bus de 8 bits que componen un píxel.
  - 4.2.5. PSAVE: bandera que indica con un '1' si el DAC está encendido.
- 4.3. Hacia el Microprocesador
  - 4.3.1. STATE1: bus de 2 bits que indican el estado del bloque1, el primer bloque del triple-buffer.
  - 4.3.2. STATE2: bus de 2 bits que indican el estado del bloque2.
  - 4.3.3. STATE3: bus de 2 bits que indican el estado del bloque3.
  - 4.3.4. IM\_RDY: bandera que indica con un '1' que hay una imagen disponible para mostrar.

### **3.2.1. SINCRONIZACIÓN ANALÓGICA.**

Antes de explicar este bloque funcional, es conveniente saber unas pequeñas nociones de los protocolos analógicos aceptados en este proyecto.

- **NTSC**

National Television System Comitee. Es el sistema analógico de televisión usado en América, exceptuando Brasil y Argentina, y algunos países de Asia e Islas del pacífico.

Fue desarrollado en 1941 en Estados Unidos. La primera versión no consideraba televisión en color. En 1953 se adopta la segunda versión de este estándar que introduce la posibilidad de transmitir televisión a color, la información de crominancia se realiza en la fase, permitiendo la compatibilidad con la versión anterior en blanco y negro.

Este estándar consiste en la transmisión de 29'97 fotogramas por segundo. Cada fotograma está compuesto por 525 líneas, cada una de las cuales puede contener hasta 648 píxeles.

Para evitar el parpadeo del video, se debe refrescar la pantalla a una frecuencia mayor, por eso, cada fotograma se divide en dos campos, el campo par y el campo impar, compuesto,

respectivamente, por las líneas pares e impares que forman el fotograma. Con este método se consigue transmitir 60 campos en un segundo, dando lugar a una frecuencia de 60Hz, que produce una sensación de video sin parpadeo, además de ofrecer una mayor resolución vertical.



Se hizo coincidir la frecuencia NTSC (60Hz) con la de la corriente alterna en Estados Unidos, evitando así problemas con osciladores además de simplificar la conversión de la frecuencia de grabación/emisión ya que bastaba con un motor de corriente alterna en la cámara de vídeo.

En este estándar, se empieza mandando el campo par y a continuación el impar. Cada línea va precedida por un tiempo de sincronización o borrado horizontal y cada campo por un periodo de sincronización o borrado vertical. Debido a este sincronismo, sólo son visibles 485 líneas en cada campo.

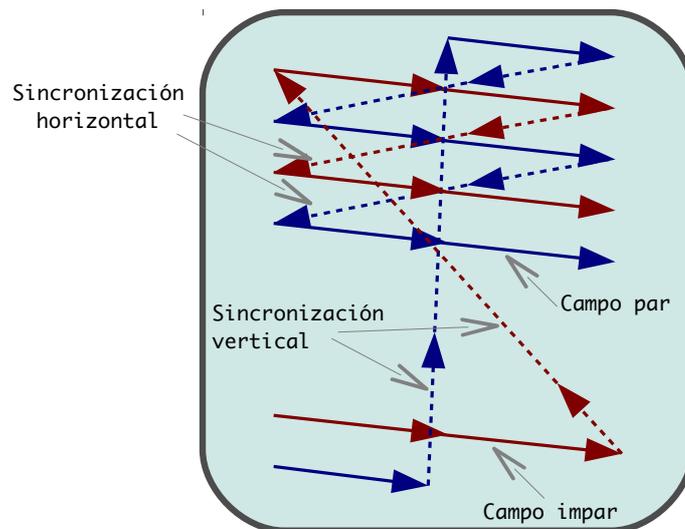


Figura 19: Sincronización vertical y horizontal.

Actualmente este estándar está siendo sustituido por el estándar de transmisión digital ATSC<sup>5</sup>.

5 Para más información ver el [anexo 8.B.](#)

## • PAL

Phase Alternating Line. Es el sistema analógico de televisión usado en Europa (excepto Francia), la mayoría de los países asiáticos y africanos.

El sistema PAL surgió en 1963 en Alemania, fue desarrollado por el Dr. Walter Bruch en los laboratorios Telefunken, como resultado de la investigación para mejorar la calidad y reducir los defectos de color del sistema NTSC.

Este estándar consiste en la transmisión de 25 fotogramas por segundo, cada fotograma está compuesto por 625 líneas y un máximo de 720 píxeles.

Como ocurría en el estándar NTSC, es necesario enviar más fotogramas por segundo para evitar el parpadeo de la imagen. Así pues, también tenemos campos pares e impares, consiguiendo una frecuencia de 50Hz. Como en el sistema NTSC, conseguimos mayor resolución vertical, sin embargo, se puede detectar cierto parpadeo en pantallas grandes (>21") al tener menos frecuencia de refresco.

Se hizo coincidir la frecuencia PAL (50Hz), para adaptarla a la frecuencia de corriente alterna en Europa, además esta frecuencia permite la grabación/emisión de películas cinematográficas rodadas a 24 fotogramas por segundo (fps) de forma más sencilla, acelerando la frecuencia de fotograma a 25fps (4%), se hace coincidir un fotograma rodado con un campo PAL.

Se empieza mandando el campo impar y a continuación el par. Como en NTSC, cada línea va precedida por un tiempo de sincronización horizontal, mientras que cada campo va precedido por un periodo de sincronización vertical. Debido a este sincronismo, sólo son visibles 575 líneas.

La transmisión de la información de crominancia se realiza en la fase.

Para aumentar la calidad del color, el sistema PAL, invierte la fase de cada línea, permitiendo la corrección de este tipo de errores. Puesto que el color de una línea y su predecesora es similar, se halla el valor medio de ambas, corrigiendo el posible error de crominancia, al anularse los errores de fase.

La corrección de errores de fase dota al sistema PAL de mayor robustez en sistemas de transmisión donde se produzcan rebotes de la señal.

Esta es la principal razón por la que la mayoría de los países europeos han elegido el sistema PAL, ya que su orografía es mucho más accidentada que en Estados Unidos, además, en Europa son habituales las transmisiones de carácter nacional, mientras que en Estados Unidos lo son de carácter local.

Actualmente este estándar está siendo sustituido por DVB/T<sup>6</sup>.

---

6 Para más información ver [anexo 8.C.](#)

Una vez dadas algunas pinceladas sobre los protocolos PAL y NTSC recordemos que el objetivo de este bloque no es otro que generar las señales de BLANK y SYNC que componen el sincronismo vertical y horizontal de dichos protocolos.

Para configurar la FPGA en el formato de televisión americano ([NTSC](#)) o el europeo ([PAL](#)) el  $\mu$ procesador debe poner el registro video\_out\_conf como indica la [siguiente tabla](#):

Video_out_conf					
	D0	D1	D2	D3	D4
NTSC	1	0	X	X	0
PAL	1	0	X	X	1

Tabla 9: Registro de configuración del video de salida, salida analógica.

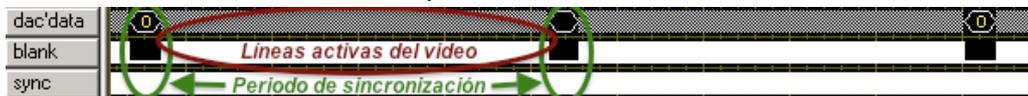
Además, el  $\mu$ procesador puede configurar la FPGA para que reciba sincronismo externo o genere sincronismo interno.

Si la FPGA está configurada para usar sincronismo interno, el bloque se activa y genera las señales BLANK y SYNC que tendrán distintos tiempos, dependiendo del protocolo analógico de televisión requerido.

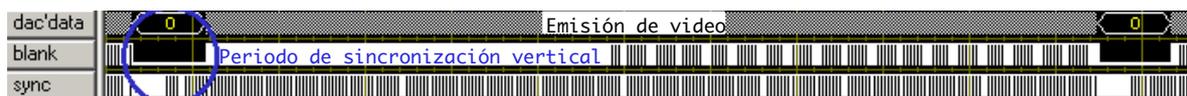
### • GENERACIÓN DEL SINCRONISMO NTSC/PAL:

Los dos tipos de sincronismos que constituyen el protocolo NTSC y PAL son el sincronismo horizontal y el sincronismo vertical, ambos sincronismos se tienen que generar con las banderas de *BLANK* y *SYNC*.

Cuando la bandera de *BLANK* está activa, es decir tiene un valor de '0', la bandera de *SYNC* va generando los distintos periodos que componen el sincronismo horizontal y vertical. Mientras la bandera de *BLANK* está inactiva, se ignora la bandera de *SYNC* y se hace caso a los píxeles que componen cada una de las líneas del campo.



- Sincronismo Vertical NTSC: El sincronismo vertical delimita los campos de un fotograma. El campo par que es el primero que se envía, termina cuando se han mostrado 262.5 líneas, es decir, el campo par termina a mitad de línea. De manera análoga, el campo impar, el segundo en enviarse, empieza a mitad de línea. Cada campo del fotograma dura 16.67ms. Este tiempo se divide en dos partes, la sincronización vertical que dura 1.27ms y la emisión de video que dura 15.40ms.



- Sincronismo Vertical PAL: Igual que para NTSC, el sincronismo vertical delimita los campos de un fotograma. El campo impar que es el primero que se envía, empieza a mitad de línea y termina cuando se han mostrado 288 líneas. De manera análoga, el campo par, el segundo en enviarse, empieza a mostrando una línea entera y termina a mitad de línea. Cada campo del fotograma dura 20ms. Este tiempo se divide en dos partes, la sincronización vertical que dura 2.40ms y la emisión de video que dura 17.60ms.

El sincronismo vertical se compone mediante dos periodos de ecualización intercalados por un periodo de sincronización, y varias líneas negras que se usan normalmente para mandar información adicional como el teletexto...

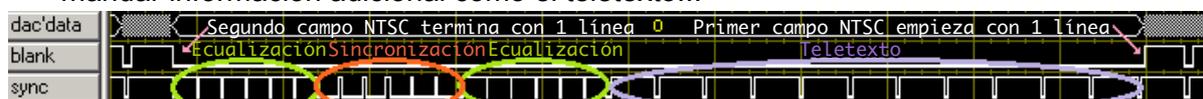


Figura 22: Sincronización vertical, primer campo NTSC

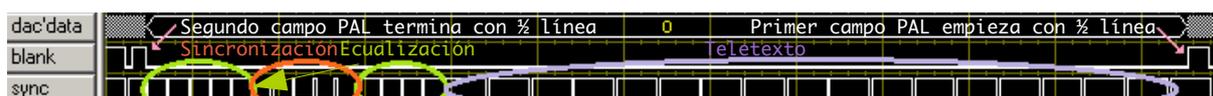


Figura 23: Sincronización vertical, primer campo PAL.

- Ecualización NTSC: El periodo de ecualización dura 3 líneas, es decir, 190,5µs. Para generar este periodo se mantiene blank a '0' mientras la señal de sync va cambiando de valor: durante 2.35µs vale '0', durante 29.40µs vale '1', luego vuelve a valer '0' durante 2.35µs y finalmente se queda a '1' hasta el final de esa línea.



Figura 24: Pulsos de ecualización NTSC.

- Ecualización PAL: El periodo de ecualización dura 2.5 líneas, es decir, 160µs. Para generar este periodo se mantiene blank a '0' mientras la señal de sync va cambiando de valor: durante 2.35µs vale '0', durante 29.65µs vale '1', luego vuelve a valer '0' durante 2.35µs y finalmente se queda a '1' hasta el final de esa línea.

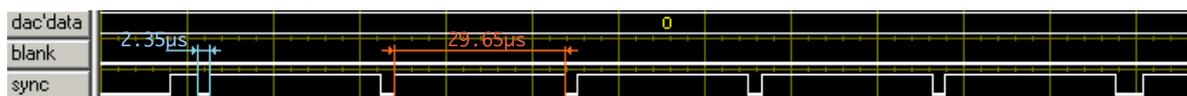


Figura 25: Pulsos de ecualización PAL.

- Sincronismo NTSC: Este periodo dura otras 3 líneas. Para generar el periodo de sincronismo se mantiene blank a '0', la señal de sync empieza valiendo '0' durante 27.3 $\mu$ s, luego se pone a '1' durante 4.44 $\mu$ s para volver a '0' durante otros 27.3 $\mu$ s y finalmente se queda a '1' hasta el final de línea.



- Sincronismo PAL: Este periodo dura otras 2.5 líneas. Para generar el periodo de sincronismo se mantiene blank a '0', la señal de sync empieza valiendo '0' durante 27.56 $\mu$ s, luego se pone a '1' durante 4.44 $\mu$ s para volver a '0' durante otros 27.56 $\mu$ s y finalmente se queda a '1' hasta el final de línea.



Figura 27: Pulsos de sincronización PAL.

- Teletexto: La señal de teletexto se genera manteniendo BLANK a '0' mientras que la señal de SYNC varía exactamente igual que en el sincronismo horizontal, para NTSC el teletexto dura 11 líneas, mientras que para PAL dura 17.

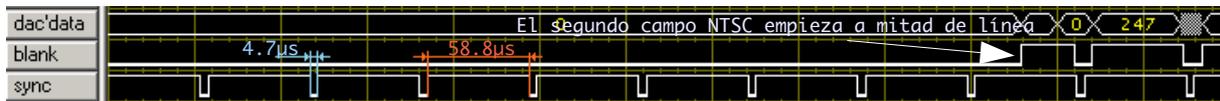


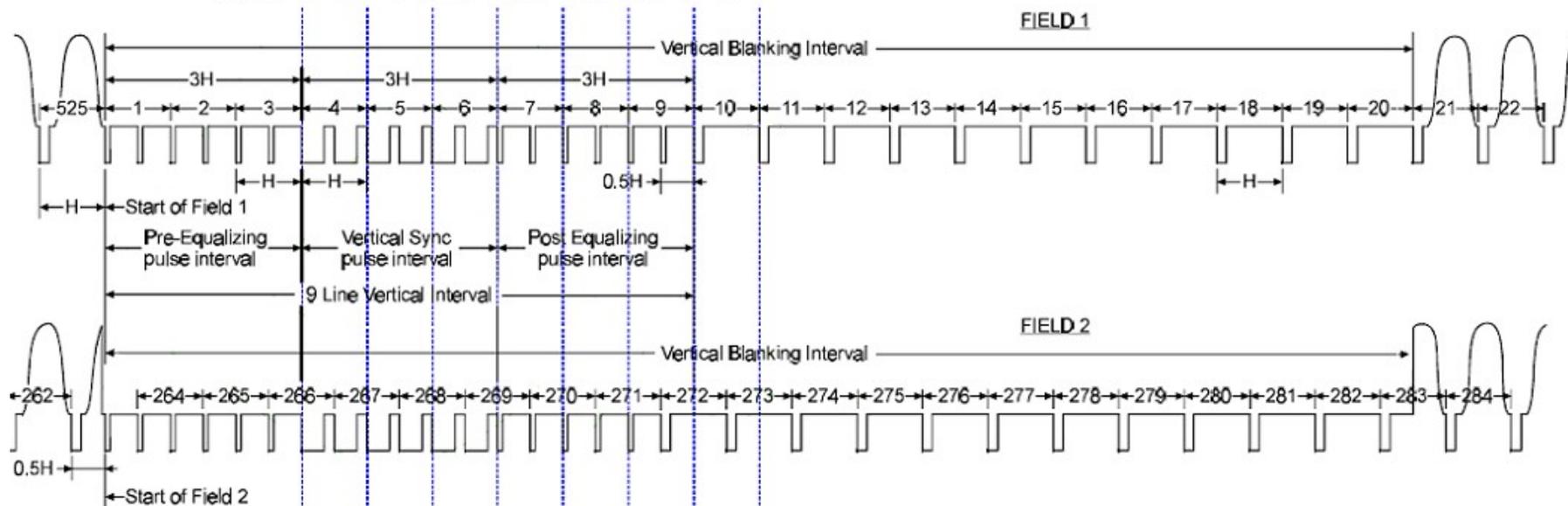
Figura 28: Pulsos de teletexto NTSC.



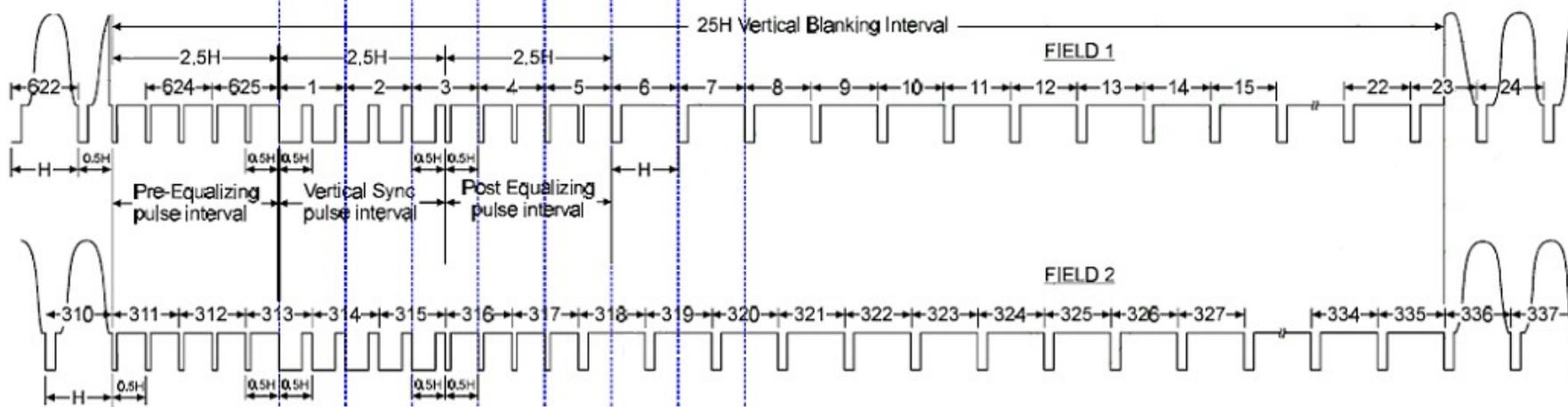
Figura 29: Pulsos de teletexto PAL.

En la figura 30 se puede observar la sincronización vertical de los dos campos de un fotograma. Se puede comprobar que coincide exactamente con las figuras anteriores [20-29], que muestran capturas del analizador lógico.

## NTSC VIDEO SIGNAL



## PAL VIDEO SIGNAL



- Sincronismo horizontal NTSC: El sincronismo horizontal se encarga de delimitar las líneas que componen un fotograma. Cada línea NTSC dura  $63.5\mu\text{s}$ , sin embargo todo ese tiempo no se usa para mandar píxeles. La línea NTSC se compone de dos tiempos, el tiempo de sincronización horizontal o blanking, que dura  $10.9\mu\text{s}$  y el tiempo de emisión de píxeles, comúnmente denominado tiempo de línea activa, que dura  $52.6\mu\text{s}$ .



- Sincronismo horizontal PAL: El sincronismo horizontal se encarga de delimitar las líneas que componen un fotograma. Cada línea PAL dura  $64\mu\text{s}$ . El tiempo de sincronización horizontal o blanking dura  $12\mu\text{s}$  y el tiempo de de línea activa  $52\mu\text{s}$ .

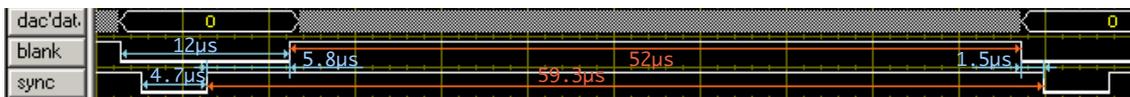


Figura 32: Sincronismo horizontal PAL.

El sincronismo horizontal se divide en tres zonas, front porch, sync tip y back porch. Durante estos tres tiempos la señal de blank debe permanecer a '0' mientras que la señal de sync va variando su valor: permanece a '1' durante  $1.5\mu\text{s}$ , a '0' durante  $4.7\mu\text{s}$  y a '1' durante  $4.7\mu\text{s}$  (NTSC) ó  $5.8\mu\text{s}$  (PAL), después del tiempo de blanking, la señal de blank se pone a '1' y sync se ignora durante  $52.6\mu\text{s}$  (NTSC) ó  $52\mu\text{s}$  (PAL) que dura la línea activa.

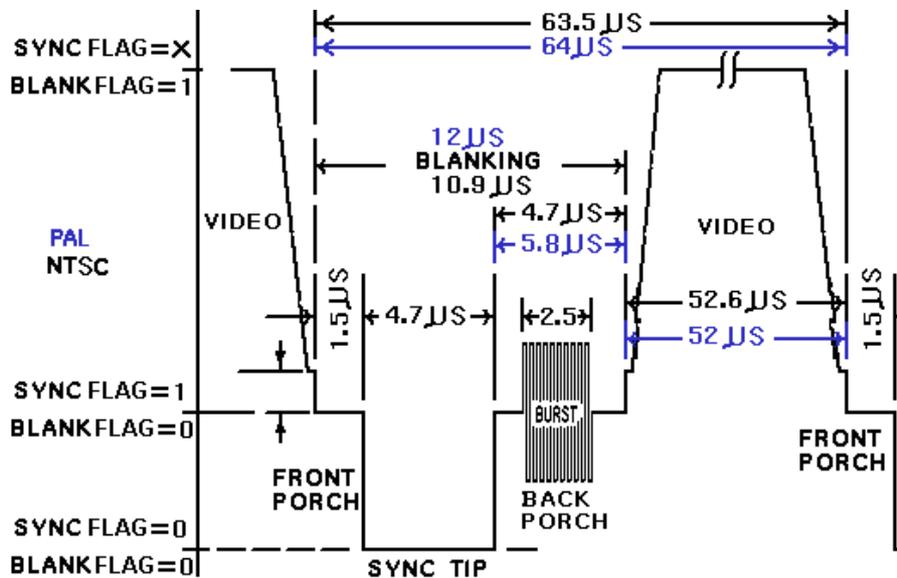


Figura 33: Sincronización horizontal.

Si la FPGA está configurada para recibir el sincronismo externo, existen tres casos

posibles:

- Se recibe Vs y Hs, que indican el inicio de la sincronización vertical (Vs), y el sincronismo horizontal (Hs).
- Se recibe Cs, a partir del cual se deben generar las señales de BLANK y SYNC.
- No se recibe ninguna señal externa, o la señal externa recibida es defectuosa, para subsanar este error se activa la generación interna del sincronismo.

Para generar las señales de sincronización de los estándares se ha realizado la siguiente máquina de estados.

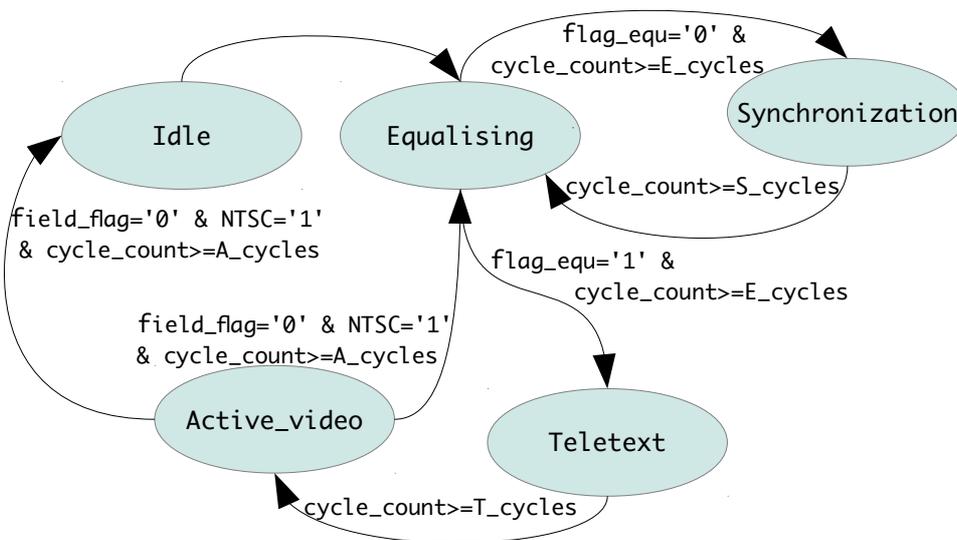


Figura 34: Máquina de estados que genera las banderas de sincronización.

En el estado IDLE se inicializan todas las señales que intervienen en la generación de los sincronismos coherentes con el estándar de salida. Si el sincronismo es interno, tras la inicialización se va al estado equalising, si el sincronismo es externo se monitorizan las señales hasta que se encuentra el momento de la pre-equalización, si la señal externa da problemas existe un contador que activa el cambio de estado. Los estados synchronization y teletex generan los pulsos de sincronización y los de teletexto respectivamente. El estado active\_video genera la sincronización horizontal detallada más arriba.

### 3.2.2. CONTROL DEL TRIPLE-BUFFER.

Si recordamos la interfaz del [DAC](#), se necesitan una serie de registros y señales de entrada a

una frecuencia determinada por la resolución del fotograma y la frecuencia de refresco del campo, que resulta lenta si la comparamos con la frecuencia de trabajo de la FPGA.

Frecuencia de trabajo de la FPGA	NTSC		PAL	
	Frecuencia del DAC para una imagen rectangular	Frecuencia del DAC para una imagen cuadrada	Frecuencia del DAC para una imagen rectangular	Frecuencia del DAC para una imagen cuadrada
66MHz	9.8304MHz	12.288MHz	10.24MHz	8.192MHz

*Tabla 10: Reloj del DAC*

Para no perder fotogramas de video se tienen dos chips de SRAM de 512MB cada uno, que permiten el almacenamiento de tres fotogramas completos.

Las dos memorias SRAM se dividen en tres bloques que componen el triple-buffer de alimentación del DAC.

Los posibles estados en los que se puede encontrar un bloque son: EMPTY, LOADING, FULL o DISPLAYING. El  $\mu$ procesador debe conocer en cada momento el estado de todos los bloques del triple-buffer.

Inicialmente los tres bloques (A, B y C) están en el estado EMPTY. Cuando se detecta el primer píxel válido del fotograma, el primer bloque (A) pasa al estado LOADING; este bloque se mantiene en LOADING hasta que se ha guardado un fotograma completo en la SRAM.

Cuando un fotograma ha terminado de cargarse, el bloque A pasa a FULL y uno de los bloques (B o C) que estaban en EMPTY pasa a LOADING.

Se pueden dar dos situaciones que hagan salir al bloque A del estado FULL:

- Que ninguno de los otros dos bloques esté en el estado DISPLAYING, lo que provoca que el bloque A pase de FULL a DISPLAYING.
- Que uno de los otros dos bloques esté en el estado LOADING y termine de guardar un fotograma, en este caso el bloque A pasa a EMPTY y se pierde el fotograma.

Cuando un fotograma está en DISPLAYING, la única manera de cambiar de estado (pasar a EMPTY) es que uno de los otros dos bloques esté en FULL una vez se haya mostrado el fotograma completo.

La regulación del estado de los bloques que componen el triple-buffer, se lleva a cabo mediante la máquina de estados que muestra la figura 35.

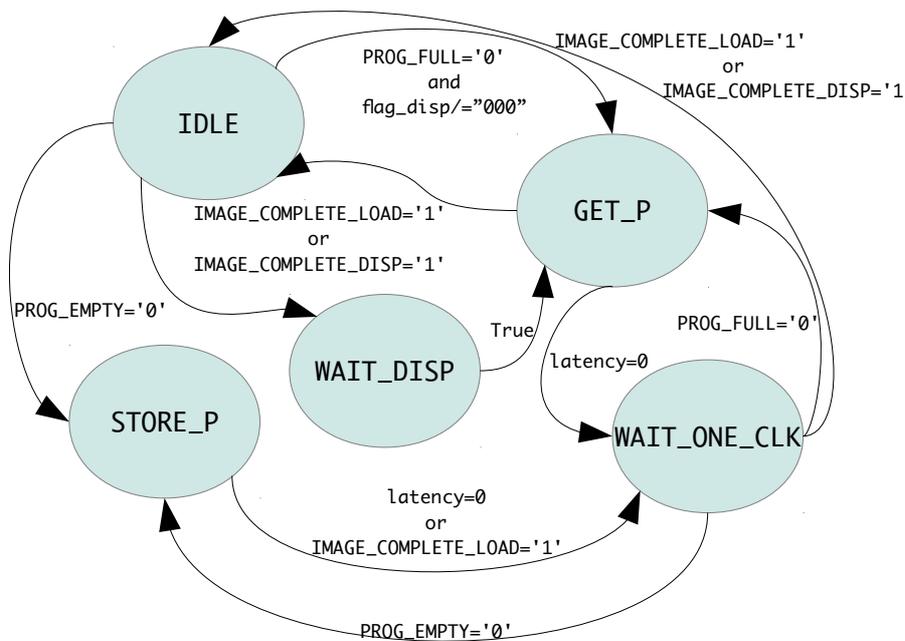


Figura 35: Máquina de estados que controla el triple-buffer.

### 3.2.3. CONTROL DEL ACCESO A SRAM

Para optimizar el acceso a SRAM, la lectura y escritura se realiza en ciclos. Este bloque funcional debe gestionar tres elementos, una fifo de entrada, una fifo de salida y la SRAM, como se muestra en la figura 36.

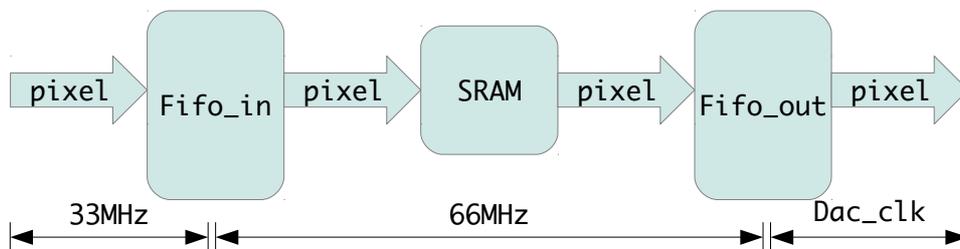


Figura 36: Esquema de almacenamiento del video analógico.

Existen dos casos que nunca pueden suceder, que la fifo\_in se llene y/o que la fifo\_out se vacíe. Como se comentó en el video digital, no existe ninguna manera de decirle a la cámara que deje de mandar fotogramas, por tanto si se llena la fifo de entrada se perderían y mezclarían al menos dos fotogramas. Por otro lado, la fifo out proporciona los píxeles al DAC, si se vacía, se corta el flujo y se vería una imagen con píxeles o bandas negras, más o menos anchas dependiendo del tiempo que dure la fifo vacía.

Teniendo en cuenta estas dos restricciones, así como la frecuencia de funcionamiento de cada uno de los elementos que componen este bloque funcional, se debe elegir el número de píxeles

que se escriben en un ciclo de escritura y el número de píxeles que se leen en un ciclo de lectura. Además, hay que tener en cuenta que entre cada ciclo de lectura/escritura y viceversa, debe haber un ciclo de reloj (15ns), en el que no se acceda a la memoria; esta restricción viene impuesta por el modelo de memoria empleado (CY7C1049BV33-15VI<sup>7</sup>).

Para calcular el tamaño de las fifos y el tamaño de los ciclos de lectura/escritura se ha tomado como referencia una línea de un fotograma, es decir, cuando se termine de escribir una línea en la SRAM y antes de que empiece a escribirse la siguiente, la fifo de entrada debe quedar vacía.

Dos tipos de fotogramas distintos pueden ser admitidos por este bloque, fotogramas rectangulares de 640x512 o fotogramas cuadrados de 512x512.

Los tipos de fotogramas y sus salidas asociados se detallan en la tabla siguiente:

Entrada	#píxeles x #líneas	Salida NTSC	Salida PAL	Salida Digital
Imagen cuadrada	512 x 512	512 x 512	512 x 512	512 x 512
Imagen rectangular	640 x 512	648 x 485	720 x 575	640 x 512

Tabla 11: Tipos de fotogramas de entrada al módulo de video.

Para realizar los cálculos se toma siempre el peor caso, es decir, una imagen rectangular de 640px/lin.

La línea digital tiene una duración de  $640 \frac{px}{lin} \cdot 40 \frac{ns}{px} = 25600 \frac{ns}{lin}$ , sin embargo, como ocurre en el video analógico, este tiempo contiene píxeles inválidos. La línea activa digital dura

$640 \frac{px}{lin} \cdot 30 \frac{ns}{px} = 19200 \frac{ns}{lin}$ , es decir, existen  $25600ns - 19200ns = 6400ns$  en los que no se almacenan píxeles en la fifo de entrada, ese tiempo se usa para vaciar la fifo\_in al final de cada línea.

El modelo de SRAM permite realizar lecturas/escrituras cada 12ns, es decir, el dato y la dirección deben mantenerse estables durante 12ns para que se realice una lectura/escritura con éxito; además para el ciclo de escritura, la señal de write enable, debe cambiar de '0' a '1' para que se produzca la escritura. Para la lectura, sólo es necesario que el output enable esté activo bajo durante los 12ns.

El reloj que se usa para la SRAM es de 66MHz (T≈15ns), teniendo en cuenta las restricciones de tiempo comentadas en el párrafo anterior, se tardan 30ns en escribir un píxel y 15ns en leerlo.

7 Ver Anexo 8.E.

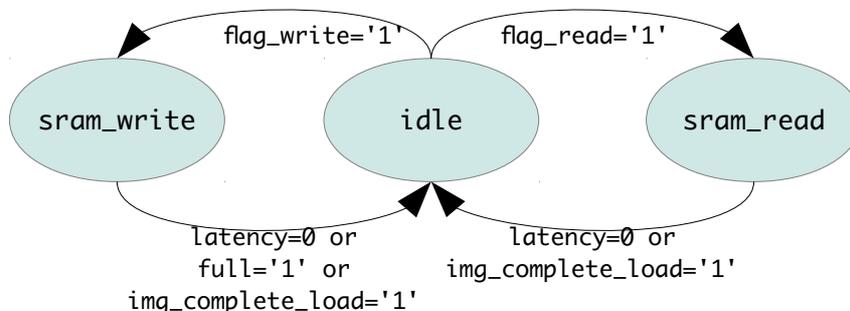
En 6400ns se pueden sacar de la fifo\_in  $\frac{6400\text{ ns}}{30\text{ ns}} = 213\text{px}$ , así que el tamaño de la fifo\_in se

podría dejar en 256 palabras de profundidad, sin embargo, se ha elegido un tamaño de 512.

Tal y como se comentó en el apartado [3.2.2](#) de este documento, el reloj del DAC tiene una frecuencia variable, se escoge el peor caso, 12.288MHz (T≈80ns). Es decir para que la fifo\_out no se vacíe, el tiempo medio de lectura de un píxel de la SRAM debe ser 80ns. En este caso no existe ninguna restricción a cerca del tamaño de la fifo, así que se ha elegido una fifo\_out de 1024 palabras de profundidad.

Se ha elegido una ráfaga de 12 píxeles de escritura y 6 píxeles de lectura de ram; la elección está justificada en el anexo [8.D](#).

Para controlar las ráfagas de escritura-lectura en la SRAM, se ha implementado una máquina de estados.



Se empieza en el estado idle, y se permanece en ese estado hasta que una de las banderas indica que uno de los bloques del triple-buffer está listo para llenarse (*flag\_write*='1') o para vaciarse (*flag\_read*='1'). Cuando la bandera *flag\_write* se activa, se inicializan las señales que intervienen en el proceso de escritura y se cambia de estado, si se activa la bandera *flag\_read* se inicializan, de manera análoga, para el proceso de lectura.

En el estado *sram\_write* se dan los valores a las banderas que controlan la lectura (*oe\_n*='1') y la escritura (*wr\_n*='not wr\_en'), hasta que termina el tiempo de la ráfaga de escritura (12px=420ns). Si se termina este tiempo (*latency*=0) o se termina de escribir una imagen.

El estado *sram\_read* funciona igual al estado *sram\_write*, teniendo en cuenta las siguientes diferencias:

- Para activar la lectura *oe\_n*='0' y *wr\_n*='1'.
- La duración de la ráfaga es menor, concretamente 6px=90ns.
- Para salir de este estado, se controla además, que la fifo de salida no se llene.

### 3.2.4. CONTROL DE DIRECCIONAMIENTO SRAM.

Como se comentó anteriormente, las SRAM forman un triple-buffer que proporciona los píxeles a la pantalla analógica. La división de éstas dos pastillas de memoria se ha realizado mediante el direccionamiento de las SRAM.

El tamaño de cada bloque se ha calculado repartiendo equitativamente la memoria total

disponible: 
$$\frac{1\text{MB}}{3 \text{ bloques}} = \frac{2^{20} B}{3 \text{ bloques}} = \frac{1048576B}{3 \text{ bloques}} = 349525,333 \frac{B}{\text{bloque}}$$
, por tanto cada bloque

tendrá un tamaño de 349525B. Los fotogramas más grandes que se deben almacenar ocupan

$$640 \text{ px} \cdot 512 \text{ lin} = 327680B \rightarrow 327680B < 349525B$$

Para efectuar las divisiones se recurre al direccionamiento de este modo:

	Imagen rectangular 640x512				Imagen cuadrada 512x512			
Bloque	campo	Dir. inicial	Dir. final	Pastilla	campo	Dir. inicial	Dir. final	Pastilla
Bloque 1	par	640	310651	1	par	512	248831	1
	impar	383	310399		impar	383	248319	
Bloque 2	par	350165	523605	1	par	350037	524117	1
	par	596	135887	2	par	853	74068	2
	impar	349908	524288	1	impar	349908	524288	1
	impar	1235	135635	2	impar	340	73556	2
Bloque 3	par	175401	485412	2	par	175273	423592	2
	impar	175144	485160		impar	175144	423080	

Tabla 12: Direccionamiento SRAM.

El funcionamiento de este módulo es el siguiente:

- Cuando un bloque se está cargando, se inicia el bus de direcciones con la dirección inicial del bloque que se va a escribir, activándose la pastilla de SRAM asignada a cada bloque. Las direcciones se incrementan de uno en uno hasta que se ha guardado un fotograma completo. Las direcciones deben permanecer estables al menos 30ns.
- Cuando un bloque se está leyendo, se inicia el bus de direcciones con la dirección inicial del bloque que se va a leer, activándose la pastilla de SRAM asignada a cada bloque. Las direcciones se incrementan de uno en uno hasta que se ha leído una línea completa, entonces se incrementa el bus de direcciones en una línea y se muestra la siguiente. De esta manera se consigue leer primero el campo par o impar. Cuando se ha leído la mitad del fotograma, es decir, cuando se termina de leer uno de los campos, se inicializa el bus

de direcciones con la dirección de la primera línea del campo siguiente y se vuelve a leer el segundo campo repitiendo el patrón anterior.

- El bloque 2 está dividido, la mitad del bloque se encuentra en la pastilla 1 y la otra mitad en la pastilla 2, sin embargo, la escritura y lectura se realizan de manera análoga a los otros bloques.

### 3.2.5. GENERACIÓN DEL RELOJ DEL DAC.

Como se ha comentado en varias ocasiones a lo largo de este proyecto, el reloj del DAC tiene una frecuencia variable que depende de la resolución vertical y horizontal del fotograma y del sistema de televisión analógica que se emplee en su visualización.

Existen, por tanto, cuatro frecuencias posibles para el DAC:

	PAL	NTSC
Imagen cuadrada (512x512)	f=8.2MHz, T≈122.07ns	f=9.8MHz, T≈101.73ns
Imagen rectangular (640x512)	f=10.2MHz, T≈97.66ns	f=12.3MHz, T≈81.32ns

*Tabla 13: Frecuencias del reloj del DAC.*

Como en el proyecto sólo se disponen de relojes de 15ns, 30ns, 20ns y 7.5ns se ha aproximado cada una de las frecuencias a un múltiplo de estos relojes.

- 81.32ns se aproxima con el reloj de 20ns (clk50) a 80ns.
- 122.07ns se aproxima con el reloj de 20ns (clk50) a 120ns.
- 101.73ns se aproxima con el reloj de 20ns (clk50) a 100ns.
- 97.66ns se aproxima con el reloj de 7.5ns (clk133) a 97.5ns.

En estas aproximaciones, el mayor error que se comete son 2,07ns para el sistema PAL con una imagen cuadrada, este error está dentro de la desviación aceptada por el DAC<sup>8</sup>.

La generación de los relojes se realiza en dos procesos distintos, uno para cada uno de los relojes que intervienen, aunque los pasos que se siguen sean iguales en ambos procesos.

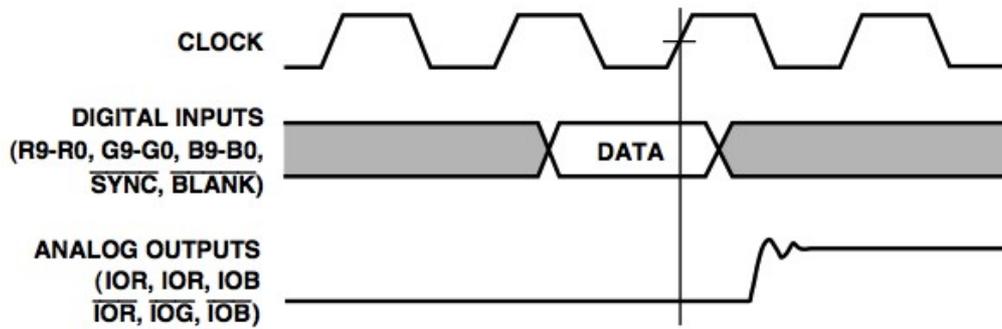
Mediante un contador se esperan los ciclos necesarios para alcanzar la frecuencia deseada.

Este bloque proporciona como salidas el reloj del DAC, el mismo reloj desplazado y el reloj registrado.

- Reloj del DAC: se usa junto con el reloj registrado para leer los píxeles de la fifo de salida.

<sup>8</sup> Para más información consultar el datasheet del dac en el anexo 8.E.

- Reloj desplazado: Este este es el reloj que se envía al DAC. De acuerdo con las especificaciones del datasheet, el reloj y el dato tienen que cumplir las restricciones que indican la siguiente figura.

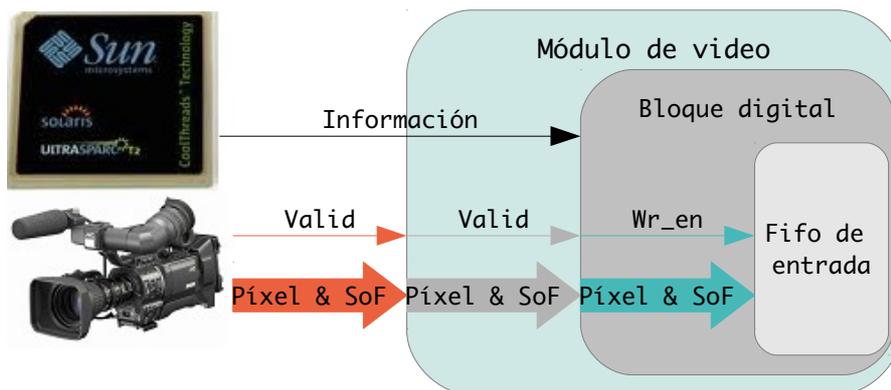




## 4. INTEGRACIÓN PRUEBAS Y RESULTADOS

### 4.1. ENTRADA AL BLOQUE DIGITAL

- Objetivo: Recepción del flujo de píxeles desde un simulador de cámara.
- Módulos involucrados:
  - Simulador: encargado de simular una serie de fotogramas provenientes de una cámara.
  - Fifo de entrada del bloque digital: encargada de recibir y almacenar hasta 1024 píxeles válidos.
- Conexiones necesarias:
  1. Se conecta el simulador de la cámara al módulo de video.
  2. Se conecta el simulador del  $\mu$ procesador al módulo de video.



- Resultados: Se muestran capturas realizadas durante una simulación para verificar las conexiones entre la cámara y el bloque de video.

Los resultados obtenidos se muestran en la figura 40.

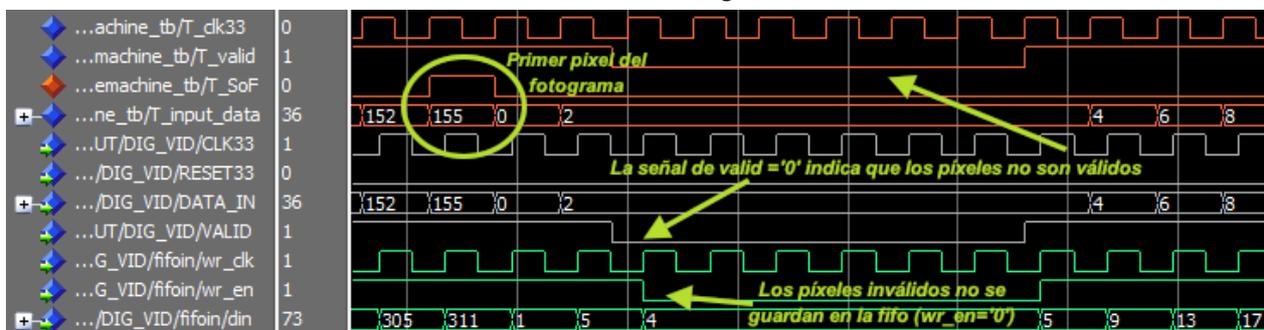


Figura 40: Entrada al bloque digital.

Las señales de las figuras 39 y 40 se han pintado de diferentes colores para separar

las distintas etapas. El color naranja representa las señales que salen de la cámara hacia el bloque de video. El color gris representa las señales internas del bloque de video hacia el módulo digital de video. El color verde representa las señales del módulo digital de video hacia la fifo de entrada.

Se muestra en primer lugar la bandera de SoF (start of frame), previamente hay más píxeles válidos correspondientes a fotogramas anteriores.

Posteriormente, la señal de valid indica qué píxeles son los válidos, que se guardan en la fifo de entrada, y cuales no lo son, que se tiran.

## 4.2. PROCESAMIENTO DIGITAL DEL FOTOGRAMA

### 4.2.1. NORMAL

- Objetivo: Generación del protocolo del LVDS a partir de los píxeles de la fifo de entrada.
- Módulos involucrados:
  - Fifo de entrada del módulo digital: almacena 640 píxeles válidos.
  - Máquina de estados: genera el protocolo del LVDS a partir de los píxeles suministrados por la fifo de entrada.
  - Fifo de salida del módulo digital: almacena los píxeles procesados.
- Conexiones necesarias:
  1. Se conecta la fifo de entrada con la máquina de estados.
  2. Se conecta la fifo de salida con la máquina de estados.

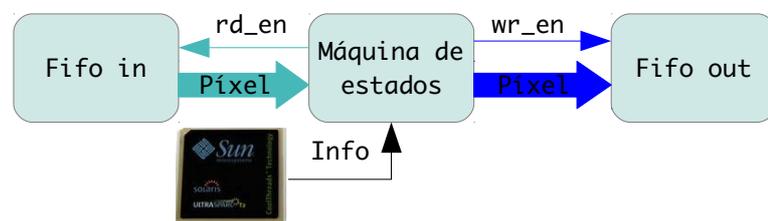


Figura 41: Conexiones de la máquina de estados del módulo digital.

- Resultados: Se muestran capturas realizadas durante una simulación para verificar las conexiones entre la máquina de estado y las fifos.



## 4.2.2. WINDOWING

- Objetivo: Reducción del fotograma y generación del protocolo del LVDS a partir de los píxeles de la fifo de entrada.
- Módulos involucrados:
  - Fifo de entrada del bloque digital: almacena píxeles válidos.
  - Máquina de estados: encargada de reducir el fotograma y generar el protocolo del LVDS a partir de los píxeles suministrados por la fifo de entrada.
  - Fifo de salida del bloque digital: encargada de almacenar el protocolo LVDS que compone el fotograma digital reducido.
- Conexiones necesarias:
  1. Se conecta la fifo de entrada con la máquina de estados.
  2. Se conecta la fifo de salida con la máquina de estados.

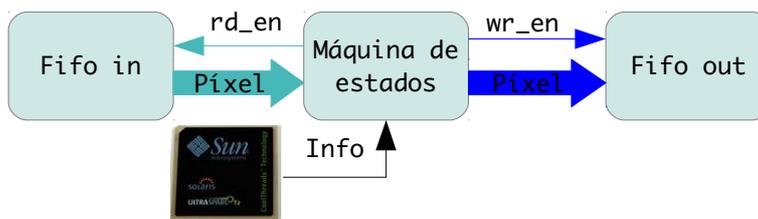
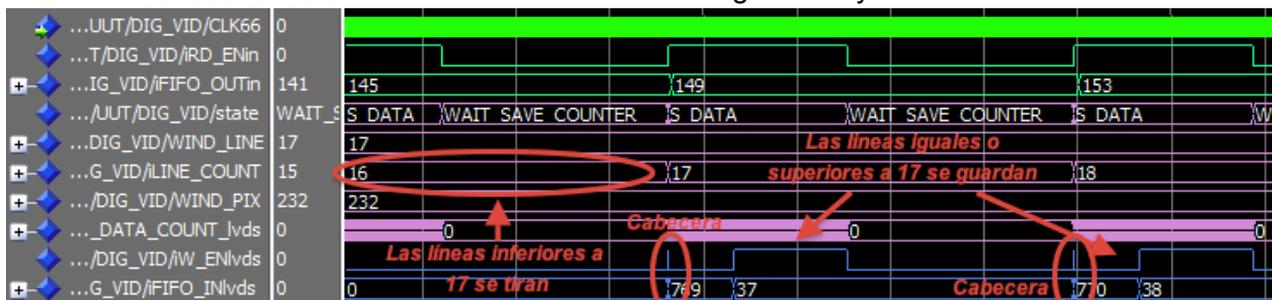


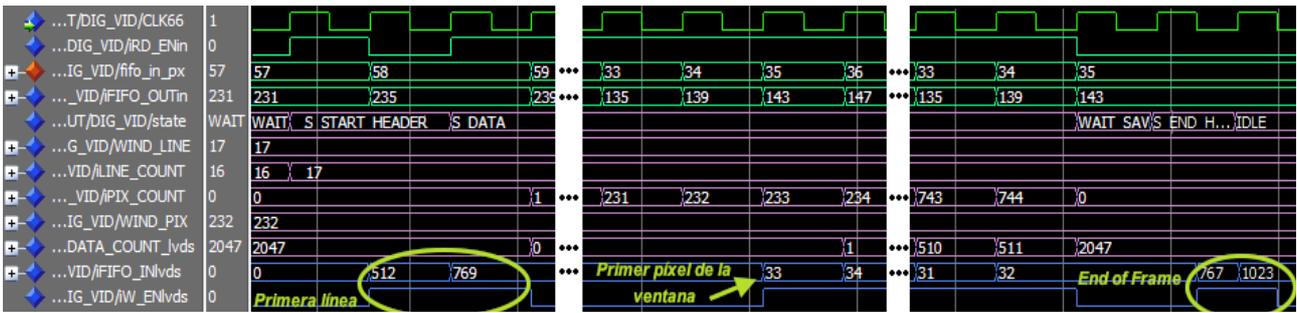
Figura 44: Conexiones de la máquina de estados del módulo digital.

- Resultados: Se muestran capturas realizadas durante una simulación para verificar la reducción del fotograma.

Los resultados obtenidos se muestran en las figuras 45 y 46.



Como en figuras anteriores, se han separado los bloques por colores, en verde se representan las señales de la fifo de entrada, en violeta, las de la máquina de estados y en azul las de la fifo de salida.



La máquina de estados compara el contador de líneas (*iline\_count*) con la primera mitad del registro windowing (*wind\_line*) que en este ejemplo tiene un valor de 17, cuando el contador de líneas tiene un valor igual o superior al valor marcado por *wind\_line*, la máquina de estados empieza a comparar el segundo contador (*data\_count\_lvds*) con la segunda mitad del registro windowing (*wind\_pix=232*), cuando el contador de píxeles tiene un valor superior o igual al valor marcado por *wind\_pix* e inferior o igual a ese valor más la longitud de una línea, se empiezan a guardar píxeles en la fifo de salida.

### 4.2.3. DEGRADATION

- Objetivo: Reducción del fotograma y generación del protocolo del LVDS a partir de los píxeles de la fifo de entrada.
- Módulos involucrados:
  - Fifo de entrada del bloque digital: almacena píxeles válidos.
  - Máquina de estados: encargada de reducir el fotograma y generar el protocolo del LVDS a partir de los píxeles suministrados por la fifo de entrada.
  - Fifo de salida del bloque digital: encargada de almacenar el protocolo LVDS que compone el fotograma digital reducido.
- Conexiones necesarias:

1. Se conecta la fifo de entrada con la máquina de estados.
2. Se conecta la fifo de salida con la máquina de estados.

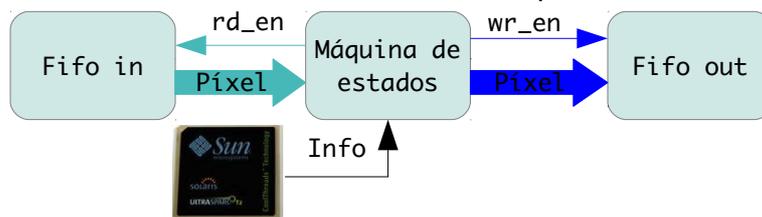


Figura 47: Conexiones de la máquina de estados del módulo digital.

- Resultados: Se muestran capturas realizadas durante una simulación para verificar la reducción del fotograma.

Los resultados obtenidos se muestran en las figuras 48 y 49.

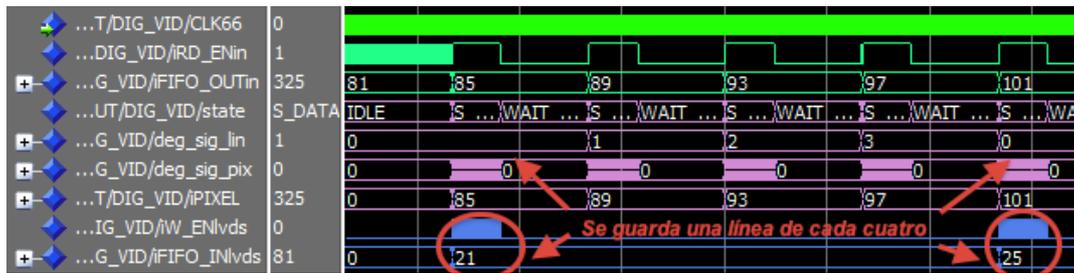


Figura 49: Degradation, detalle a nivel de píxel.

Como en figuras anteriores, se han separado los bloques por colores, en verde se representan las señales de la fifo de entrada, en violeta, las de la máquina de estados y en azul las de la fifo de salida.

La máquina de estados monitoriza el contador *deg\_sig\_lin* que indica qué líneas se deben guardar. Cuando tiene un valor igual a cero, la máquina de estados empieza a guardar un píxel de cada cuatro, para ello monitoriza el contador *deg\_sig\_pix* que indica qué píxel se debe guardar.

### 4.3. SALIDA A PANTALLA DIGITAL

- Objetivo: extracción de los píxeles de la fifo digital a la frecuencia indicada por el  $\mu$ procesador.
- Módulos involucrados:
  - Registros de configuración de entrada y salida del  $\mu$ procesador.
  - Bloque de vídeo digital: realiza todo el procesado de video.
  - LVDS: recibe los píxeles que forman el fotograma digital.
  - Pantalla digital.

- Conexiones necesarias:
  1. Se conecta la fifo de salida con el LVDS.
  2. Se conecta el  $\mu$ procesador con el bloque digital.
  3. Se conecta el LVDS con la pantalla digital<sup>9</sup>.

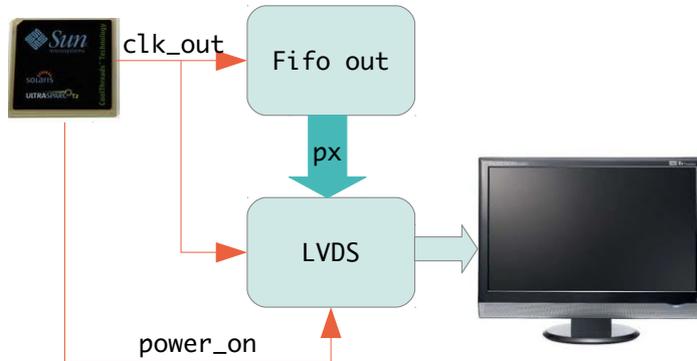


Figura 50: Conexiones entre la fifo de salida y el LVDS.

- Resultados: Se muestran capturas realizadas durante una simulación para verificar la reducción del fotograma.

Los resultados obtenidos se muestran en la figura 51.



Cuando la fifo de salida tiene píxeles válidos, empieza a vaciarse a la frecuencia indicada por el  $\mu$ procesador (33MHz ó 25MHz). Mientras la fifo está vacía se manda al LVDS la secuencia "0100000000" que indica dato irrelevante.

#### 4.4. ENTRADA AL BLOQUE ANALÓGICO

- Objetivo: Almacenamiento de los píxeles en la fifo de entrada.

<sup>9</sup> En el laboratorio al no tener pantalla digital, se conectaba una FPGA configurada con salida digital a otra en serie con salida analógica y ésta última a la televisión.

- Módulos involucrados:
  - Fifo de salida del bloque digital: encargada de almacenar los píxeles que componen el fotograma digital.
  - Fifo de entrada del bloque analógico: Almacena los píxeles provenientes del bloque digital.
- Conexiones necesarias:
  1. Se conecta la fifo de salida con la fifo de entrada.

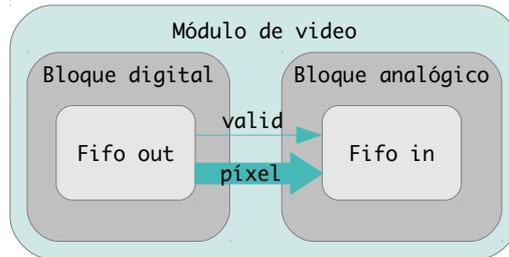


Figura 52: Conexiones entre el bloque analógico y digital.

- Resultados: En la figura 53 se muestran capturas realizadas durante una simulación para verificar la correcta recepción de los píxeles.

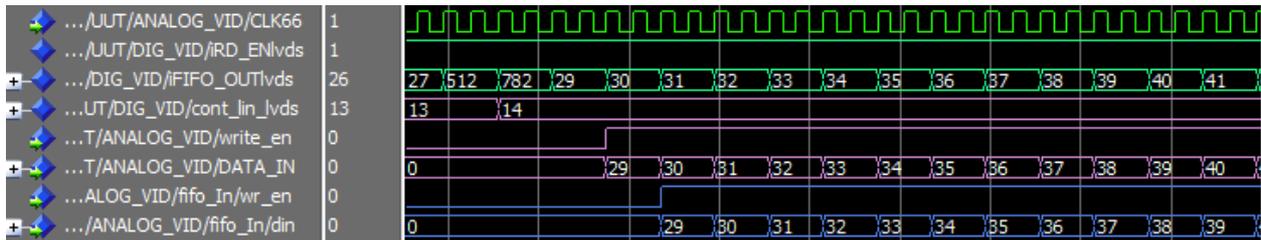


Figura 53: Entrada al bloque analógico.

Como en figuras anteriores, se han separado los bloques por colores, en verde se representan las señales de la fifo de salida del bloque digital, en violeta las señales que conectan ambos bloques y en azul las de la fifo de entrada al bloque analógico.

El fotograma analógico puede tener dos medidas dependiendo del sistema de televisión que se use en su reproducción, el fotograma NTSC tiene 485 líneas, mientras que el fotograma PAL tiene 575 líneas. El fotograma digital tiene 512 líneas así que si el sistema analógico usado es NTSC, se tiran 13 líneas del principio y 14 del final, si es PAL, se añaden bandas negras a la imagen.

El bloque digital se encarga de tirar las líneas o generar las bandas negras, dependiendo del protocolo exigido. Para generar las bandas negras, se almacenan píxeles negros, es decir, se pone valid a uno (valid='1') y se da un valor al píxel de "00000000". Para tirar las líneas, se pone valid a cero (valid='0') mientras las líneas que

deben tirarse se sacan de la fifo de salida digital.

La fifo de entrada al bloque analógico, almacena aquellos píxeles con la bandera de valid activa (valid='1').

## 4.5.ACCESOS A SRAM

- Objetivo: Almacenamiento y extracción de los píxeles de la SRAM.
- Módulos involucrados:
  - Fifo de entrada al bloque analógico: encargada de almacenar los píxeles que componen el fotograma.
  - SRAM: Almacena hasta tres fotogramas.
  - Máquina de estados: Genera las señales de control de la fifo de entrada y de la SRAM.
- Conexiones necesarias:
  1. Se conecta la fifo de entrada con la SRAM.
  2. Se conecta la máquina de estados con la fifo de entrada y la SRAM.

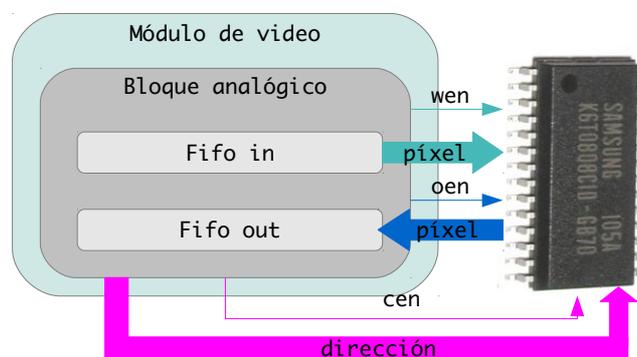


Figura 54: Conexiones del módulo de video con la SRAM.

- Resultados: Se muestran capturas realizadas durante una simulación para verificar el correcto almacenamiento y extracción de píxeles de la SRAM.

Los resultados obtenidos se muestran en la figura 55.



Como en figuras anteriores en verde se representan las señales de la fifo de entrada, en violeta, las de la máquina de estados y en azul las de la fifo de salida.

En la figura 55 se comprueba que se cumplen todos los requisitos indicados en el apartado 4.5:

1. Entre ráfagas debe existir un ciclo de reloj (15ns) en el que no se acceda a SRAM. En la captura comprobamos que existe un ciclo entre cada ráfaga en el que la señal de *oen* y *wen* permanecen a '1', es decir, no se accede a SRAM.
2. Para que el dato se grabe en la memoria, *wen* debe cambiar de '0' a '1'. El dato debe permanecer estable al menos 12ns. En la figura 55 se puede comprobar que el dato permanece estable 30ns y que se realiza un flanco de subida del write enable (*wen*) a los 15ns.
3. Para que el dato se extraiga de la memoria, *oen* debe permanecer a '0'. Para que el dato se extraiga correctamente, la dirección de memoria debe permanecer estable como mínimo 12ns. En la figura 55 se comprueba que cada dirección permanece estable al menos 15ns.

## 4.6. GENERACIÓN DEL RELOJ DEL DAC

- Objetivo: Generación del reloj del dac.
- Módulos involucrados:
  - Registros del  $\mu$ procesador.
- Resultados: Se muestra una captura donde se aprecia que se cumplen las condiciones descritas en la figura 38.

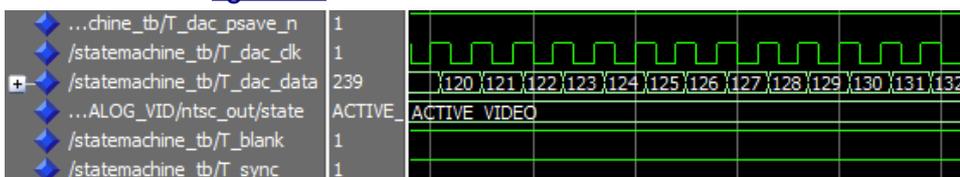
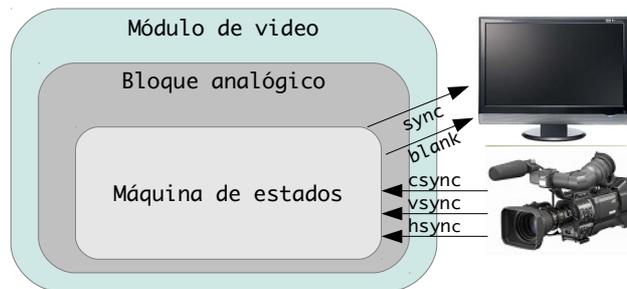


Figura 56: Reloj del DAC,  $T \approx 80ns$ .

## 4.7.GENERACIÓN DE SINCRONISMOS

### 4.7.1.NTSC

- Objetivo: Generación de las banderas de *BLANK* y *SYNC* que componen el sincronismo NTSC.
- Módulos involucrados:
  - Señalización externa.
  - Máquina de estados: Genera las señales de sincronismo usando, si fuera necesario la señalización externa.
- Conexiones necesarias:
  - Se conectan las señales externas a la máquina de estado.

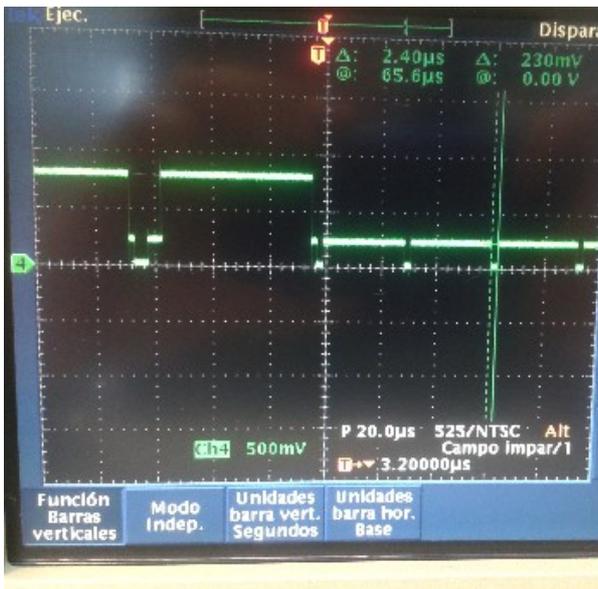


- Resultados: Se muestran capturas realizadas con el osciloscopio para comprobar la coherencia entre las señales del analizador lógico y la salida de video analógica.

Los resultados obtenidos se muestran en las figuras siguientes.



Figura 58: Analizador lógico. Sincronismo vertical NTSC.



En la figura 59 se observan algunos pulsos de ecualización, con los cursores se comprueba que la señal está a '0' durante  $2.40\mu\text{s}$  y a '1' durante  $29.2\mu\text{s}$  tal y como se explicó en el [apartado 3.2.1](#).

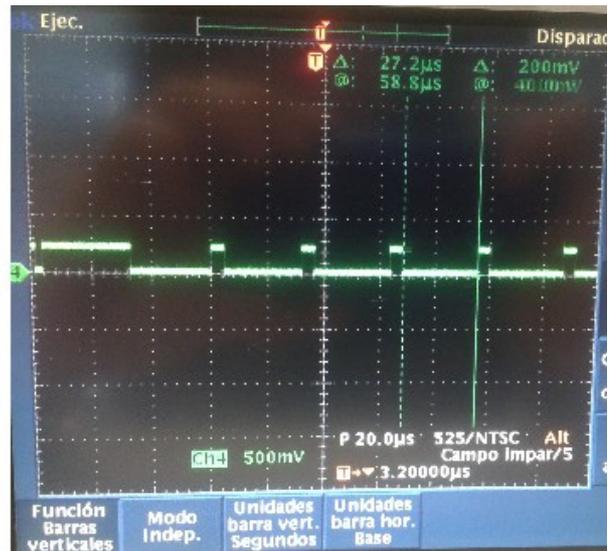


Figura 60: Osciloscopio. Pulsos de sincronización.

En la figura 60 se observa un trozo de los pulsos del sincronismo, con los cursores se puede comprobar que la señal está a '0' durante  $27.2\mu\text{s}$  y a '1' durante  $4.40\mu\text{s}$  tal y como exige el protocolo NTSC.



En la figura 61 observamos la línea 12 del campo impar en el protocolo NTSC. Se puede comprobar que la duración del pulso a uno es de  $58.8\mu\text{s}$  tal y como se comentó en el [apartado 3.2.1](#).

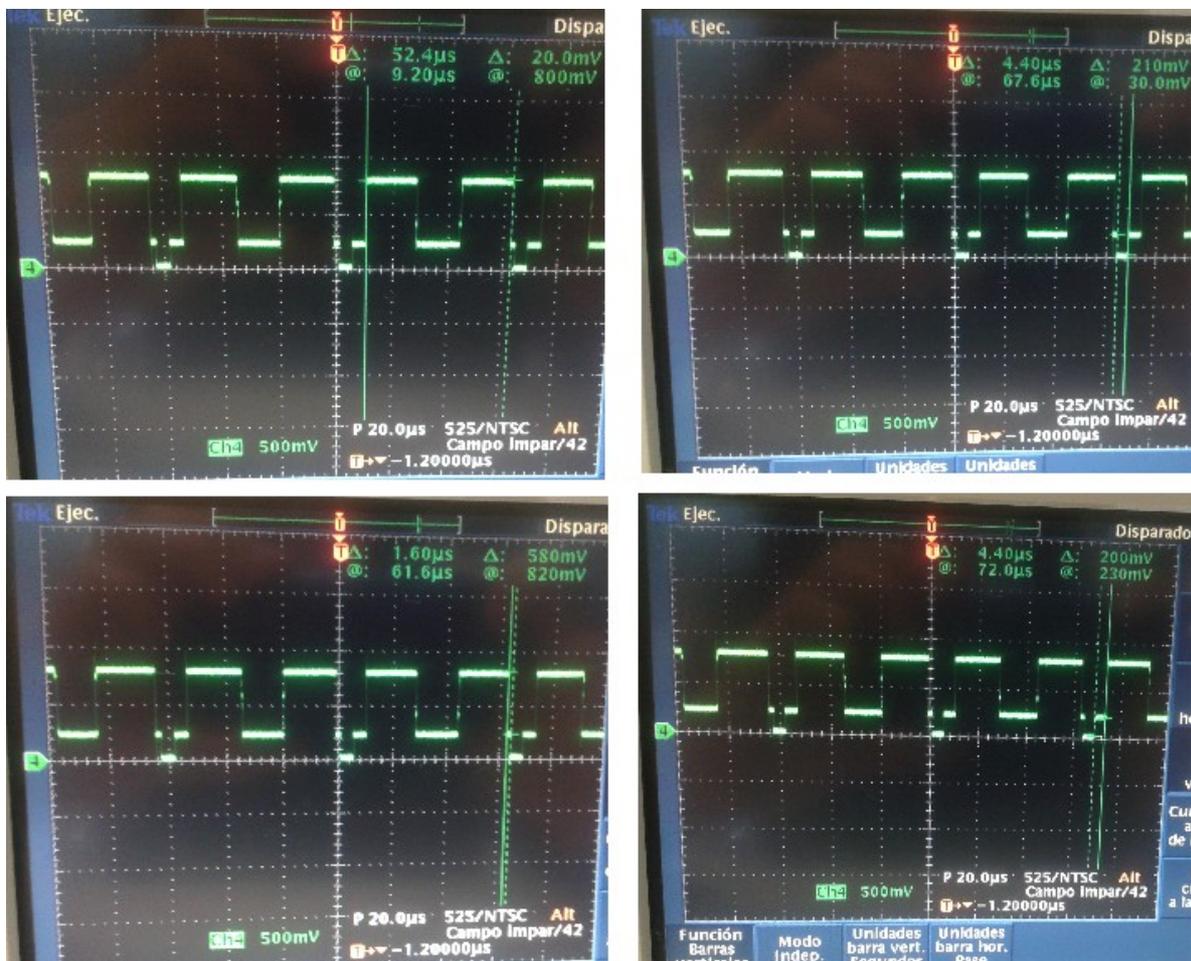


Figura 62: Osciloscopio. Línea NTSC.

En la figura 62 se puede observar una línea del primer campo NTSC, se aprecia que el sincronismo horizontal también es correcto.

## 4.7.2.PAL

- Objetivo: Generación de las banderas de *BLANK* y *SYNC* que componen el sincronismo PAL.
- Módulos involucrados:
  - Señalización externa.
  - Máquina de estados: Genera las señales de sincronismo usando, si fuera necesario la señalización externa.
- Conexiones necesarias:
  1. Se conectan las señales externas a la máquina de estado.

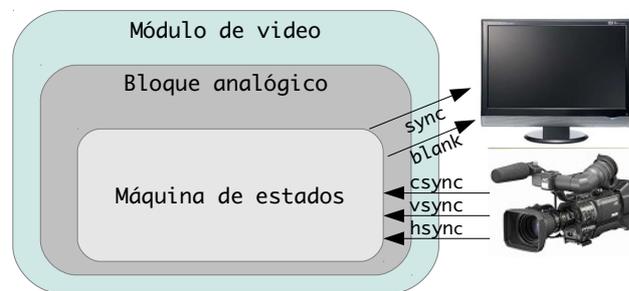
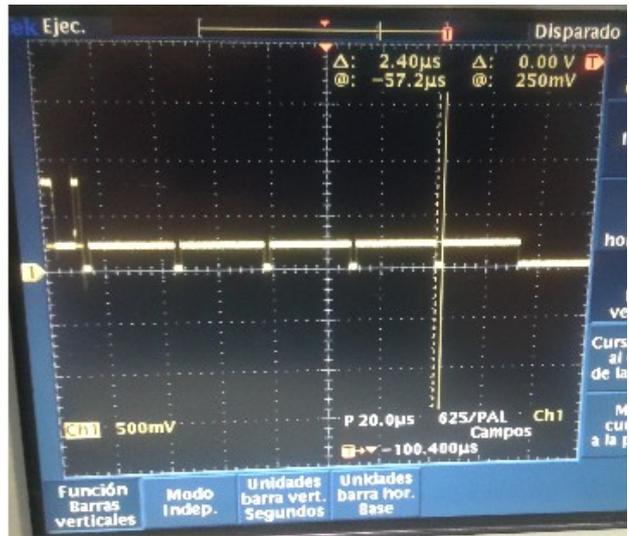
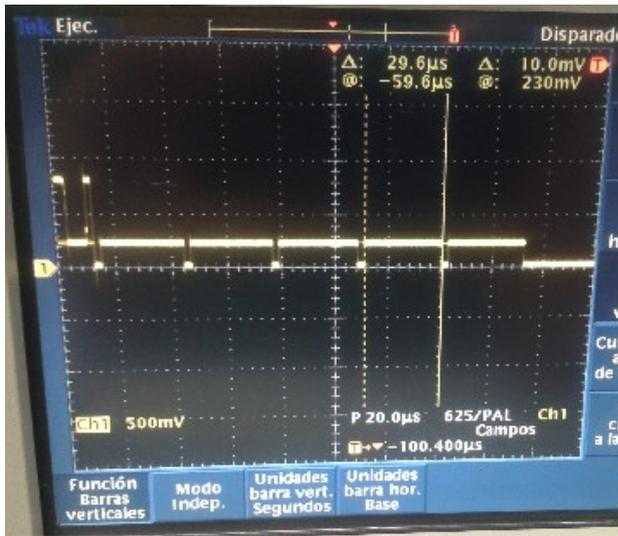


Figura 63: Conexiones del módulo de video con la SRAM.

- Resultados: Se muestran capturas realizadas con el osciloscopio para comprobar la coherencia entre las señales del analizador lógico y la salida de video analógica.

Los resultados obtenidos se muestran en las figuras siguientes.





En la figura 65 se observan algunos pulsos de ecualización, con los cursores se comprueba que la señal está a '0' durante 2.40µs y a '1' durante 29.6µs tal y como se explicó en el [apartado 3.2.1](#).

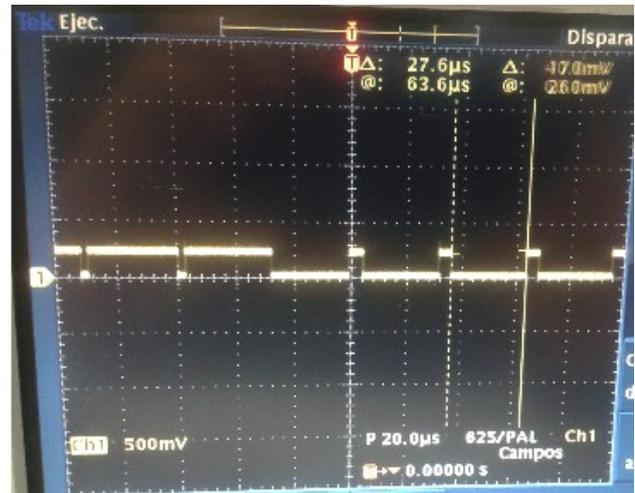
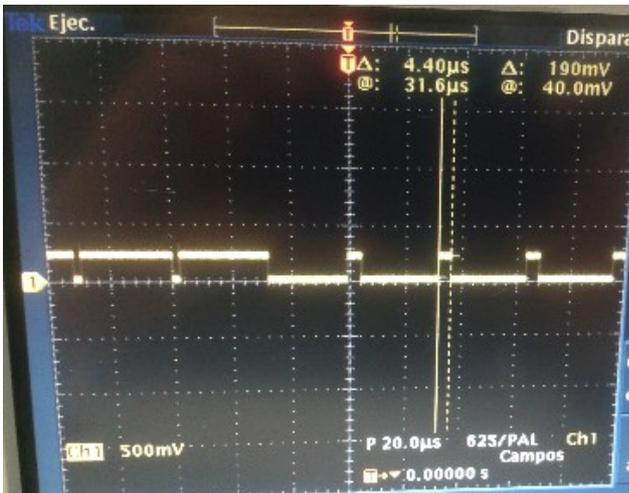
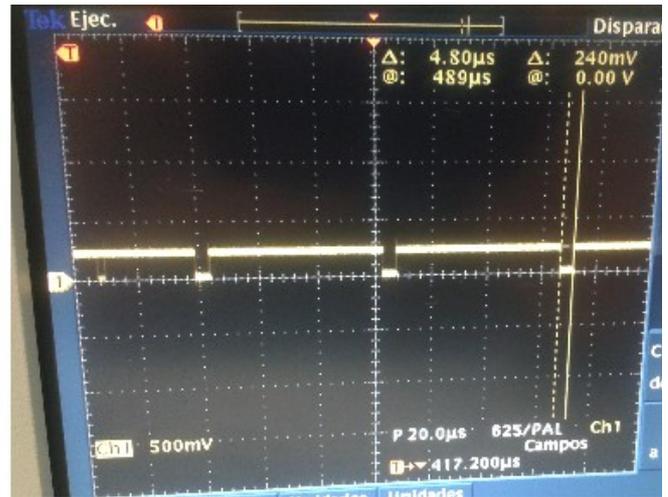


Figura 66: Osciloscopio. Pulsos de sincronización PAL.

En la figura 66 se observa un trozo de los pulsos del sincronismo, con los cursores se puede comprobar que la señal está a '0' durante 27.6µs y a '1' durante 4.40µs tal y como exige el protocolo PAL.



En la figura 67 observamos una sección del teletexto PAL. Se puede comprobar que la duración del pulso a uno es de  $58.8\mu s$  tal y como se comentó en el [apartado 3.2.1](#).

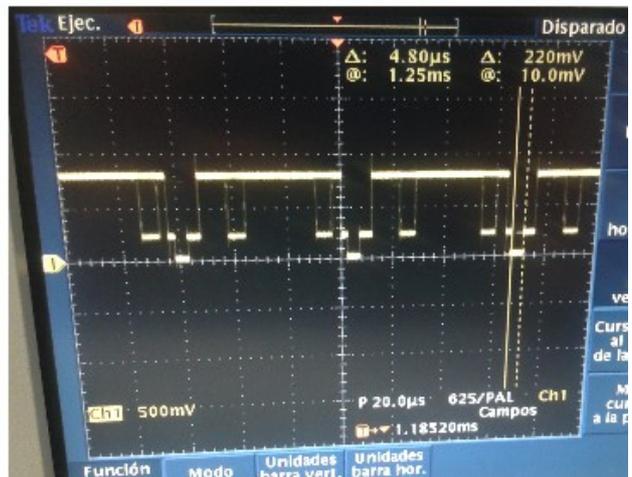
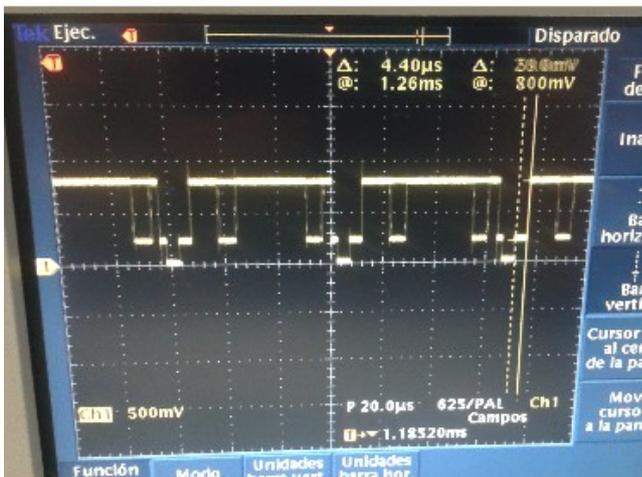
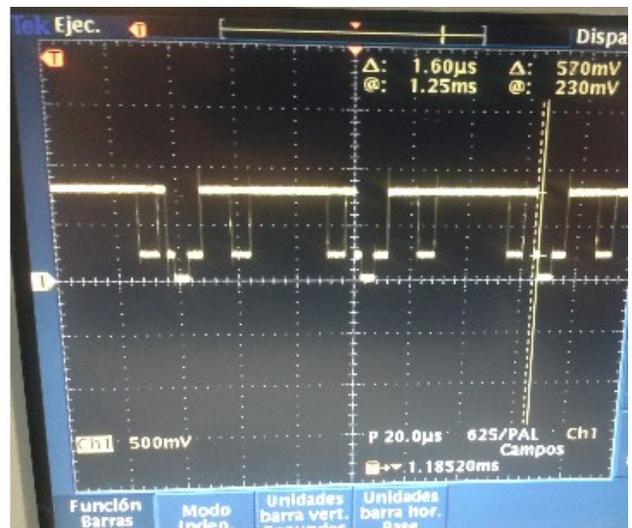
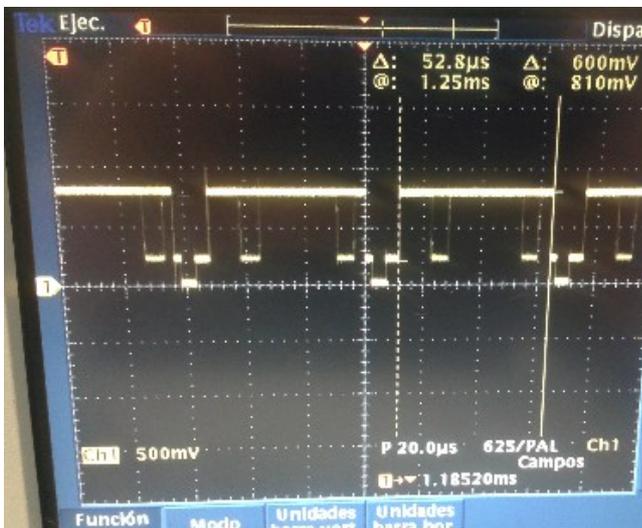
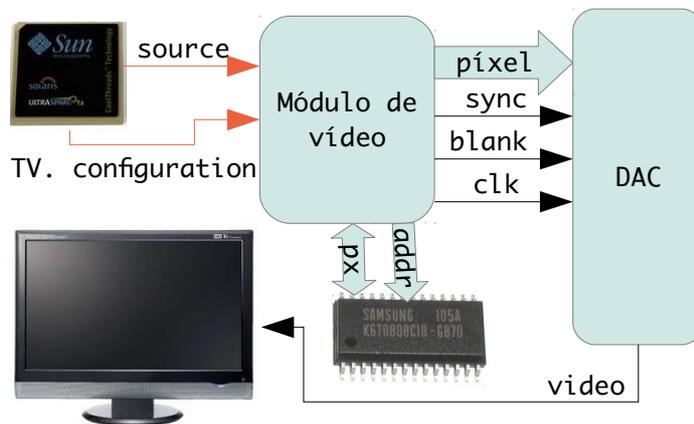


Figura 68: Línea Pal.

En la figura 68 se puede observar que el sincronismo horizontal también es correcto.

## 4.8. SALIDA A PANTALLA ANALÓGICA

- Objetivo: Generación del reloj del dac.
- Módulos involucrados:
  - Registros del  $\mu$ procesador.
  - Módulo de video.
  - Memorias SRAM.
  - Televisión.
- Conexiones necesarias:
  1. Se conecta el  $\mu$ procesador al módulo de video.
  2. Se conecta la televisión a la salida del DAC.



- Resultados obtenidos: Se comprueba como la tele se ve perfectamente.



*Figura 70: Fotograma NTSC.*



## **5. CONCLUSIONES Y TRABAJO FUTURO**

### **5.1. CONCLUSIONES**

Lo que se pretendía con este proyecto era mejorar el funcionamiento del antiguo módulo de video, reduciendo para ello la ocupación de la FPGA y conseguir una documentación que permitiera realizar modificaciones futuras.

- ✓ Se ha conseguido reducir la ocupación de la FPGA de un 95% a un 84%.
- ✓ Se ha mejorado la legibilidad del código, de manera que es posible realizar modificaciones, agregar módulos o deducir el funcionamiento del mismo de manera rápida.
- ✓ Se ha aumentado la precisión en la sincronización PAL y NTSC.
- ✓ Se han liberado relojes muy cargados, consiguiendo menores retardos en el árbol de reloj.
- ✓ Se han realizado scripts de simulación post-place&route y compilación de librerías, de manera que se ha automatizado este proceso.

### **5.2. TRABAJO FUTURO**

A continuación se listan una serie de mejorías que podrían introducirse al diseño actual:

1. Implementar el estándar de visualización VGA para así poder visualizar el video en una pantalla de ordenador.
2. Adaptar el módulo de video para poder procesar, almacenar y visualizar fotogramas a color RGB.
3. Realizar compresión jpeg-2000 antes de almacenar los fotogramas en la SRAM para reducir el espacio por fotograma y poder almacenar más imágenes o imágenes con mayor calidad.
4. Realizar descompresión jpeg-2000 después de leer los fotogramas almacenados en la SRAM para poder visualizarlos sin modificar el funcionamiento actual del módulo de video.



## 6. BIBLIOGRAFÍA

- ◆ [EN LÍNEA] 28/10/2011 [HTTP://WWW.DESIGN-REMSE.COM/ARTICLES/EXIT/?ID=20253&URL=HTTP%3A%2F%2FWWW.PLDESIGNLINE.COM%2F215800988%3B%3FPRINTABLEARTICLE%3DTRUE](http://www.design-remse.com/articles/exit/?id=20253&url=http%3A%2F%2Fwww.pldesignline.com%2F215800988%3B%3Fprintablearticle%3Dtrue)
- ◆ [EN LÍNEA] 28/10/2011 [HTTP://WWW.DESIGN-REMSE.COM/ARTICLES/EXIT/?ID=16207&URL=HTTP%3A%2F%2FWWW.EETIMES.COM%2FDESIGN%2FAUTOMOTIVE-DESIGN%2F4015118%2FAN-FPGA-DESIGN-FLOW-FOR-VIDEO-IMAGING-APPLICATIONS](http://www.design-remse.com/articles/exit/?id=16207&url=http%3A%2F%2Fwww.eetimes.com%2Fdesign%2FAutomotive-design%2F4015118%2FAN-FPGA-DESIGN-FLOW-FOR-VIDEO-IMAGING-APPLICATIONS)
- ◆ [EN LÍNEA] 28/10/2011 [HTTP://CA.OLIN.EDU/2007/NTSC/](http://ca.olin.edu/2007/NTSC/)
- ◆ [EN LÍNEA] 20/12/2011 [HTTP://WWW.ALTERA.COM/LITERATURE/WP/WP-01023.PDF](http://www.altera.com/literature/wp/wp-01023.pdf)
- ◆ [EN LÍNEA] 20/12/2011 [HTTP://WWW.HUNTENG.CO.UK/INFO/FPGA-OR-DSP.HTM](http://www.hunteng.co.uk/info/fpga-or-dsp.htm)
- ◆ [EN LÍNEA] 20/12/2011 [HTTP://WWW.DESIGN-REMSE.COM/ARTICLES/18212/DSP-FPGA.HTML](http://www.design-remse.com/articles/18212/dsp-fpga.html)
- ◆ [EN LÍNEA] 03/01/2012 [HTTP://EN.WIKIPEDIA.ORG/WIKI/LOW-VOLTAGE\\_DIFFERENTIAL\\_SIGNALING](http://en.wikipedia.org/wiki/Low-voltage_differential_signaling)
- ◆ [EN LÍNEA] 04/03/2012 [HTTP://WWW.CCEE.EDU.UY/ENSENIAN/CATCOMP/MATERIAL/TELEVISION%20DIGITAL%20STD%20AMER.PDF](http://www.ccee.edu.uy/ensenian/catcomp/material/television%20digital%20std%20amer.pdf)
- ◆ [EN LÍNEA] 11/03/2012 [HTTP://WEB1.TARINGA.NET/POSTS/INFO/1596644/TV-ANALOGICA-SENAL-PAL-B\\_G\\_.HTML](http://web1.taringa.net/posts/info/1596644/tv-analogica-senal-pal-b_g_.html)



## 7. GLOSARIO

**Sistema entrelazado:** El video entrelazado es una técnica que consiste en duplicar la frecuencia de refresco de una pantalla analógica, para ello se usa la señal de video compuesto que consume el mismo ancho de banda. El video compuesto, contiene los dos campos que forman el fotograma, éstos son mostrados en dos momentos distintos, aprovechando la persistencia de la visión. Se consigue de esta manera mejorar la percepción del movimiento y reducir el parpadeo.

**Sistema progresivo:** El video progresivo se muestra de manera ordenada. La señal de video no se compone de campos.

**FPGA:** field-programmable gate array es un circuito integrado diseñado para ser configurado por el cliente o el diseñador después de la fabricación, por lo tanto, programable.

**PAL:** Phase Alternating Line es el sistema analógico de televisión usado en Europa (excepto Francia), la mayoría de los países asiáticos y africanos.

**NTSC:** National Television System Comitee. Es el sistema analógico de televisión usado en América, exceptuando Brasil y Argentina, y algunos países de Asia e Islas del pacífico

**DSP:** Procesador digital de señales o DSP (*digital signal processor*) es un sistema basado en un procesador o microprocesador que posee un juego de instrucciones, un hardware y un software optimizados para aplicaciones que requieran operaciones numéricas a muy alta velocidad.

**MIPS:** es el acrónimo de "millones de instrucciones por segundo". Es una forma de medir la potencia de los procesadores.



## **8. ANEXO**

### **8.A. LVDS**

Un LVDS<sup>10</sup> (Low Voltage Differential Signaling) es un sistema de transmisión de señales a alta velocidad sobre medios de transmisión baratos, como puede ser el par trenzado.

LVDS es un sistema de señal diferencial, lo que significa que la señal se transmite mediante la diferencia de voltajes en un par de cables, las tensiones de ambos hilos se comparan en el receptor. Normalmente el transmisor inyecta una corriente típica de 3.5mA por uno de los cables, la polaridad depende de la lógica que se desea transmitir. La corriente atraviesa una resistencia de entre 100Ω y 120Ω adaptada al cable, dicha resistencia se sitúa en el receptor, posteriormente la corriente vuelve por el otro cable. Aplicando la ley de Ohm, se tiene una tensión aproximada de 350mV en ambos bornes de la resistencia. El receptor percibe la polaridad de este voltaje para determinar el nivel lógico.

Este tipo de transmisión de datos se encuentra típicamente en sistemas serie ya que requiere dos cables por cada línea de transmisión.

La escasa amplitud de la señal y campo magnético entre los dos cables reducen el ruido electromagnético.

El bajo voltaje de modo común (el promedio de las tensiones en los dos cables) de alrededor de 1,25V permite que el LVDS sea utilizado con una amplia gama de circuitos integrados con tensión de alimentación de 2,5V o inferior.

La reducida diferencia de voltaje, alrededor de 350mV, junto con el bajo voltaje del modo común, hacen que el LVDS consuma muy poca energía en comparación con otros sistemas.

---

<sup>10</sup> Señal diferencial de bajo voltaje: fue introducido en 1994 y se hizo popular en redes de ordenadores de alta velocidad para la transmisión de datos.

## 8.B.ATSC

**Advanced Television System Committee** es el grupo encargado del desarrollo de los estándares de la televisión digital en los Estados Unidos. ATSC fue creada para reemplazar el sistema de televisión analógica NTSC. El estándar fue desarrollado por un consorcio de empresas que lleva el nombre de *Grand Alliance*, y fue adoptado por ATSC el 16 de Septiembre de 1995 bajo la sigla A/53.

El estándar ATSC describe un sistema para transmisión de video, audio y datos a una tasa neta de 19,4 Mbps a través de un canal convencional de 6 MHz de ancho de banda.

Una transmisión ATSC puede portar una señal única de televisión de alta definición (HDTV), o varios programas diferentes con definición normal (SDTV). También, es posible incluir datos adicionales en la transmisión, como canales adicionales de audio, servicios especiales para personas con discapacidades visuales o auditivas, canales de comentarios, servicios interactivos y control de acceso para contenidos pagados.

Existen tres tipos básicos de resolución de pantalla que pueden utilizarse con el estándar ATSC. El nivel más sencillo incluye los formatos básicos y extendidos de las normas de TV analógicas NTSC y PAL2, con 480 y 576 líneas visibles, respectivamente, y hasta 720 pixeles por línea. El nivel medio incluye imágenes de 720 líneas y 960 ó 1280 pixeles por línea (razón de aspecto 4:3 tradicional o 16:9 en pantalla extendida, respectivamente). El nivel de mayor resolución tiene 1080 líneas, y 1440 ó 1920 pixeles por línea para razones de aspecto 4:3 y 16:9, respectivamente. Las imágenes correspondientes a una pantalla completa pueden formarse mediante barrido entrelazado o progresivo.

## **8.C.DVB-T**

(*Digital Video Broadcasting – Terrestrial/Difusión de Video Digital – Terrestre*). El estándar **DVB-T** forma parte de toda una familia de estándares para la transmisión de emisiones de televisión digital según diversas tecnologías: emisiones mediante la red de distribución terrestre de señal usada en la antigua televisión analógica tradicional (**DVB-T**), emisiones desde satélites geoestacionarios (DVB-S), por redes de cable (DVB-C) e incluso para emisiones destinadas a dispositivos móviles con reducida capacidad de proceso y alimentados por baterías (DVB-H). Otra nueva modalidad es la TV por ADSL que también posee un nuevo estándar como es el DVB-IPTV y también la modalidad de audio el DAB (Digital Audio Broadcasting), utilizado para las emisoras de radio en formato digital.

Este sistema de televisión digital fue creado tomando como base la versión en baja definición del sistema de alta definición analógica HD MAC, llamado (D2 MAC). Su desarrollo se debió al fracaso de la alta definición analógica (requería 36MHz de ancho de banda). Fue abandonado en los años noventa, en beneficio de una versión digitalizada de D2 MAC, que paso a llamarse DVB; utiliza codificación MPEG-2, posteriormente pasó a utilizar el códec MPEG-4 para optimizar el ancho de banda. Soporta resoluciones 480i, 576i, 720p, 1080i y 1080p, 50/60Hz, y canalizaciones 6, 7 y 8 MHz, PAL y NTSC. Ha sido probado con éxito a velocidades de 45 Mbps en Soweto emitiendo cuatro canales 1080p simultáneamente en el mismo Mux, pudiendo llegar a un máximo teórico de 192Mbps. El sistema está en adopción o en uso en los países europeos, Colombia, Panamá, India, Sudáfrica, Australia y algunos países asiáticos. Para mejorar sus capacidades de ancho de banda y recepción.

## 8.D. EXPLICACIÓN RÁFAGAS DE ACCESO A SRAM

Como se ha ido contando a lo largo del documento, el acceso a SRAM se realiza en ráfagas de lectura y escritura. Para elegir el número de píxeles que deben componer cada una de las ráfagas se ha seguido el siguiente razonamiento.

La cámara tiene una velocidad media de 40ns/px lo que implica que cada línea dura  $640\text{px}/\text{lin} \cdot 40\text{ns}/\text{px} = 25600\text{ns}/\text{línea}$ , como se explicó en el bloque digital, la cámara envía estos píxeles a ráfagas. El bloque digital almacena una línea completa, la procesa y la envía al bloque analógico. La fifo de salida del bloque digital extrae los píxeles a una tasa de 30ns/px, por tanto los 640px que componen una línea digital tardan  $640\text{px}/\text{lin} \cdot 30\text{ns}/\text{px} = 19200\text{ns}/\text{lin}$  en ser enviados al bloque analógico. Mientras se realiza el procesado y el envío al bloque analógico, se almacena la siguiente línea del fotograma. La diferencia de tiempos entre la entrada al bloque digital y la salida del mismo por línea es de  $25600\text{ns}/\text{lin} - 19200\text{ns}/\text{lin} = 6400\text{ns}/\text{lin}$ , esta diferencia temporal o pausa entre líneas se refleja también a la entrada del bloque analógico, por tanto, el bloque analógico recibe el flujo de píxeles del bloque digital durante 19200ns, después permanece 6400ns sin recibir nada. Este proceso se repite hasta que se para el video.

Los píxeles que componen cada ráfaga determinan la velocidad media de extracción de los píxeles de la fifo de entrada al bloque analógico, esta fifo no puede llenarse, tal y como se justificó en el [capítulo 3.1](#) así que los 6400ns de pausa entre líneas deben emplearse para vaciar la fifo de entrada.

Supongamos que las ráfagas de escritura y lectura son iguales y que almacenan/extraen 8px:

Recordamos que el tiempo de lectura de un pixel son 15ns mientras que el tiempo de escritura son 30 ns y que entre ambas ráfagas debe haber 15ns en los que no se acceda a ram.

Duración de la ráfaga de lectura:  $8\text{px}/\text{ráfaga} \cdot 30\text{ns}/\text{px} = 240\text{ns}/\text{ráfaga}$

Duración de la ráfaga de escritura:  $8\text{px}/\text{ráfaga} \cdot 15\text{ns}/\text{px} = 120\text{ns}/\text{ráfaga}$

Duración de un ciclo de acceso a sram  $240\text{ns}/\text{ráfaga} + 120\text{ns}/\text{ráfaga} + 15\text{ns}/\text{ráfaga} = 375\text{ns}/\text{ciclo}$

En un ciclo escribo 8px, es decir, saco 8px de la fifo de entrada, y leo 8px, es decir meto 8px en la fifo de salida; por tanto en 375ns/ciclo saco 8px de la fifo de entrada y meto 8px en la fifo de salida.

Una línea tiene  $640\text{px}/(8\text{px}/\text{ráfaga}) = 80\text{ráfagas}$  de lectura o escritura.

En un ciclo meto  $375\text{ns}/\text{ciclo}/(30\text{ns}/\text{pix}) = 12.5\text{px}/\text{ciclo}$  en la fifo de entrada y saco  $8\text{px}/\text{ciclo}$ , por tanto almaceno  $12.5\text{px}/\text{ciclo} - 8\text{px}/\text{ciclo} = 4.5\text{px}/\text{ciclo}$

En una línea he almacenado  $4.5\text{px}/\text{ciclo} \cdot 80\text{ciclos} = 360\text{px}$

En sacar  $360\text{px}$  de la fifo de entrada tardo  $360\text{px} \cdot 30\text{px}/\text{ns} = 10800\text{ns} >> 6400\text{ns!}$

Suponiendo que esta condición se cumpliera, existe otra restricción importante, la fifo de salida nunca debe vaciarse. Esto implica que la frecuencia de lectura de la fifo de salida debe ser menor que la frecuencia de escritura, es decir, el periodo de entrada debe ser menor al de salida.

Para elegir las ráfagas óptimas, se ha elaborado la siguiente tabla

Wram	Rram	T Ráfaga	Pix en fifo	Pix de fifo	Pix 1 R	R/W	Pix/lin	T vaciado	T en fifo out	Pix/fot
8,00	6,00	345,00	11,50	8,00	3,50	80,00	280,00	8400,00	57,50	34133,33
9,00	6,00	375,00	12,50	9,00	3,50	71,11	248,89	7466,67	62,50	18204,44
10,00	5,00	390,00	13,00	10,00	3,00	64,00	192,00	5760,00	78,00	-10922,67
10,00	6,00	405,00	13,50	10,00	3,50	64,00	224,00	6720,00	67,50	5461,33
11,00	6,00	435,00	14,50	11,00	3,50	58,18	203,64	6109,09	72,50	-4964,85
12,00	5,00	450,00	15,00	12,00	3,00	53,33	160,00	4800,00	90,00	-27306,67
12,00	6,00	465,00	15,50	12,00	3,50	53,33	186,67	5600,00	77,50	-13653,33
13,00	6,00	495,00	16,50	13,00	3,50	49,23	172,31	5169,23	82,50	-21005,13
14,00	6,00	525,00	17,50	14,00	3,50	45,71	160,00	4800,00	87,50	-27306,67
14,00	7,00	540,00	18,00	14,00	4,00	45,71	182,86	5485,71	77,14	-15603,81
15,00	6,00	555,00	18,50	15,00	3,50	42,67	149,33	4480,00	92,50	-32768,00
15,00	7,00	570,00	19,00	15,00	4,00	42,67	170,67	5120,00	81,43	-21845,33
16,00	7,00	600,00	20,00	16,00	4,00	40,00	160,00	4800,00	85,71	-27306,67
16,00	8,00	615,00	20,50	16,00	4,50	40,00	180,00	5400,00	76,88	-17066,67
17,00	7,00	630,00	21,00	17,00	4,00	37,65	150,59	4517,65	90,00	-32125,49
17,00	8,00	645,00	21,50	17,00	4,50	37,65	169,41	5082,35	80,63	-22487,84
17,00	9,00	660,00	22,00	17,00	5,00	37,65	188,24	5647,06	73,33	-12850,20
18,00	7,00	660,00	22,00	18,00	4,00	35,56	142,22	4266,67	94,29	-36408,89
18,00	8,00	675,00	22,50	18,00	4,50	35,56	160,00	4800,00	84,38	-27306,67
18,00	9,00	690,00	23,00	18,00	5,00	35,56	177,78	5333,33	76,67	-18204,44

Tabla 14: Cálculos de las ráfagas

Las celdas en rojo indican que no cumple la primera condición, es decir el tiempo de vaciado de la fifo es mucho mayor que  $6400\text{ns}$ .

Las celdas en naranja indican que no cumplen la segunda condición, es decir la frecuencia de llenado de la fifo de entrada es menor que  $12.34\text{MHz}$  ( $T > 81\text{ns}$ )

Las celdas en azul cumplen las dos restricciones pero no se han elegido por ser demasiado pequeño o demasiado grande el número de píxeles por ráfaga.

Las celdas en verde indican la decisión tomada.

## DS90CR287/DS90CR288A

### +3.3V Rising Edge Data Strobe LVDS 28-Bit Channel Link-85 MHz

#### General Description

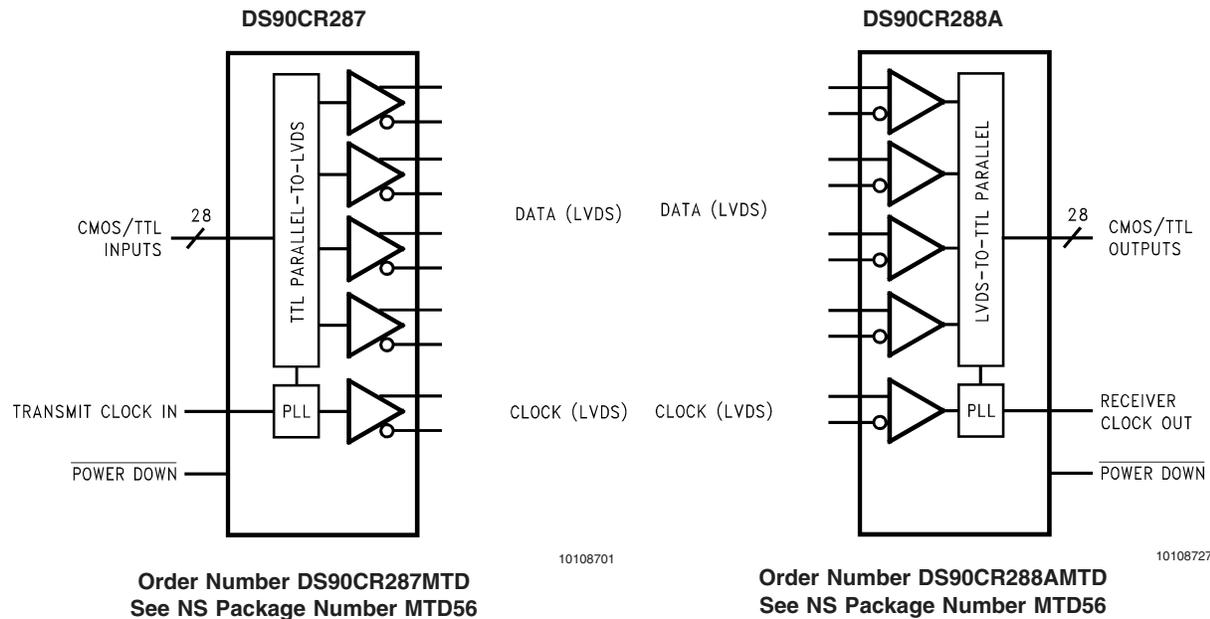
The DS90CR287 transmitter converts 28 bits of LVCMOS/LVTTL data into four LVDS (Low Voltage Differential Signaling) data streams. A phase-locked transmit clock is transmitted in parallel with the data streams over a fifth LVDS link. Every cycle of the transmit clock 28 bits of input data are sampled and transmitted. The DS90CR288A receiver converts the four LVDS data streams back into 28 bits of LVCMOS/LVTTL data. At a transmit clock frequency of 85 MHz, 28 bits of TTL data are transmitted at a rate of 595 Mbps per LVDS data channel. Using a 85 MHz clock, the data throughput is 2.38 Gbit/s (297.5 Mbytes/sec).

This chipset is an ideal means to solve EMI and cable size problems associated with wide, high-speed TTL interfaces.

#### Features

- 20 to 85 MHz shift clock support
- 50% duty cycle on receiver output clock
- 2.5 / 0 ns Set & Hold Times on TxINPUTs
- Low power consumption
- ±1V common-mode range (around +1.2V)
- Narrow bus reduces cable size and cost
- Up to 2.38 Gbps throughput
- Up to 297.5 Mbytes/sec bandwidth
- 345 mV (typ) swing LVDS devices for low EMI
- PLL requires no external components
- Rising edge data strobe
- Compatible with TIA/EIA-644 LVDS standard
- Low profile 56-lead TSSOP package

#### Block Diagrams



**Absolute Maximum Ratings** (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ )	-0.3V to +4V
CMOS/TTL Input Voltage	-0.5V to ( $V_{CC} + 0.3V$ )
CMOS/TTL Output Voltage	-0.3V to ( $V_{CC} + 0.3V$ )
LVDS Receiver Input Voltage	-0.3V to ( $V_{CC} + 0.3V$ )
LVDS Driver Output Voltage	-0.3V to ( $V_{CC} + 0.3V$ )
LVDS Output Short Circuit	
Duration	Continuous
Junction Temperature	+150°C
Storage Temperature	-65°C to +150°C
Lead Temperature	
(Soldering, 4 sec.)	+260°C
Solder Reflow Temperature	
Maximum Package Power Dissipation @ +25°C	
MTD56 (TSSOP) Package:	
DS90CR287MTD	1.63 W
DS90CR288AMTD	1.61 W

Package Derating:

DS90CR287MTD	12.5 mW/°C above +25°C
DS90CR288AMTD	12.4 mW/°C above +25°C

ESD Rating

(HBM, 1.5k $\Omega$ , 100pF)	> 7kV
(EIAJ, 0 $\Omega$ , 200pF)	> 700V

Latch Up Tolerance @ +25°C

>  $\pm 300$ mA**Recommended Operating Conditions**

	Min	Nom	Max	Units
Supply Voltage ( $V_{CC}$ )	3.0	3.3	3.6	V
Operating Free Air Temperature ( $T_A$ )	-10	+25	+70	°C
Receiver Input Range	0		2.4	V
Supply Noise Voltage ( $V_{CC}$ )			100	mV <sub>PP</sub>

**Electrical Characteristics**

Over recommended operating supply and temperature ranges unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>LVCMOS/LVTTL DC SPECIFICATIONS</b>						
$V_{IH}$	High Level Input Voltage		2.0		$V_{CC}$	V
$V_{IL}$	Low Level Input Voltage		GND		0.8	V
$V_{OH}$	High Level Output Voltage	$I_{OH} = -0.4$ mA	2.7	3.3		V
$V_{OL}$	Low Level Output Voltage	$I_{OL} = 2$ mA		0.06	0.3	V
$V_{CL}$	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.79	-1.5	V
$I_{IN}$	Input Current	$V_{IN} = 0.4V, 2.5V$ or $V_{CC}$		+1.8	+15	$\mu$ A
		$V_{IN} = GND$	-10	0		$\mu$ A
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$		-60	-120	mA
<b>LVDS DRIVER DC SPECIFICATIONS</b>						
$V_{OD}$	Differential Output Voltage	$R_L = 100\Omega$	250	290	450	mV
$\Delta V_{OD}$	Change in $V_{OD}$ between Complimentary Output States				35	mV
$V_{OS}$	Offset Voltage (Note 4)		1.125	1.25	1.375	V
$\Delta V_{OS}$	Change in $V_{OS}$ between Complimentary Output States				35	mV
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$		-3.5	-5	mA
$I_{OZ}$	Output TRI-STATE Current	$\overline{PWR\ DWN} = 0V, V_{OUT} = 0V$ or $V_{CC}$		$\pm 1$	$\pm 10$	$\mu$ A
<b>LVDS RECEIVER DC SPECIFICATIONS</b>						
$V_{TH}$	Differential Input High Threshold	$V_{CM} = +1.2V$			+100	mV
$V_{TL}$	Differential Input Low Threshold		-100			mV
$I_{IN}$	Input Current	$V_{IN} = +2.4V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A
		$V_{IN} = 0V, V_{CC} = 3.6V$			$\pm 10$	$\mu$ A

## Electrical Characteristics (Continued)

Over recommended operating supply and temperature ranges unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>TRANSMITTER SUPPLY CURRENT</b>							
$I_{\text{CCTW}}$	Transmitter Supply Current Worst Case (with Loads)	$R_L = 100\Omega$ , $C_L = 5 \text{ pF}$ , Worst Case Pattern (Figures 1, 2)	$f = 33 \text{ MHz}$		31	45	mA
			$f = 40 \text{ MHz}$		32	50	mA
			$f = 66 \text{ MHz}$		37	55	mA
			$f = 85 \text{ MHz}$		42	60	mA
$I_{\text{CCTZ}}$	Transmitter Supply Current Power Down	$\overline{\text{PWR DWN}} = \text{Low}$ Driver Outputs in TRI-STATE under Powerdown Mode		10	55	$\mu\text{A}$	
<b>RECEIVER SUPPLY CURRENT</b>							
$I_{\text{CCRW}}$	Receiver Supply Current Worst Case	$C_L = 8 \text{ pF}$ , Worst Case Pattern (Figures 1, 3)	$f = 33 \text{ MHz}$		49	70	mA
			$f = 40 \text{ MHz}$		53	75	mA
			$f = 66 \text{ MHz}$		81	114	mA
			$f = 85 \text{ MHz}$		96	135	mA
$I_{\text{CCRZ}}$	Receiver Supply Current Power Down	$\overline{\text{PWR DWN}} = \text{Low}$ Receiver Outputs Stay Low during Powerdown Mode		140	400	$\mu\text{A}$	

**Note 1:** "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The tables of "Electrical Characteristics" specify conditions for device operation.

**Note 2:** Typical values are given for  $V_{\text{CC}} = 3.3\text{V}$  and  $T_A = +25^\circ\text{C}$ .

**Note 3:** Current into device pins is defined as positive. Current out of device pins is defined as negative. Voltages are referenced to ground unless otherwise specified (except  $V_{\text{OD}}$  and  $\Delta V_{\text{OD}}$ ).

**Note 4:**  $V_{\text{OS}}$  previously referred as  $V_{\text{CM}}$ .

## Transmitter Switching Characteristics

Over recommended operating supply and temperature ranges unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LLHT	LVDS Low-to-High Transition Time (Figure 2)			0.75	1.5	ns
LHLT	LVDS High-to-Low Transition Time (Figure 2)			0.75	1.5	ns
TCIT	TxCLK IN Transition Time (Figure 4)		1.0		6.0	ns
TPPos0	Transmitter Output Pulse Position for Bit0 (Figure 14)	$f = 85 \text{ MHz}$	-0.20	0	0.20	ns
TPPos1	Transmitter Output Pulse Position for Bit1		1.48	1.68	1.88	ns
TPPos2	Transmitter Output Pulse Position for Bit2		3.16	3.36	3.56	ns
TPPos3	Transmitter Output Pulse Position for Bit3		4.84	5.04	5.24	ns
TPPos4	Transmitter Output Pulse Position for Bit4		6.52	6.72	6.92	ns
TPPos5	Transmitter Output Pulse Position for Bit5		8.20	8.40	8.60	ns
TPPos6	Transmitter Output Pulse Position for Bit6		9.88	10.08	10.28	ns
TCIP	TxCLK IN Period (Figure 5)		11.76	T	50	ns
TCIH	TxCLK IN High Time (Figure 5)		0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN Low Time (Figure 5)		0.35T	0.5T	0.65T	ns
TSTC	TxIN Setup to TxCLK IN (Figure 5)	$f = 85 \text{ MHz}$	2.5			ns
THTC	TxIN Hold to TxCLK IN (Figure 5)		0			ns
TCCD	TxCLK IN to TxCLK OUT Delay (Figure 7)	$T_A = 25^\circ\text{C}$ , $V_{\text{CC}} = 3.3\text{V}$	3.8		6.3	ns
TPLLS	Transmitter Phase Lock Loop Set (Figure 9)				10	ms
TPDD	Transmitter Powerdown Delay (Figure 12)				100	ns
TJIT	TxCLK IN Cycle-to-Cycle Jitter (Input clock requirement)				2	ns

AC Timing Diagrams (Continued)

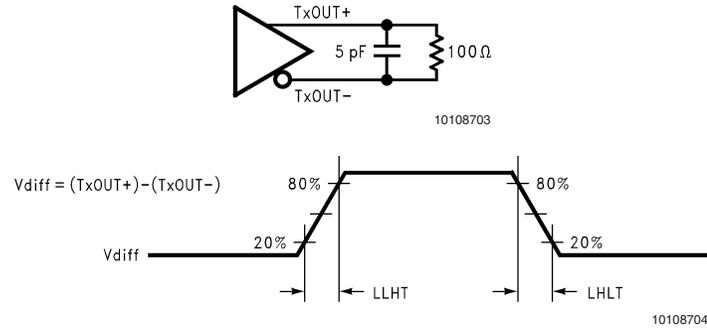


FIGURE 2. DS90CR287 (Transmitter) LVDS Output Load and Transition Times

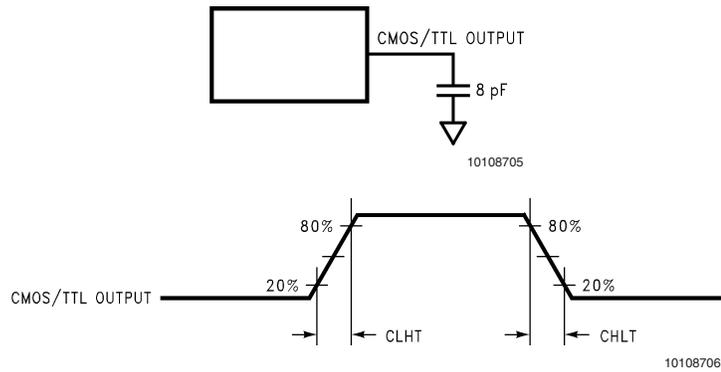


FIGURE 3. DS90CR288A (Receiver) CMOS/TTL Output Load and Transition Times

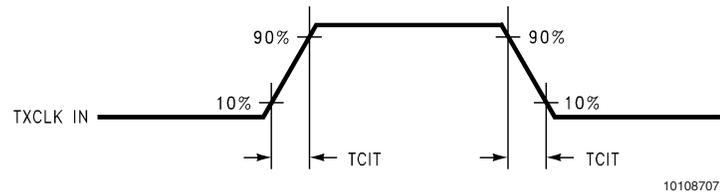


FIGURE 4. DS90CR287 (Transmitter) Input Clock Transition Time

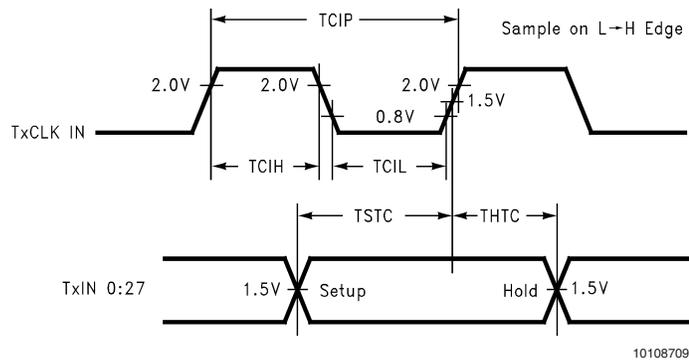


FIGURE 5. DS90CR287 (Transmitter) Setup/Hold and High/Low Times

AC Timing Diagrams (Continued)

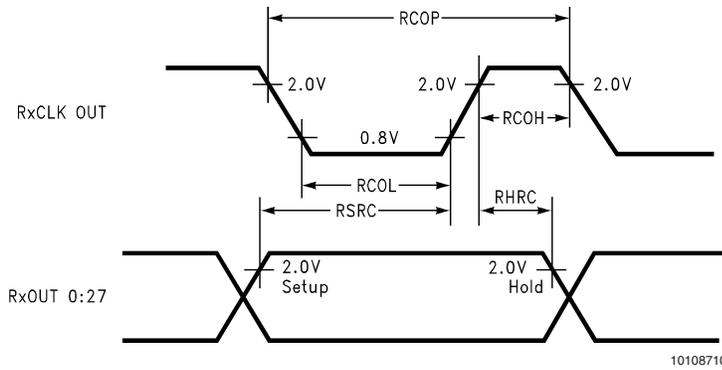


FIGURE 6. DS90CR288A (Receiver) Setup/Hold and High/Low Times

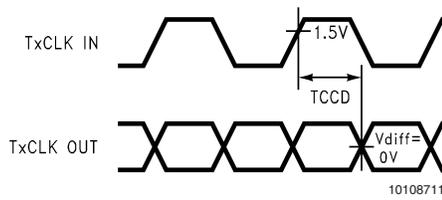


FIGURE 7. DS90CR287 (Transmitter) Clock In to Clock Out Delay

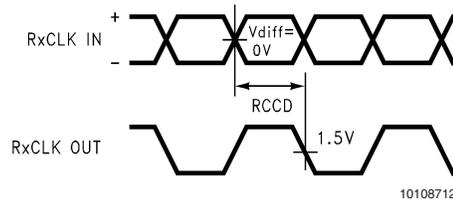


FIGURE 8. DS90CR288A (Receiver) Clock In to Clock Out Delay

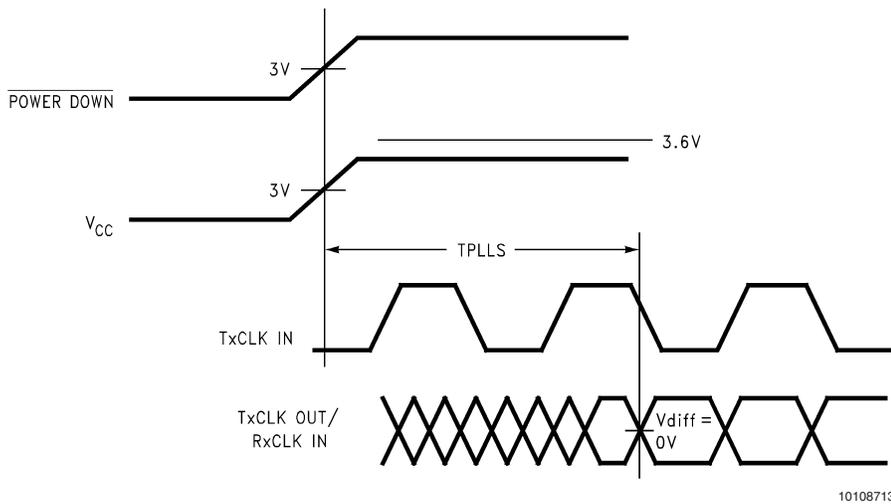


FIGURE 9. DS90CR287 (Transmitter) Phase Lock Loop Set Time

AC Timing Diagrams (Continued)

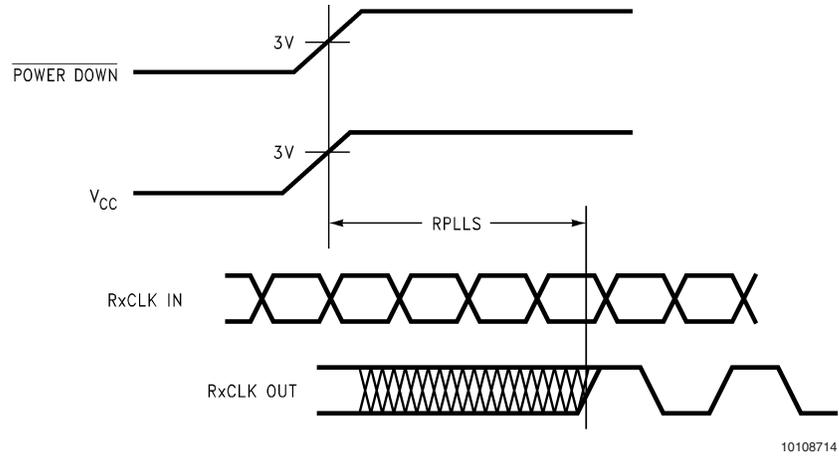


FIGURE 10. DS90CR288A (Receiver) Phase Lock Loop Set Time

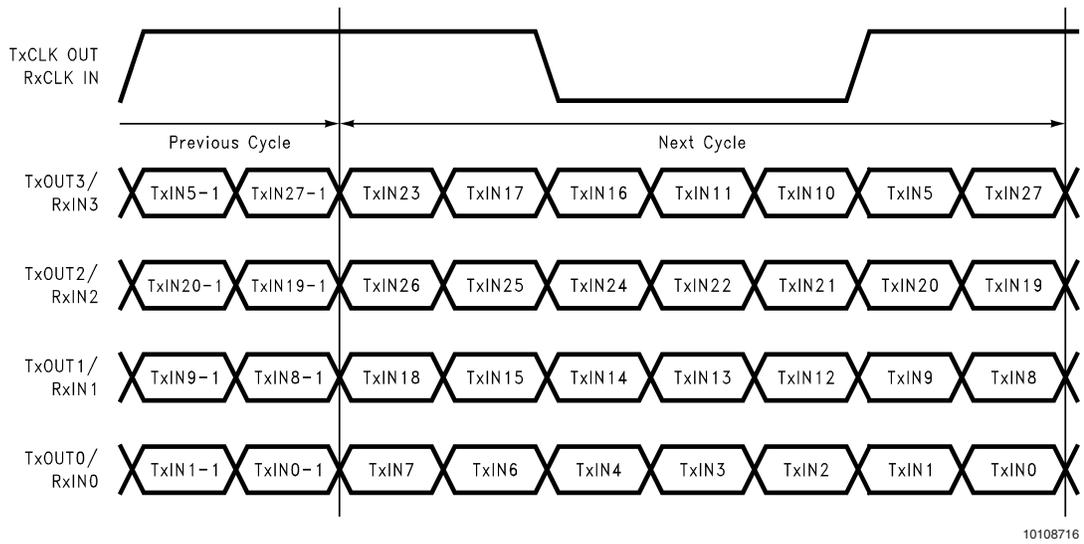


FIGURE 11. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs

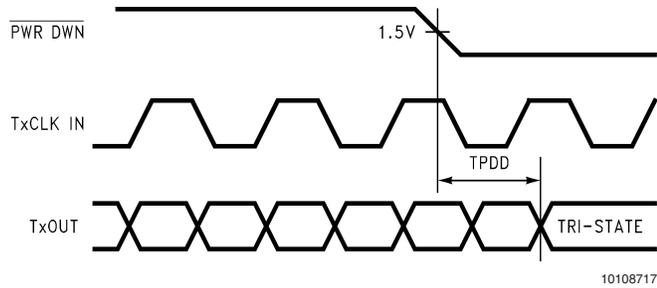


FIGURE 12. Transmitter Powerdown Delay

### FEATURES

**240 MSPS Throughput Rate**

**Triple 10-Bit D/A Converters**

**SFDR**

-70 dB at  $f_{CLK} = 50 \text{ MHz}$ ;  $f_{OUT} = 1 \text{ MHz}$

-53 dB at  $f_{CLK} = 140 \text{ MHz}$ ;  $f_{OUT} = 40 \text{ MHz}$

**RS-343A/RS-170 Compatible Output**

**Complementary Outputs**

**DAC Output Current Range 2 mA to 26 mA**

**TTL-Compatible Inputs**

**Internal Reference (1.23 V)**

**Single Supply +5 V/+3.3 V Operation**

**48-Lead LQFP Package**

**Low Power Dissipation (30 mW min @ 3 V)**

**Low Power Standby Mode (6 mW typ @ 3 V)**

**Industrial Temperature Range (-40°C to +85°C)**

### APPLICATIONS

**Digital Video Systems (1600 × 1200 @ 100 Hz)**

**High Resolution Color Graphics**

**Digital Radio Modulation**

**Image Processing**

**Instrumentation**

**Video Signal Reconstruction**

### GENERAL DESCRIPTION

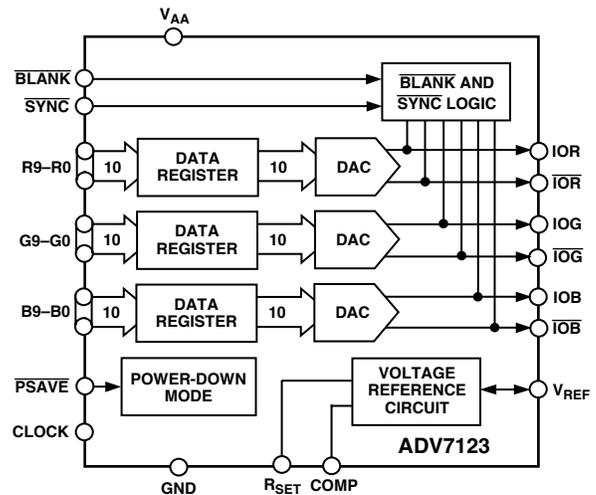
The ADV7123 (ADV<sup>®</sup>) is a triple high speed, digital-to-analog converter on a single monolithic chip. It consists of three high speed, 10-bit, video D/A converters with complementary outputs, a standard TTL input interface and a high impedance, analog output current source.

The ADV7123 has three separate 10-bit-wide input ports. A single +5 V/+3.3 V power supply and clock are all that are required to make the part functional. The ADV7123 has additional video control signals, composite SYNC and BLANK.

The ADV7123 also has a power-save mode.

The ADV7123 is fabricated in a +5 V CMOS process. Its monolithic CMOS construction ensures greater functionality with lower power dissipation. The ADV7123 is available in a 48-lead LQFP package.

### FUNCTIONAL BLOCK DIAGRAM



### PRODUCT HIGHLIGHTS

1. 240 MSPS Throughput.
2. Guaranteed monotonic to 10 bits.
3. Compatible with a wide variety of high resolution color graphics systems including RS-343A and RS-170A.

ADV is a registered trademark of Analog Devices, Inc.

### REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

### 3.3 V SPECIFICATIONS<sup>1</sup> ( $V_{AA} = +3.0\text{ V} - 3.6\text{ V}$ , $V_{REF} = 1.235\text{ V}$ , $R_{SET} = 560\ \Omega$ , $C_L = 10\text{ pF}$ . All specifications $T_{MIN}$ to $T_{MAX}$ <sup>2</sup> unless otherwise noted, $T_J\text{ MAX} = 110^\circ\text{C}$ )

Parameter	Min	Typ	Max	Units	Test Conditions <sup>2</sup>
<b>STATIC PERFORMANCE</b>					
Resolution (Each DAC)			10	Bits	$R_{SET} = 680\ \Omega$
Integral Nonlinearity (BSL)	-1	0.5	+1	LSB	$R_{SET} = 680\ \Omega$
Differential Nonlinearity	-1	0.25	+1	LSB	$R_{SET} = 680\ \Omega$
<b>DIGITAL AND CONTROL INPUTS</b>					
Input High Voltage, $V_{IH}$	2.0			V	$V_{IN} = 0.0\text{ V or }V_{DD}$
Input Low Voltage, $V_{IL}$		0.8		V	
Input Current, $I_{IN}$	-1		+1	$\mu\text{A}$	
PSAVE Pull-Up Current		20		$\mu\text{A}$	
Input Capacitance, $C_{IN}$		10		pF	
<b>ANALOG OUTPUTS</b>					
Output Current	2.0		26.5	mA	Green DAC, Sync = High R/G/B DAC, Sync = Low
Output Current	2.0		18.5	mA	
DAC to DAC Matching		1.0		%	Tested with DAC Output = 0 V FSR = 17.62 mA
Output Compliance Range, $V_{OC}$	0		+1.4	V	
Output Impedance, $R_{OUT}$		70		k $\Omega$	
Output Capacitance, $C_{OUT}$		10		pF	
Offset Error		0	0	% FSR	
Gain Error <sup>3</sup>		0		% FSR	
<b>VOLTAGE REFERENCE (Ext.)</b>					
Reference Range, $V_{REF}$	1.12	1.235	1.35	V	
<b>VOLTAGE REFERENCE (Int.)</b>					
Reference Range, $V_{REF}$		1.235		V	
<b>POWER DISSIPATION</b>					
Digital Supply Current <sup>4</sup>		2.2	5.0	mA	$f_{CLK} = 50\text{ MHz}$
Digital Supply Current <sup>4</sup>		6.5	12.0	mA	$f_{CLK} = 140\text{ MHz}$
Digital Supply Current <sup>4</sup>		11	15	mA	$f_{CLK} = 240\text{ MHz}$
Analog Supply Current		67	72	mA	$R_{SET} = 560\ \Omega$
Analog Supply Current		8		mA	$R_{SET} = 4933\ \Omega$
Standby Supply Current		2.1	5.0	mA	PSAVE = Low, Digital and Control Inputs at $V_{DD}$
Power Supply Rejection Ratio		0.1	0.5	%/%	

## NOTES

<sup>1</sup>These max/min specifications are guaranteed by characterization to be over 3.0 V to 3.6 V range.

<sup>2</sup>Temperature range  $T_{MIN}$  to  $T_{MAX}$ :  $-40^\circ\text{C}$  to  $+85^\circ\text{C}$  at 50 MHz and 140 MHz,  $0^\circ\text{C}$  to  $70^\circ\text{C}$  at 240 MHz.

<sup>3</sup>Gain error = (Measured (FSC)/Ideal (FSC) - 1)  $\times$  100, where Ideal =  $V_{REF}/R_{SET} \times K \times (3FFH)$  and  $K = 7.9896$ .

<sup>4</sup>Digital supply is measured with continuous clock with data input corresponding to a ramp pattern and with an input level at 0 V and  $V_{DD}$ .

Specifications subject to change without notice.

## 3.3 V DYNAMIC SPECIFICATIONS

( $V_{AA} = +3.0\text{ V}$ – $3.6\text{ V}$ <sup>1</sup>,  $V_{REF} = 1.235\text{ V}$ ,  $R_{SET} = 680\ \Omega$ ,  $C_L = 10\text{ pF}$ . All specifications are  $T_A = +25^\circ\text{C}$  unless otherwise noted,  $T_{J\text{ MAX}} = 110^\circ\text{C}$ )

Parameter	Min	Typ	Max	Units
<b>AC LINEARITY</b>				
Spurious-Free Dynamic Range to Nyquist <sup>2</sup>				
Single-Ended Output				
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 1.00\text{ MHz}$		67		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		67		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		63		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		55		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		62		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		60		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		54		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 40.4\text{ MHz}$		48		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		57		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		58		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		52		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 40.4\text{ MHz}$		41		dBc
Double-Ended Output				
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 1.00\text{ MHz}$		70		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		70		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		65		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		54		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		67		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		63		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		58		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 40.4\text{ MHz}$		52		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 2.51\text{ MHz}$		62		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$		61		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 20.2\text{ MHz}$		55		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 40.4\text{ MHz}$		53		dBc
Spurious-Free Dynamic Range Within a Window				
Single-Ended Output				
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 1.00\text{ MHz}$ ; 1 MHz Span		77		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 5.04\text{ MHz}$ ; 4 MHz Span		64		dBc
Double-ended Output				
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 1.00\text{ MHz}$ ; 1 MHz Span		74		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 5.00\text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 5.00\text{ MHz}$ ; 4 MHz Span		60		dBc
Total Harmonic Distortion				
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 1.00\text{ MHz}$				
$T_A = +25^\circ\text{C}$		66		dBc
$T_{MIN}$ to $T_{MAX}$		65		dBc
$f_{CLK} = 50\text{ MHz}$ ; $f_{OUT} = 2.00\text{ MHz}$		64		dBc
$f_{CLK} = 100\text{ MHz}$ ; $f_{OUT} = 2.00\text{ MHz}$		64		dBc
$f_{CLK} = 140\text{ MHz}$ ; $f_{OUT} = 2.00\text{ MHz}$		55		dBc
<b>DAC PERFORMANCE</b>				
Glitch Impulse		10		pVs
DAC Crosstalk <sup>3</sup>		23		dB
Data Feedthrough <sup>4, 5</sup>		22		dB
Clock Feedthrough <sup>4, 5</sup>		33		dB

## NOTES

<sup>1</sup>These max/min specifications are guaranteed by characterization over 3.0 V to 3.6 V range.

<sup>2</sup>Note that the ADV7123 exhibits high performance when operating with an internal voltage reference,  $V_{REF}$ .

<sup>3</sup>DAC to DAC Crosstalk is measured by holding one DAC high while the other two are making low to high and high to low transitions.

<sup>4</sup>Clock and data feedthrough is a function of the amount of overshoot and undershoot on the digital inputs. Glitch impulse includes clock and data feedthrough.

<sup>5</sup>TTL input values are 0 V to 3 V, with input rise/fall times  $\leq 3\text{ ns}$ , measured the 10% and 90% points. Timing reference points is 50% for inputs and outputs.

Specifications subject to change without notice.

## 3.3 V TIMING—SPECIFICATIONS<sup>1</sup> ( $V_{AA} = +3.0\text{ V} - 3.6\text{ V}^2$ , $V_{REF} = 1.235\text{ V}$ , $R_{SET} = 560\ \Omega$ , $C_L = 10\text{ pF}$ . All specifications $T_{MIN}$ to $T_{MAX}$ <sup>3</sup> unless otherwise noted, $T_J\text{ MAX} = 110^\circ\text{C}$ )

Parameter	Min	Typ	Max	Units	Condition
<b>ANALOG OUTPUTS</b>					
Analog Output Delay, $t_6$		7.5		ns	
Analog Output Rise/Fall Time, $t_7$ <sup>4</sup>		1.0		ns	
Analog Output Transition Time, $t_8$ <sup>5</sup>		15		ns	
Analog Output Skew, $t_9$ <sup>6</sup>		1	2	ns	
<b>CLOCK CONTROL</b>					
$f_{CLK}$ <sup>7</sup>			50	MHz	50 MHz Grade
$f_{CLK}$ <sup>7</sup>			140	MHz	140 MHz Grade
$f_{CLK}$ <sup>7</sup>			240	MHz	240 MHz Grade
Data and Control Setup, $t_1$	1.5			ns	
Data and Control Hold, $t_2$	2.5			ns	
Clock Pulsewidth High, $t_4$		1.1		ns	$f_{MAX} = 240\text{ MHz}$
Clock Pulsewidth Low $t_5$		1.4		ns	$f_{MAX} = 240\text{ MHz}$
Clock Pulsewidth High $t_4$	2.85			ns	$f_{MAX} = 140\text{ MHz}$
Clock Pulsewidth Low $t_5$	2.85			ns	$f_{MAX} = 140\text{ MHz}$
Clock Pulsewidth High $t_4$	8.0			ns	$f_{MAX} = 50\text{ MHz}$
Clock Pulsewidth Low $t_5$	8.0			ns	$f_{MAX} = 50\text{ MHz}$
Pipeline Delay, $t_{PD}$ <sup>6</sup>	1.0	1.0	1.0	Clock Cycles	
$\overline{\text{PSAVE}}$ Up Time, $t_{10}$ <sup>6</sup>		4	10	ns	

### NOTES

<sup>1</sup>Timing specifications are measured with input levels of 3.0 V ( $V_{IH}$ ) and 0 V ( $V_{IL}$ ) 0 for both 5 V and 3.3 V supplies.

<sup>2</sup>These maximum and minimum specifications are guaranteed over this range.

<sup>3</sup>Temperature range:  $T_{MIN}$  to  $T_{MAX}$ :  $-40^\circ\text{C}$  to  $+85^\circ\text{C}$  at 50 MHz and 140 MHz,  $0^\circ\text{C}$  to  $+70^\circ\text{C}$  at 240 MHz.

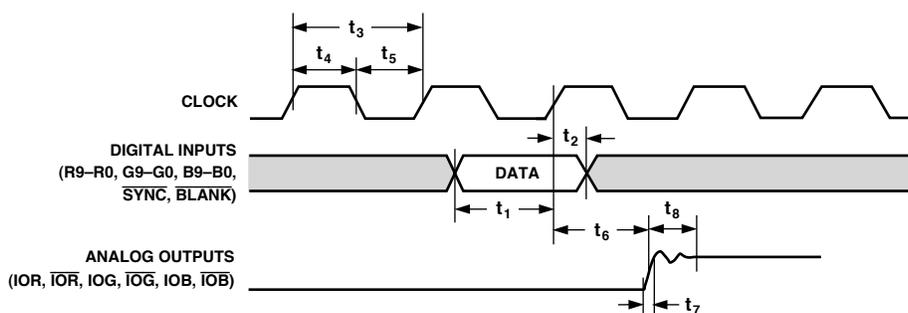
<sup>4</sup>Rise time was measured from the 10% to 90% point of zero to full-scale transition, fall time from the 90% to 10% point of a full-scale transition.

<sup>5</sup>Measured from 50% point of full-scale transition to 2% of final value.

<sup>6</sup>Guaranteed by characterization.

<sup>7</sup> $f_{CLK}$  max specification production tested at 125 MHz and 5 V limits specified here are guaranteed by characterization.

Specifications subject to change without notice.



### NOTES:

1. OUTPUT DELAY ( $t_6$ ) MEASURED FROM THE 50% POINT OF THE RISING EDGE OF CLOCK TO THE 50% POINT OF FULL-SCALE TRANSITION.
2. OUTPUT RISE/FALL TIME ( $t_7$ ) MEASURED BETWEEN THE 10% AND 90% POINTS OF FULL-SCALE TRANSITION.
3. TRANSITION TIME ( $t_8$ ) MEASURED FROM THE 50% POINT OF FULL-SCALE TRANSITION TO WITHIN 2% OF THE FINAL OUTPUT VALUE.

Figure 1. Timing Diagram

## PIN FUNCTION DESCRIPTIONS

Pin Mnemonic	Function
$\overline{\text{BLANK}}$	Composite blank control input (TTL compatible). A logic zero on this control input drives the analog outputs, IOR, IOB and IOG, to the blanking level. The $\overline{\text{BLANK}}$ signal is latched on the rising edge of CLOCK. While $\overline{\text{BLANK}}$ is a logical zero, the R0–R9, G0–G9 and B0–B9 pixel inputs are ignored.
$\overline{\text{SYNC}}$	Composite sync control input (TTL compatible). A logical zero on the $\overline{\text{SYNC}}$ input switches off a 40 IRE current source. This is internally connected to the IOG analog output. $\overline{\text{SYNC}}$ does not override any other control or data input, therefore, it should only be asserted during the blanking interval. $\overline{\text{SYNC}}$ is latched on the rising edge of CLOCK.  If sync information is not required on the green channel, the $\overline{\text{SYNC}}$ input should be tied to logical zero.
CLOCK	Clock input (TTL compatible). The rising edge of CLOCK latches the R0–R9, G0–G9, B0–B9, $\overline{\text{SYNC}}$ and $\overline{\text{BLANK}}$ pixel and control inputs. It is typically the pixel clock rate of the video system. CLOCK should be driven by a dedicated TTL buffer.
R0–R9, G0–G9, B0–B9	Red, green and blue pixel data inputs (TTL compatible). Pixel data is latched on the rising edge of CLOCK. R0, G0 and B0 are the least significant data bits. Unused pixel data inputs should be connected to either the regular PCB power or ground plane.
IOR, IOG, IOB	Red, green, and blue current outputs. These high impedance current sources are capable of directly driving a doubly terminated 75 $\Omega$ coaxial cable. All three current outputs should have similar output loads whether or not they are all being used.
$\overline{\text{IOR}}$ , $\overline{\text{IOG}}$ , $\overline{\text{IOB}}$	Differential red, green and blue current outputs (high impedance current sources). These RGB video outputs are specified to directly drive RS-343A and RS-170 video levels into a doubly terminated 75 $\Omega$ load. If the complementary outputs are not required, these outputs should be tied to ground.
$\overline{\text{PSAVE}}$	Power Save Control Pin. Reduced power consumption is available on the ADV7123 when this pin is active.
R <sub>SET</sub>	A resistor (R <sub>SET</sub> ) connected between this pin and GND, controls the magnitude of the full-scale video signal. Note that the IRE relationships are maintained, regardless of the full-scale output current.  The relationship between R <sub>SET</sub> and the full-scale output current on IOG (assuming I <sub>SYNC</sub> is connected to IOG) is given by: $R_{\text{SET}} (\Omega) = 12,081 \times V_{\text{REF}} (\text{V}) / \text{IOG} (\text{mA})$ The relationship between R <sub>SET</sub> and the full-scale output current on IOR, IOG and IOB is given by: $\begin{aligned} \text{IOG} (\text{mA}) &= 12,081 \times V_{\text{REF}} (\text{V}) / R_{\text{SET}} (\Omega) \quad (\overline{\text{SYNC}} \text{ being asserted}) \\ \text{IOR, IOB} (\text{mA}) &= 8,627 \times V_{\text{REF}} (\text{V}) / R_{\text{SET}} (\Omega) \end{aligned}$ The equation for IOG will be the same as that for IOR and IOB when $\overline{\text{SYNC}}$ is not being used, i.e., $\overline{\text{SYNC}}$ tied permanently low.
COMP	Compensation pin. This is a compensation pin for the internal reference amplifier. A 0.1 $\mu\text{F}$ ceramic capacitor must be connected between COMP and V <sub>AA</sub> .
V <sub>REF</sub>	Voltage reference input for DACs or voltage reference output (1.235 V)
V <sub>AA</sub>	Analog power supply (5 V $\pm$ 5%). All V <sub>AA</sub> pins on the ADV7123 must be connected.
GND	Ground. All GND pins must be connected.

# ADV7123

## TERMINOLOGY

### Blanking Level

The level separating the  $\overline{\text{SYNC}}$  portion from the video portion of the waveform. Usually referred to as the front porch or back porch. At 0 IRE units, it is the level that will shut off the picture tube, resulting in the blackest possible picture.

### Color Video (RGB)

This usually refers to the technique of combining the three primary colors of red, green and blue to produce color pictures within the usual spectrum. In RGB monitors, three DACs are required, one for each color.

### Sync Signal ( $\overline{\text{SYNC}}$ )

The position of the composite video signal that synchronizes the scanning process.

### Gray Scale

The discrete levels of video signal between reference black and reference white levels. A 10-bit DAC contains 1024 different levels, while an 8-bit DAC contains 256.

### Raster Scan

The most basic method of sweeping a CRT one line at a time to generate and display images.

### Reference Black Level

The maximum negative polarity amplitude of the video signal.

### Reference White Level

The maximum positive polarity amplitude of the video signal.

### Sync Level

The peak level of the  $\overline{\text{SYNC}}$  signal.

### Video Signal

That portion of the composite video signal which varies in gray scale levels between reference white and reference black. Also referred to as the picture signal, this is the portion that may be visually observed.

## CIRCUIT DESCRIPTION AND OPERATION

The ADV7123 contains three 10-bit D/A converters, with three input channels, each containing a 10-bit register. Also integrated on board the part is a reference amplifier. CRT control functions  $\overline{\text{BLANK}}$  and  $\overline{\text{SYNC}}$  are integrated on board the ADV7123.

### Digital Inputs

Thirty bits of pixel data (color information) R0–R9, G0–G9 and B0–B9 are latched into the device on the rising edge of each clock cycle. This data is presented to the three 10-bit DACs and then converted to three analog (RGB) output waveforms. See Figure 20.

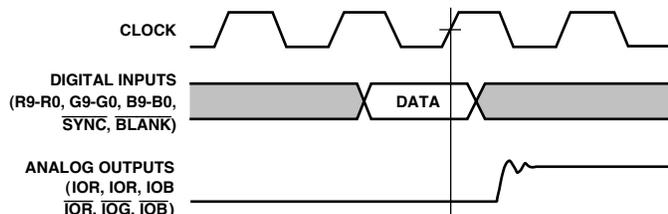


Figure 20. Video Data Input/Output

The ADV7123 has two additional control signals that are latched to the analog video outputs in a similar fashion.  $\overline{\text{BLANK}}$  and  $\overline{\text{SYNC}}$  are each latched on the rising edge of CLOCK to maintain synchronization with the pixel data stream.

The  $\overline{\text{BLANK}}$  and  $\overline{\text{SYNC}}$  functions allow for the encoding of these video synchronization signals onto the RGB video output.

This is done by adding appropriately weighted current sources to the analog outputs, as determined by the logic levels on the  $\overline{\text{BLANK}}$  and  $\overline{\text{SYNC}}$  digital inputs. Figure 21 shows the analog output, RGB video waveform of the ADV7123. The influence of  $\overline{\text{SYNC}}$  and  $\overline{\text{BLANK}}$  on the analog video waveform is illustrated.

Table I details the resultant effect on the analog outputs of  $\overline{\text{BLANK}}$  and  $\overline{\text{SYNC}}$ .

All these digital inputs are specified to accept TTL logic levels.

### Clock Input

The CLOCK input of the ADV7123 is typically the pixel clock rate of the system. It is also known as the dot rate. The dot rate, and hence the required CLOCK frequency, will be determined by the on-screen resolution, according to the following equation:

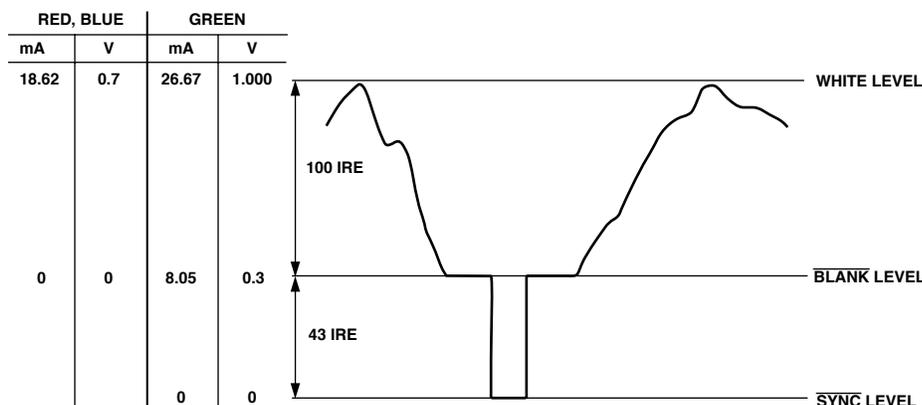
$$\text{Dot Rate} = \frac{(\text{Horiz Res}) \times (\text{Vert Res}) \times (\text{Refresh Rate})}{(\text{Retrace Factor})}$$

Horiz Res = Number of Pixels/Line.

Vert Res = Number of Lines/Frame.

Refresh Rate = Horizontal Scan Rate. This is the rate at which the screen must be refreshed, typically 60 Hz for a noninterlaced system or 30 Hz for an interlaced system.

Retrace Factor = Total Blank Time Factor. This takes into account that the display is blanked for a certain fraction of the total duration of each frame (e.g., 0.8).



- NOTES:  
 1. OUTPUTS CONNECTED TO A DOUBLY TERMINATED 75Ω LOAD.  
 2.  $V_{REF} = 1.235V$ ,  $R_{SET} = 530\Omega$ .  
 3. RS-343A LEVELS AND TOLERANCES ASSUMED ON ALL LEVELS.

Figure 21. RGB Video Output Waveform

Table I. Video Output Truth Table ( $R_{SET} = 530 \Omega$ ,  $R_{LOAD} = 37.5 \Omega$ )

Description	IOG (mA)	$\overline{\text{IOG}}$ (mA)	IOR/IOB	$\overline{\text{IOR/IOB}}$	$\overline{\text{SYNC}}$	$\overline{\text{BLANK}}$	DAC Input Data
WHITE LEVEL	26.67	0	18.62	0	1	1	3FFH
VIDEO	Video + 8.05	18.62 – Video	Video	18.62 – Video	1	1	Data
VIDEO to BLANK	Video	18.62 – Video	Video	18.62 – Video	0	1	Data
BLACK LEVEL	8.05	18.62	0	18.62	1	1	000H
BLACK to BLANK	0	18.62	0	18.62	0	1	000H
BLANK LEVEL	8.05	18.62	0	18.62	1	0	xxxH
SYNC LEVEL	0	18.62	0	18.62	0	0	xxxH



# 512K x 8 Static RAM

## Features

- **High speed**
  - $t_{AA} = 15 \text{ ns}$
- **Low active power**
  - 504 mW (max.)
- **Low CMOS standby power (Commercial L version)**
  - 1.8 mW (max.)
- **2.0V Data Retention (660  $\mu\text{W}$  at 2.0V retention)**
- **Automatic power-down when deselected**
- **TTL-compatible inputs and outputs**
- **Easy memory expansion with  $\overline{\text{CE}}$  and  $\overline{\text{OE}}$  features**

## Functional Description<sup>[1]</sup>

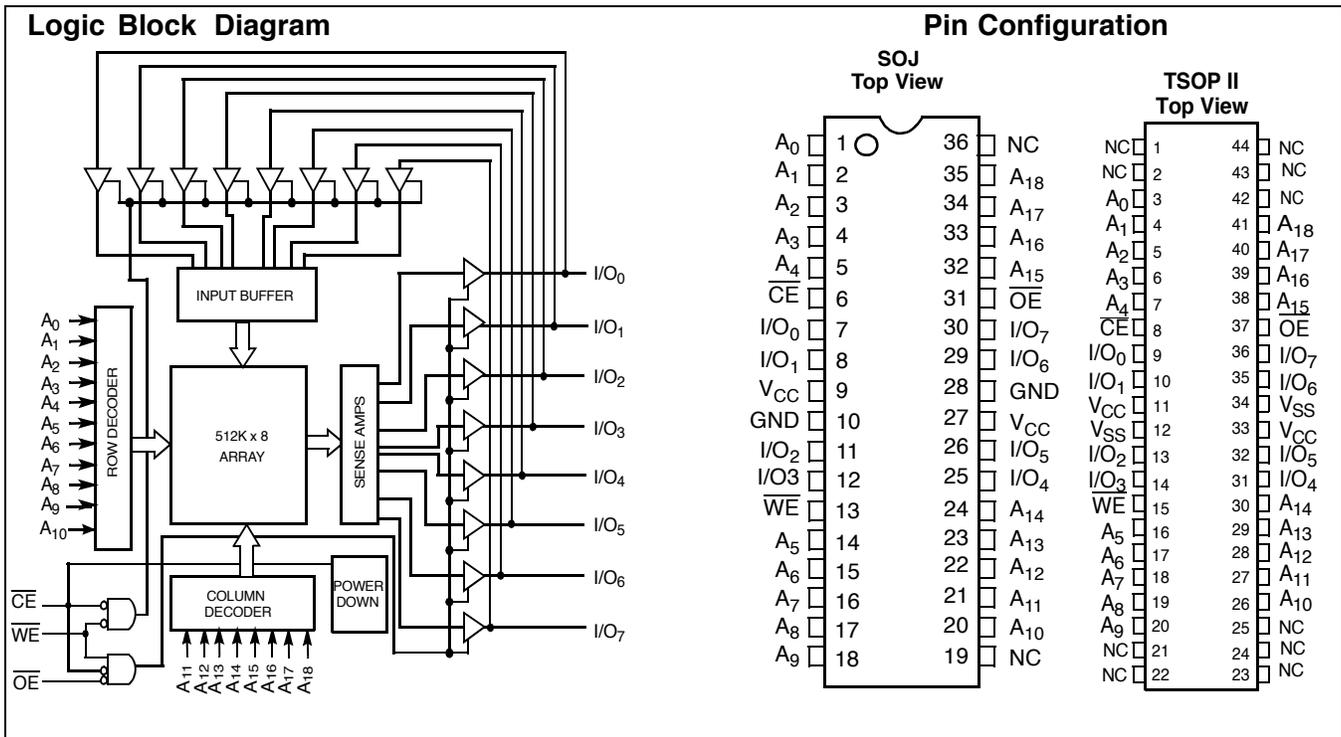
The CY7C1049BV33 is a high-performance CMOS Static RAM organized as 524,288 words by 8 bits. Easy memory

expansion is provided by an active LOW Chip Enable ( $\overline{\text{CE}}$ ), an active LOW Output Enable ( $\overline{\text{OE}}$ ), and three-state drivers. Writing to the device is accomplished by taking Chip Enable ( $\overline{\text{CE}}$ ) and Write Enable ( $\overline{\text{WE}}$ ) inputs LOW. Data on the eight I/O pins ( $\text{I/O}_0$  through  $\text{I/O}_7$ ) is then written into the location specified on the address pins ( $\text{A}_0$  through  $\text{A}_{18}$ ).

Reading from the device is accomplished by taking Chip Enable ( $\overline{\text{CE}}$ ) and Output Enable ( $\overline{\text{OE}}$ ) LOW while forcing Write Enable ( $\overline{\text{WE}}$ ) HIGH. Under these conditions, the contents of the memory location specified by the address pins will appear on the I/O pins.

The eight input/output pins ( $\text{I/O}_0$  through  $\text{I/O}_7$ ) are placed in a high-impedance state when the device is deselected ( $\overline{\text{CE}}$  HIGH), the outputs are disabled ( $\overline{\text{OE}}$  HIGH), or during a write operation ( $\overline{\text{CE}}$  LOW, and  $\overline{\text{WE}}$  LOW).

The CY7C1049BV33 is available in a standard 400-mil-wide 36-pin SOJ and 44-pin TSOPII packages with center power and ground (revolutionary) pinout.



## Selection Guide

		-12	-15	-17	-20	-25
Maximum Access Time (ns)		12	15	17	20	25
Maximum Operating Current (mA)	Com'l	200	180	170	160	150
	Ind'l	220	200	180	170	170
Maximum CMOS Standby Current (mA)	Com'l/Ind'l	8	8	8	8	8
	Com'l L	0.5	0.5	0.5	0.5	0.5

**Note:**

1. For guidelines on SRAM system design, please refer to the 'System Design Guidelines' Cypress application note, available on the internet at [www.cypress.com](http://www.cypress.com).

**Maximum Ratings**

(Above which the useful life may be impaired. For user guidelines, not tested.)

Storage Temperature ..... -65°C to +150°C

Ambient Temperature with Power Applied..... -55°C to +125°C

Supply Voltage on  $V_{CC}$  to Relative GND<sup>[2]</sup>..... -0.5V to +4.6V

DC Voltage Applied to Outputs<sup>[2]</sup> in High Z State ..... -0.5V to  $V_{CC} + 0.5V$

DC Input Voltage<sup>[2]</sup> ..... -0.5V to  $V_{CC} + 0.5V$

Current into Outputs (LOW) ..... 20 mA

**Operating Range**

Range	Ambient Temperature	$V_{CC}$
Commercial	0°C to +70°C	3.3V ± 0.3V
Industrial	-40°C to +85°C	

**DC Electrical Characteristics Over the Operating Range**

Parameter	Description	Test Conditions	-12		-15		-17		Unit	
			Min.	Max.	Min.	Max.	Min.	Max.		
$V_{OH}$	Output HIGH Voltage	$V_{CC} = \text{Min.}, I_{OH} = -4.0 \text{ mA}$	2.4		2.4		2.4		V	
$V_{OL}$	Output LOW Voltage	$V_{CC} = \text{Min.}, I_{OL} = 8.0 \text{ mA}$		0.4		0.4		0.4	V	
$V_{IH}$	Input HIGH Voltage		2.2	$V_{CC} + 0.5$	2.2	$V_{CC} + 0.5$	2.2	$V_{CC} + 0.5$	V	
$V_{IL}$	Input LOW Voltage <sup>[2]</sup>		-0.5	0.8	-0.5	0.8	-0.5	0.8	V	
$I_{IX}$	Input Load Current	$GND \leq V_I \leq V_{CC}$	-1	+1	-1	+1	-1	+1	μA	
$I_{OZ}$	Output Leakage Current	$GND \leq V_{OUT} \leq V_{CC},$ Output Disabled	-1	+1	-1	+1	-1	+1	μA	
$I_{CC}$	$V_{CC}$ Operating Supply Current	$V_{CC} = \text{Max.},$ $f = f_{MAX} = 1/t_{RC}$	Com'l		200		180		170	mA
			Ind'l		220		200		180	mA
$I_{SB1}$	Automatic CE Power-Down Current – TTL Inputs	Max. $V_{CC}, \overline{CE} \geq V_{IH}$ $V_{IN} \geq V_{IH}$ or $V_{IN} \leq V_{IL}, f = f_{MAX}$		30		30		30	mA	
$I_{SB2}$	Automatic CE Power-Down Current – CMOS Inputs	Max. $V_{CC},$ $\overline{CE} \geq V_{CC} - 0.3V,$ $V_{IN} \geq V_{CC} - 0.3V,$ or $V_{IN} \leq 0.3V, f = 0$	Com'l/Ind'l		8		8		8	mA
			Com'l	L	0.5		0.5		0.5	mA

**Note:**

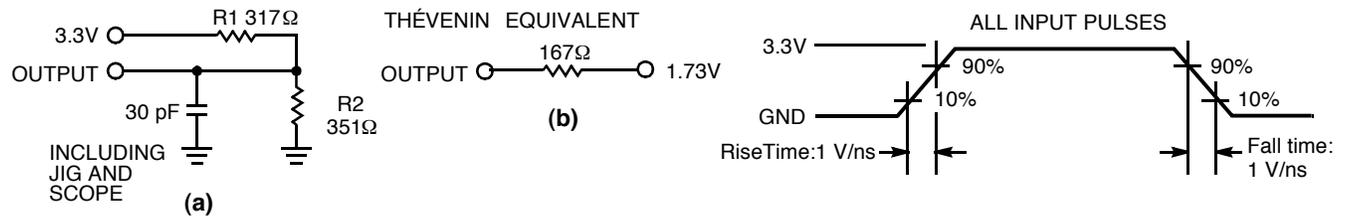
2.  $V_{IL}$  (min.) = -2.0V for pulse durations of less than 20 ns.

**DC Electrical Characteristics** Over the Operating Range (continued)

Parameter	Description	Test Conditions	-20		-25		Unit	
			Min.	Max.	Min.	Max.		
V <sub>OH</sub>	Output HIGH Voltage	V <sub>CC</sub> = Min., I <sub>OH</sub> = -4.0 mA	2.4		2.4		V	
V <sub>OL</sub>	Output LOW Voltage	V <sub>CC</sub> = Min., I <sub>OL</sub> = 8.0 mA		0.4		0.4	V	
V <sub>IH</sub>	Input HIGH Voltage		2.2	V <sub>CC</sub> + 0.5	2.2	V <sub>CC</sub> + 0.5	V	
V <sub>IL</sub>	Input LOW Voltage <sup>[2]</sup>		-0.5	0.8	-0.5	0.8	V	
I <sub>Ix</sub>	Input Load Current	GND ≤ V <sub>I</sub> ≤ V <sub>CC</sub>	-1	+1	-1	+1	μA	
I <sub>OZ</sub>	Output Leakage Current	GND ≤ V <sub>OUT</sub> ≤ V <sub>CC</sub> , Output Disabled	-1	+1	-1	+1	μA	
I <sub>CC</sub>	V <sub>CC</sub> Operating Supply Current	V <sub>CC</sub> = Max., f = f <sub>MAX</sub> = 1/t <sub>RC</sub>	Com'l			160	150	mA
			Ind'l			170	170	mA
I <sub>SB1</sub>	Automatic CE Power-Down Current — TTL Inputs	Max. V <sub>CC</sub> , $\overline{CE} \geq V_{IH}$ V <sub>IN</sub> ≥ V <sub>IH</sub> or V <sub>IN</sub> ≤ V <sub>IL</sub> , f = f <sub>MAX</sub>		30		30	mA	
I <sub>SB2</sub>	Automatic CE Power-Down Current — CMOS Inputs	Max. V <sub>CC</sub> , CE ≥ V <sub>CC</sub> - 0.3V, V <sub>IN</sub> ≥ V <sub>CC</sub> - 0.3V, or V <sub>IN</sub> ≤ 0.3V, f = 0	Com'l/Ind'l			8	8	mA
			Com'l	L		0.5	0.5	mA

**Capacitance<sup>[3]</sup>**

Parameter	Description	Test Conditions	Max.	Unit
C <sub>IN</sub>	Input Capacitance	T <sub>A</sub> = 25°C, f = 1 MHz, V <sub>CC</sub> = 3.3V	8	pF
C <sub>OUT</sub>	I/O Capacitance		8	pF

**AC Test Loads and Waveforms**

**Note:**

- Tested initially and after any design or process changes that may affect these parameters.

**AC Switching Characteristics<sup>[4]</sup> Over the Operating Range**

Parameter	Description	-12		-15		-17		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
<b>Read Cycle</b>								
$t_{power}$	$V_{CC}$ (typical) to the First Access <sup>[5]</sup>	1		1		1		$\mu$ s
$t_{RC}$	Read Cycle Time	12		15		17		ns
$t_{AA}$	Address to Data Valid		12		15		17	ns
$t_{OHA}$	Data Hold from Address Change	3		3		3		ns
$t_{ACE}$	$\overline{CE}$ LOW to Data Valid		12		15		17	ns
$t_{DOE}$	$\overline{OE}$ LOW to Data Valid		6		7		8	ns
$t_{LZOE}$	$\overline{OE}$ LOW to Low Z	0		0		0		ns
$t_{HZOE}$	$\overline{OE}$ HIGH to High Z <sup>[6, 7]</sup>		6		7		8	ns
$t_{LZCE}$	$\overline{CE}$ LOW to Low Z <sup>[7]</sup>	3		3		3		ns
$t_{HZCE}$	$\overline{CE}$ HIGH to High Z <sup>[6, 7]</sup>		6		7		8	ns
$t_{PU}$	$\overline{CE}$ LOW to Power-Up	0		0		0		ns
$t_{PD}$	$\overline{CE}$ HIGH to Power-Down		12		15		17	ns
<b>Write Cycle<sup>[8, 9]</sup></b>								
$t_{WC}$	Write Cycle Time	12		15		17		ns
$t_{SCE}$	$\overline{CE}$ LOW to Write End	10		12		13		ns
$t_{AW}$	Address Set-Up to Write End	10		12		13		ns
$t_{HA}$	Address Hold from Write End	0		0		0		ns
$t_{SA}$	Address Set-Up to Write Start	0		0		0		ns
$t_{PWE}$	$\overline{WE}$ Pulse Width	10		12		13		ns
$t_{SD}$	Data Set-Up to Write End	7		8		9		ns
$t_{HD}$	Data Hold from Write End	0		0		0		ns
$t_{LZWE}$	$\overline{WE}$ HIGH to Low Z <sup>[7]</sup>	3		3		3		ns
$t_{HZWE}$	$\overline{WE}$ LOW to High Z <sup>[6, 7]</sup>		6		7		8	ns

**Notes:**

- Test conditions assume signal transition time of 3 ns or less, timing reference levels of 1.5V, input pulse levels of 0 to 3.0V, and output loading of the specified  $I_{OL}/I_{OH}$  and 30-pF load capacitance.
- This part has a voltage regulator which steps down the voltage from 5V to 3.3V internally.  $T_{power}$  time has to be provided initially before a read/write operation is started.
- $t_{HZOE}$ ,  $t_{HZCE}$ , and  $t_{HZWE}$  are specified with a load capacitance of 5 pF as in part (b) of AC Test Loads. Transition is measured  $\pm$  500 mV from steady-state voltage.
- At any given temperature and voltage condition,  $t_{HZCE}$  is less than  $t_{LZCE}$ ,  $t_{HZOE}$  is less than  $t_{LZOE}$ , and  $t_{HZWE}$  is less than  $t_{LZWE}$  for any given device.
- The internal write time of the memory is defined by the overlap of  $\overline{CE}$  LOW, and  $\overline{WE}$  LOW.  $\overline{CE}$  and  $\overline{WE}$  must be LOW to initiate a write, and the transition of either of these signals can terminate the write. The input data set-up and hold timing should be referenced to the leading edge of the signal that terminates the write.
- The minimum write cycle time for Write Cycle No. 3 ( $\overline{WE}$  controlled,  $\overline{OE}$  LOW) is the sum of  $t_{HZWE}$  and  $t_{SD}$ .

**AC Switching Characteristics<sup>[4]</sup> Over the Operating Range (continued)**

Parameter	Description	-20		-25		Unit
		Min.	Max.	Min.	Max.	
<b>Read Cycle</b>						
$t_{power}$	$V_{CC}$ (typical) to the First Access <sup>[6]</sup>	1		1		$\mu$ s
$t_{RC}$	Read Cycle Time	20		25		ns
$t_{AA}$	Address to Data Valid		20		25	ns
$t_{OHA}$	Data Hold from Address Change	3		3		ns
$t_{ACE}$	$\overline{CE}$ LOW to Data Valid		20		25	ns
$t_{DOE}$	$\overline{OE}$ LOW to Data Valid		8		10	ns
$t_{LZOE}$	$\overline{OE}$ LOW to Low Z	0		0		ns
$t_{HZOE}$	$\overline{OE}$ HIGH to High Z <sup>[6, 7]</sup>		8		10	ns
$t_{LZCE}$	$\overline{CE}$ LOW to Low Z <sup>[7]</sup>	3		3		ns
$t_{HZCE}$	$\overline{CE}$ HIGH to High Z <sup>[6, 7]</sup>		8		10	ns
$t_{PU}$	$\overline{CE}$ LOW to Power-Up	0		0		ns
$t_{PD}$	$\overline{CE}$ HIGH to Power-Down		20		25	ns
<b>Write Cycle<sup>[9]</sup></b>						
$t_{WC}$	Write Cycle Time	20		25		ns
$t_{SCE}$	$\overline{CE}$ LOW to Write End	13		15		ns
$t_{AW}$	Address Set-Up to Write End	13		15		ns
$t_{HA}$	Address Hold from Write End	0		0		ns
$t_{SA}$	Address Set-Up to Write Start	0		0		ns
$t_{PWE}$	$\overline{WE}$ Pulse Width	13		15		ns
$t_{SD}$	Data Set-Up to Write End	9		10		ns
$t_{HD}$	Data Hold from Write End	0		0		ns
$t_{LZWE}$	$\overline{WE}$ HIGH to Low Z <sup>[7]</sup>	3		3		ns
$t_{HZWE}$	$\overline{WE}$ LOW to High Z <sup>[6, 7]</sup>		8		10	ns

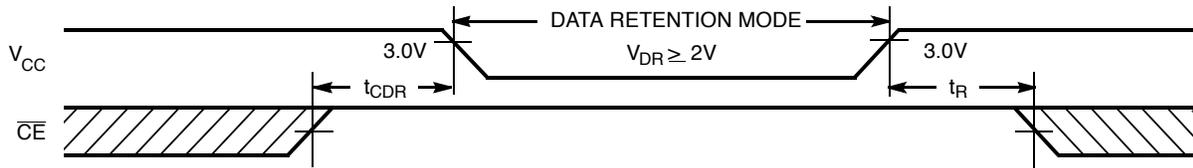
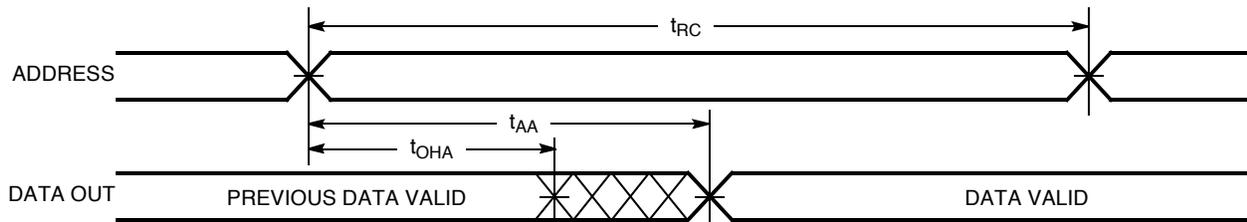
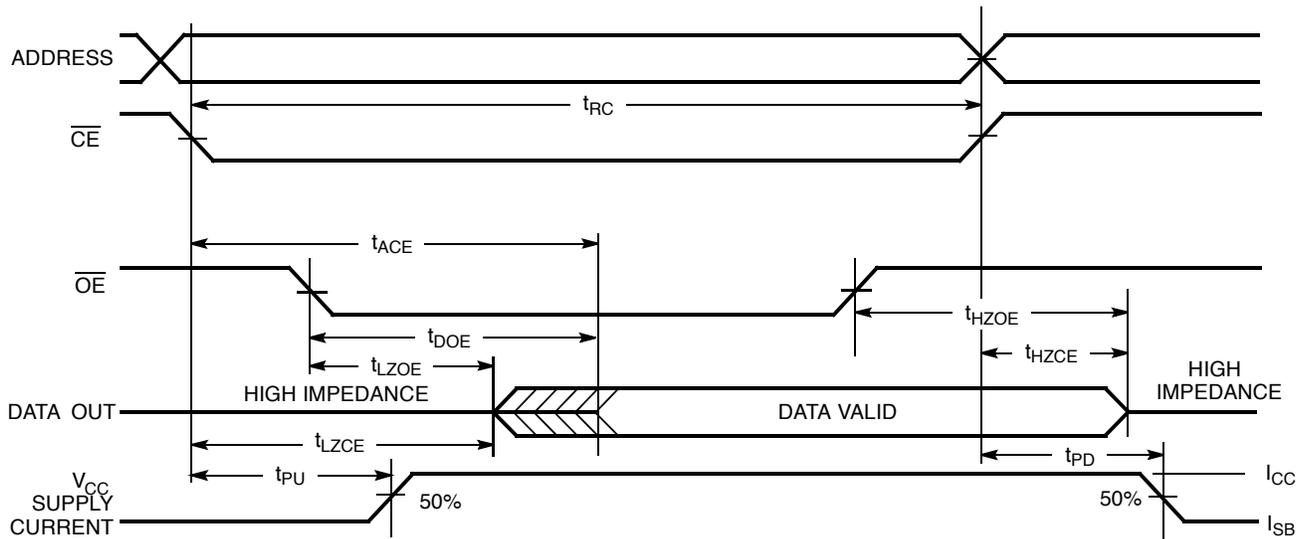
**Data Retention Characteristics Over the Operating Range (For L version only)**

Parameter	Description	Conditions <sup>[10]</sup>	Min.	Max	Unit
$V_{DR}$	$V_{CC}$ for Data Retention		2.0		V
$I_{CCDR}$	Data Retention Current	$V_{CC} = V_{DR} = 2.0V$ , $CE \geq V_{CC} - 0.3V$ $V_{IN} \geq V_{CC} - 0.3V$ or $V_{IN} \leq 0.3V$		330	$\mu$ A
$t_{CDR}^{[3]}$	Chip Deselect to Data Retention Time		0		ns
$t_R^{[11]}$	Operation Recovery Time		$t_{RC}$		ns

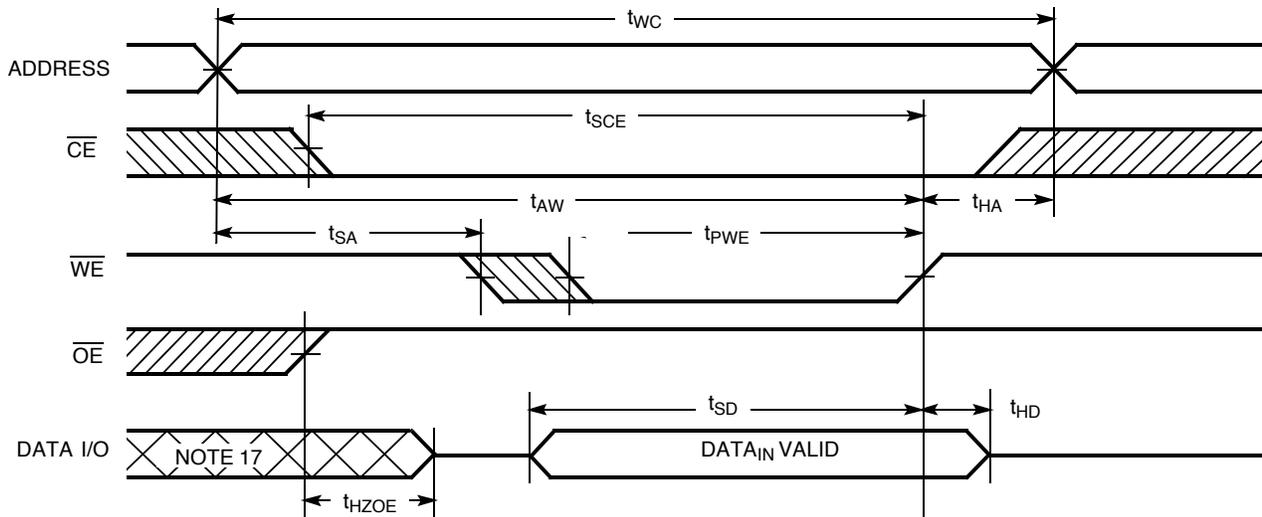
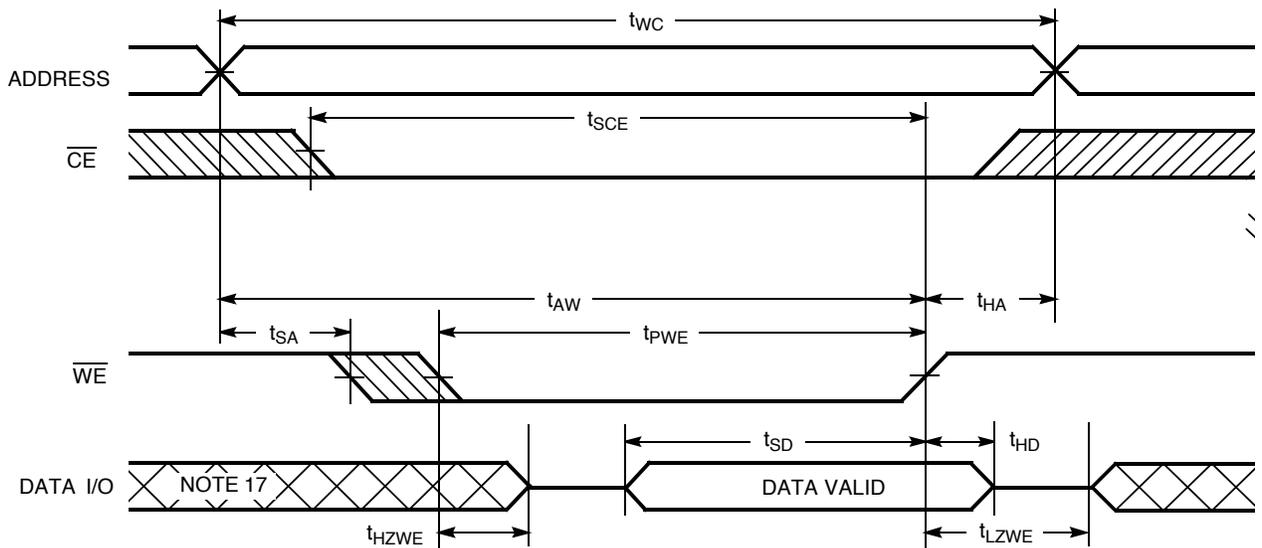
**Notes:**

10. No input may exceed  $V_{CC} + 0.5V$ 

11.  $t_r \leq 3$  ns for the -12 and -15 speeds.  $t_r \leq 5$  ns for the -20 ns and slower speeds.

**Data Retention Waveform**

**Switching Waveforms**
**Read Cycle No. 1<sup>[12, 13]</sup>**

**Read Cycle No. 2 ( $\overline{OE}$  Controlled)<sup>[13, 14]</sup>**

**Notes:**

12. Device is continuously selected.  $\overline{OE}, \overline{CE} = V_{IL}$ .
13.  $\overline{WE}$  is HIGH for read cycle.
14. Address valid prior to or coincident with  $\overline{CE}$  transition LOW.

**Switching Waveforms (continued)**
**Write Cycle No. 1 ( $\overline{WE}$  Controlled,  $\overline{OE}$  HIGH During Write)<sup>[15, 16]</sup>**

**Write Cycle No. 2 ( $\overline{WE}$  Controlled,  $\overline{OE}$  LOW)<sup>[16]</sup>**

**Truth Table**

CE	OE	WE	I/O <sub>0</sub> - I/O <sub>7</sub>	Mode	Power
H	X	X	High Z	Power-Down	Standby (I <sub>SB</sub> )
L	L	H	Data Out	Read	Active (I <sub>CC</sub> )
L	X	L	Data In	Write	Active (I <sub>CC</sub> )
L	H	H	High Z	Selected, Outputs Disabled	Active (I <sub>CC</sub> )

**Notes:**

15. Data I/O is high-impedance if  $\overline{OE} = V_{IH}$ .
16. If CE goes HIGH simultaneously with WE going HIGH, the output remains in a high-impedance state.
17. During this period the I/Os are in the output state and input signals should not be applied.

**Ordering Information**

Speed (ns)	Ordering Code	Package Name	Package Type	Operating Range
12	CY7C1049BV33-12VC	V36	36-Lead (400-Mil) Molded SOJ	Commercial
	CY7C1049BV33-12ZC	Z44	44-Pin TSOP II Z44	
	CY7C1049BV33L-12VC	V36	36-Lead (400-Mil) Molded SOJ	Industrial
	CY7C1049BV33-12VI	V36	36-Lead (400-Mil) Molded SOJ	
15	CY7C1049BV33-15VC	V36	36-Lead (400-Mil) Molded SOJ	Commercial
	CY7C1049BV33L-15VC	V36	36-Lead (400-Mil) Molded SOJ	
	CY7C1049BV33-15ZC	Z44	44-Pin TSOP II Z44	Industrial
	CY7C1049BV33L-15ZC	Z44	44-Pin TSOP II Z44	
	CY7C1049BV33-15VI	V36	36-Lead (400-Mil) Molded SOJ	Industrial
	CY7C1049BV33-15ZI	Z44	44-Pin TSOP II Z44	
17	CY7C1049BV33-17VC	V36	36-Lead (400-Mil) Molded SOJ	Commercial
	CY7C1049BV33L-17VC	V36	36-Lead (400-Mil) Molded SOJ	
	CY7C1049BV33-17ZC	Z44	44-Pin TSOP II Z44	Industrial
	CY7C1049BV33L-17ZC	Z44	44-Pin TSOP II Z44	
	CY7C1049BV33-17VI	V36	36-Lead (400-Mil) Molded SOJ	Industrial
	CY7C1049BV33L-17VI	V36	36-Lead (400-Mil) Molded SOJ	
	CY7C1049BV33-17ZI	Z44	44-Pin TSOP II Z44	
20	CY7C1049BV33-20VC	V36	36-Lead (400-Mil) Molded SOJ	Commercial
	CY7C1049BV33L-20VC	V36	36-Lead (400-Mil) Molded SOJ	
	CY7C1049BV33-20ZC	Z44	44-Pin TSOP II Z44	Industrial
	CY7C1049BV33L-20ZC	Z44	44-Pin TSOP II Z44	
	CY7C1049BV33-20VI	V36	36-Lead (400-Mil) Molded SOJ	Industrial
	CY7C1049BV33-20ZI	Z44	44-Pin TSOP II Z44	
25	CY7C1049BV33-25VC	V36	36-Lead (400-Mil) Molded SOJ	Commercial
	CY7C1049BV33L-25VC	V36	36-Lead (400-Mil) Molded SOJ	
	CY7C1049BV33-25ZC	Z44	44-Pin TSOP II Z44	Industrial
	CY7C1049BV33L-25ZC	Z44	44-Pin TSOP II Z44	
	CY7C1049BV33-25VI	v36	36-Lead (400-Mil) Molded SOJ	Industrial

## 8.F.PRESUPUESTO

### 1) Ejecución Material

Compra de ordenador personal (Software incluido).....	4.500 €
Alquiler de impresora láser durante 24 meses.....	200 €
Material de oficina.....	150 €
Hardware .....	4.000 €
Osciloscopio.....	700 €
Analizador lógico.....	14.000 €
Sintetizador de vídeo.....	500 €
Pantalla de televisión.....	100 €
Software necesario para las pruebas del laboratorio.....	1.000 €
Total de ejecución material.....	25.150 €

### 2) Gastos generales

16 % sobre Ejecución Material.....	4.024€
------------------------------------	--------

### 3) Beneficio Industrial

6 % sobre Ejecución Material.....	1.509 €
-----------------------------------	---------

### 4) Honorarios Proyecto

1.440 horas a 6 € / hora.....	8.640 €
-------------------------------	---------

### 5) Material fungible

Gastos de impresión y encuadernación.....	260 €
---	-------

### 6) Subtotal del presupuesto

Subtotal Presupuesto.....	39.583€
---------------------------	---------

### 7) I.V.A. aplicable

16% Subtotal Presupuesto.....	6.333,28 €
-------------------------------	------------

### 8) Total presupuesto

Total Presupuesto.....	45.916,28 €
------------------------	-------------

Madrid, Abril de 2012

El Ingeniero Jefe de Proyecto

Fdo.: María Davó Sigüero  
Ingeniero Superior de Telecomunicación

## **8. G. PLIEGO DE CONDICIONES**

Este documento contiene las condiciones legales que guiarán la realización, en este proyecto, del desarrollo de una aplicación firmware para gestión de imágenes de video . En lo que sigue, se supondrá que el proyecto ha sido encargado por una empresa cliente a una empresa consultora con la finalidad de realizar dicho sistema. Dicha empresa ha debido desarrollar una línea de investigación con objeto de elaborar el proyecto. Esta línea de investigación, junto con el posterior desarrollo de los programas está amparada por las condiciones particulares del siguiente pliego.

Supuesto que la utilización industrial de los métodos recogidos en el presente proyecto ha sido decidida por parte de la empresa cliente o de otras, la obra a realizar se regulará por las siguientes:

### **Condiciones generales**

1. La modalidad de contratación será el concurso. La adjudicación se hará, por tanto, a la proposición más favorable sin atender exclusivamente al valor económico, dependiendo de las mayores garantías ofrecidas. La empresa que somete el proyecto a concurso se reserva el derecho a declararlo desierto.

2. El montaje y mecanización completa de los equipos que intervengan será realizado totalmente por la empresa licitadora.

3. En la oferta, se hará constar el precio total por el que se compromete a realizar la obra y el tanto por ciento de baja que supone este precio en relación con un importe límite si este se hubiera fijado.

4. La obra se realizará bajo la dirección técnica de un Ingeniero Superior de Telecomunicación, auxiliado por el número de Ingenieros Técnicos y Programadores que se estime preciso para el desarrollo de la misma.

5. Aparte del Ingeniero Director, el contratista tendrá derecho a contratar al resto del personal, pudiendo ceder esta prerrogativa a favor del Ingeniero Director, quien no estará obligado a aceptarla.

6. El contratista tiene derecho a sacar copias a su costa de los planos, pliego de condiciones y presupuestos. El Ingeniero autor del proyecto autorizará con su firma las copias solicitadas por el contratista después de confrontarlas.

7. Se abonará al contratista la obra que realmente ejecute con sujeción al proyecto que

sirvió de base para la contratación, a las modificaciones autorizadas por la superioridad o a las órdenes que con arreglo a sus facultades le hayan comunicado por escrito al Ingeniero Director de obras siempre que dicha obra se haya ajustado a los preceptos de los pliegos de condiciones, con arreglo a los cuales, se harán las modificaciones y la valoración de las diversas unidades sin que el importe total pueda exceder de los presupuestos aprobados. Por consiguiente, el número de unidades que se consignan en el proyecto o en el presupuesto, no podrá servirle de fundamento para entablar reclamaciones de ninguna clase, salvo en los casos de rescisión.

8. Tanto en las certificaciones de obras como en la liquidación final, se abonarán los trabajos realizados por el contratista a los precios de ejecución material que figuran en el presupuesto para cada unidad de la obra.

9. Si excepcionalmente se hubiera ejecutado algún trabajo que no se ajustase a las condiciones de la contrata pero que sin embargo es admisible a juicio del Ingeniero Director de obras, se dará conocimiento a la Dirección, proponiendo a la vez la rebaja de precios que el Ingeniero estime justa y si la Dirección resolviera aceptar la obra, quedará el contratista obligado a conformarse con la rebaja acordada.

10. Cuando se juzgue necesario emplear materiales o ejecutar obras que no figuren en el presupuesto de la contrata, se evaluará su importe a los precios asignados a otras obras o materiales análogos si los hubiere y cuando no, se discutirán entre el Ingeniero Director y el contratista, sometiéndolos a la aprobación de la Dirección. Los nuevos precios convenidos por uno u otro procedimiento, se sujetarán siempre al establecido en el punto anterior.

11. Cuando el contratista, con autorización del Ingeniero Director de obras, emplee materiales de calidad más elevada o de mayores dimensiones de lo estipulado en el proyecto, o sustituya una clase de fabricación por otra que tenga asignado mayor precio o ejecute con mayores dimensiones cualquier otra parte de las obras, o en general, introduzca en ellas cualquier modificación que sea beneficiosa a juicio del Ingeniero Director de obras, no tendrá derecho sin embargo, sino a lo que le correspondería si hubiera realizado la obra con estricta sujeción a lo proyectado y contratado.

12. Las cantidades calculadas para obras accesorias, aunque figuren por partida alzada en el presupuesto final (general), no serán abonadas sino a los precios de la contrata, según las condiciones de la misma y los proyectos particulares que para ellas se formen, o en su defecto, por lo que resulte de su medición final.

13. El contratista queda obligado a abonar al Ingeniero autor del proyecto y director de

obras así como a los Ingenieros Técnicos, el importe de sus respectivos honorarios facultativos por formación del proyecto, dirección técnica y administración en su caso, con arreglo a las tarifas y honorarios vigentes.

14. Concluida la ejecución de la obra, será reconocida por el Ingeniero Director que a tal efecto designe la empresa.

15. La garantía definitiva será del 4% del presupuesto y la provisional del 2%.

16. La forma de pago será por certificaciones mensuales de la obra ejecutada, de acuerdo con los precios del presupuesto, deducida la baja si la hubiera.

17. La fecha de comienzo de las obras será a partir de los 15 días naturales del replanteo oficial de las mismas y la definitiva, al año de haber ejecutado la provisional, procediéndose si no existe reclamación alguna, a la reclamación de la fianza.

18. Si el contratista al efectuar el replanteo, observase algún error en el proyecto, deberá comunicarlo en el plazo de quince días al Ingeniero Director de obras, pues transcurrido ese plazo será responsable de la exactitud del proyecto.

19. El contratista está obligado a designar una persona responsable que se entenderá con el Ingeniero Director de obras, o con el delegado que éste designe, para todo relacionado con ella. Al ser el Ingeniero Director de obras el que interpreta el proyecto, el contratista deberá consultarle cualquier duda que surja en su realización.

20. Durante la realización de la obra, se girarán visitas de inspección por personal facultativo de la empresa cliente, para hacer las comprobaciones que se crean oportunas. Es obligación del contratista, la conservación de la obra ya ejecutada hasta la recepción de la misma, por lo que el deterioro parcial o total de ella, aunque sea por agentes atmosféricos u otras causas, deberá ser reparado o reconstruido por su cuenta.

21. El contratista, deberá realizar la obra en el plazo mencionado a partir de la fecha del contrato, incurriendo en multa, por retraso de la ejecución siempre que éste no sea debido a causas de fuerza mayor. A la terminación de la obra, se hará una recepción provisional previo reconocimiento y examen por la dirección técnica, el depositario de efectos, el interventor y el jefe de servicio o un representante, estampando su conformidad el contratista.

22. Hecha la recepción provisional, se certificará al contratista el resto de la obra,

reservándose la administración el importe de los gastos de conservación de la misma hasta su recepción definitiva y la fianza durante el tiempo señalado como plazo de garantía. La recepción definitiva se hará en las mismas condiciones que la provisional, extendiéndose el acta correspondiente. El Director Técnico propondrá a la Junta Económica la devolución de la fianza al contratista de acuerdo con las condiciones económicas legales establecidas.

23. Las tarifas para la determinación de honorarios, reguladas por orden de la Presidencia del Gobierno el 19 de Octubre de 1961, se aplicarán sobre el denominado en la actualidad "Presupuesto de Ejecución de Contrata" y anteriormente llamado "Presupuesto de Ejecución Material" que hoy designa otro concepto.

### **Condiciones particulares**

La empresa consultora, que ha desarrollado el presente proyecto, lo entregará a la empresa cliente bajo las condiciones generales ya formuladas, debiendo añadirse las siguientes condiciones particulares:

1. La propiedad intelectual de los procesos descritos y analizados en el presente trabajo, pertenece por entero a la empresa consultora representada por el Ingeniero Director del Proyecto.

2. La empresa consultora se reserva el derecho a la utilización total o parcial de los resultados de la investigación realizada para desarrollar el siguiente proyecto, bien para su publicación o bien para su uso en trabajos o proyectos posteriores, para la misma empresa cliente o para otra.

3. Cualquier tipo de reproducción aparte de las reseñadas en las condiciones generales, bien sea para uso particular de la empresa cliente, o para cualquier otra aplicación, contará con autorización expresa y por escrito del Ingeniero Director del Proyecto, que actuará en representación de la empresa consultora.

4. En la autorización se ha de hacer constar la aplicación a que se destinan sus reproducciones así como su cantidad.

5. En todas las reproducciones se indicará su procedencia, explicitando el nombre del proyecto, nombre del Ingeniero Director y de la empresa consultora.

6. Si el proyecto pasa la etapa de desarrollo, cualquier modificación que se realice sobre él,

deberá ser notificada al Ingeniero Director del Proyecto y a criterio de éste, la empresa consultora decidirá aceptar o no la modificación propuesta.

7. Si la modificación se acepta, la empresa consultora se hará responsable al mismo nivel que el proyecto inicial del que resulta el añadirla.

8. Si la modificación no es aceptada, por el contrario, la empresa consultora declinará toda responsabilidad que se derive de la aplicación o influencia de la misma.

9. Si la empresa cliente decide desarrollar industrialmente uno o varios productos en los que resulte parcial o totalmente aplicable el estudio de este proyecto, deberá comunicarlo a la empresa consultora.

10. La empresa consultora no se responsabiliza de los efectos laterales que se puedan producir en el momento en que se utilice la herramienta objeto del presente proyecto para la realización de otras aplicaciones.

11. La empresa consultora tendrá prioridad respecto a otras en la elaboración de los proyectos auxiliares que fuese necesario desarrollar para dicha aplicación industrial, siempre que no haga explícita renuncia a este hecho. En este caso, deberá autorizar expresamente los proyectos presentados por otros.

12. El Ingeniero Director del presente proyecto, será el responsable de la dirección de la aplicación industrial siempre que la empresa consultora lo estime oportuno. En caso contrario, la persona designada deberá contar con la autorización del mismo, quien delegará en él las responsabilidades que ostente.