



ESCUELA POLITÉCNICA SUPERIOR  
UNIVERSIDAD AUTÓNOMA DE MADRID

## **ANTEPROYECTO PFC**

**Estudiante:**  
Godoy Garcés

**Tutor:**  
Eduardo Boemo Scalvinoni

**Título del proyecto:**  
Técnicas de Low-Power Design en FPGAs

### **Motivación y objetivos:**

La frecuencia de operación y densidad de puertas de FPGAs actuales convierte la reducción de consumo en una técnica obligada para operación a alta velocidad. El consumo en los dispositivos programables actuales puede situarse fácilmente en el orden de vatios, con una tendencia a incrementarse en los próximos años.

La aplicación de transformaciones circuitales para reducir consumo tiene los siguientes efectos prácticos:

- Permite reemplazar encapsulados caros, con mayor capacidad de transmisión de calor, por encapsulados más económicos.
- Aumenta la fiabilidad y vida útil del circuito.
- Simplifica o hace innecesaria la refrigeración.
- Aumenta la autonomía de los sistemas portátiles.
- Reduce la complejidad de PCB, la distribución de tensiones y simplifica la fuente de alimentación.

El tema elegido es de total actualidad. Una rápida consulta en *Scholar Google* indica que las palabras claves FPGA y *low-power* en aparecen más de 34.000 artículos técnicos, mientras que la segunda palabra aparece más de 1100 veces en la propia web de Xilinx, el fabricante de los dispositivos que se utilizarán como marco tecnológico.

De acuerdo con lo anterior, el objetivo del proyecto es analizar la influencia del diseñador cuando asiste a la herramienta en el proceso de *floorplanning*, estudiar el efecto de algunos settings de la herramienta, estudiar la importancia de la topología de diversos bloques aritméticos. Finalmente, evaluar los errores de diferentes técnicas de medición.



ESCUELA POLITÉCNICA SUPERIOR  
UNIVERSIDAD AUTÓNOMA DE MADRID

**Metodología y plan de trabajo:**

El consumo en CMOS depende de la arquitectura, tecnología y datos de entrada. El control puede realizarse en distintos niveles de la jerarquía de diseño. Este PFC se centrará en la reducción de consumo a nivel arquitectural y nivel de implementación (layout), los que mejor se acoplan al control del proceso y la información que puede disponer un diseñador que utiliza FPGAs.

Los experimentos a realizar son los siguientes:

1. **Elección y codificación VHDL de un conjunto de circuitos benchmark:** Estos circuitos serán elegidos con el objeto de poder probar diferentes ideas y pueden o no ser circuitos utilizables en una aplicación real. Por ejemplo, un circuito que sólo se utilice para medir la potencia en las patas de salida, o un array de FF tipo D para medir la potencia en el árbol de reloj.
2. **Puesta a punto del banco de medida, basado en FPGA Spartan 6:** Se utilizará una tarjeta de desarrollo de Avnet y se analizarán las fuentes de error de los diversos métodos de medición.
3. **Análisis de la influencia de la herramienta:** Se realizará una comparación tomando como referencia un circuito aritmético en particular. Éste debe realizar operaciones idénticas sobre los mismos datos. Sólo se variará algunos setting de la herramienta.
4. **Influencia del diseñador:** Utilizando las nuevas herramientas de Xilinx se reemplazará parte del procesamiento automático por un diseño asistido y se comprobará el efecto sobre el consumo. En particular se espera analizar la influencia de un *floorplanning* asistido.

El plan de trabajo es el siguiente:

**Mes 1:** Revisión bibliográfica. Selección de circuitos de referencia (benchmarks). Aprendizaje de la herramienta. Asistencia a curso de VHDL.

**Mes 2:** Medición de circuitos simples y determinación del error de cada método de medición. Codificación de circuitos de referencia (*benchmarks*). Comienzo de los experimentos.

**Mes 3:** Realización de experimentos y mediciones.

**Mes 4 y siguientes:** Redacción de la memoria de PFC



ESCUELA POLITÉCNICA SUPERIOR  
UNIVERSIDAD AUTÓNOMA DE MADRID

**Medios a utilizar.**

El trabajo, fuertemente experimental, se realizará en el Lab. C115 que comparten el DSLab y el HCTLab. El estudiante contará con:

1. Puesto de trabajo y herramientas de diseño.
2. Placas de desarrollo Digilent y Avnet.
3. Multímetros de precisión.
4. Osciloscopio con punta de prueba de corriente.
5. Generador de frecuencia variable.
6. Herramientas informáticas varias.

**Bibliografía básica consultada en la elaboración del anteproyecto.**

1. E. Boemo, G. Gonzalez de Rivera, S.Lopez-Buedo and J. Meneses, "Some Notes on Power Management on FPGAs", Lecture Notes in Computer Science, No.975, pp.149-157. Berlin: Springer-Verlag 1995.
2. J.P. Oliver and E. Boemo: "Power Estimations ss. Power Measurements in Cyclone III Devices". In VII Southern Conference on Programmable Logic, pp.87-90, IEEE Press, 2011.
3. J. Rabaey and M. Pedram (editors), Low Power Design Methodologies, Kluwer Academic Publishers, Boston, 1995.
4. M. Pedram, "Design technologies for low power VLSI," In Encyclopedia of Computer Science and Technology, Vol. 36, Marcel Dekker, Inc., 1997, pp. 73-96.