



Juego de Instrucciones

HCO8

Jordi Mayné
Ingeniero de Aplicaciones



Índice

Introducción	5
ADC - Suma con Acarreo	6
ADD - Suma sin Acarreo	7
AIS - Suma el valor Inmediato al Puntero de Pila (con signo)	8
AIX - Suma el Valor Inmediato al Registro de índice (con signo)	9
AND - AND Lógico	10
ASL - Desplazamiento Aritmético a la Izquierda	11
ASR - Desplazamiento Aritmético a la Derecha	12
BCC - Bifurcación si se pone a 0 el Acarreo	13
BCLR n - Pone a 0 un Bit en la Memoria	14
BCS - Bifurcación si el Acarreo es 1	15
BEQ - Bifurcación si es Igual	16
BGE - Bifurcación si es Mayor que o Igual a (operandos con signo)	17
BGT - Bifurcación si es Mayor que (operandos con signo)	18
BHCC - Bifurcación si Medio Acarreo es 0	19
BHCC - Bifurcación si Medio Acarreo es 0	19
BHCS - Bifurcación si Medio Acarreo es 1	20
BHI - Bifurcación si es Mayor	21
BHS - Bifurcación si es Mayor o Igual	22
BIH - Bifurcación si el pin de Interrupción está a 1	23
BIL - Bifurcación si el Pin de Interrupción está a 0	24
BIT - Bit de Prueba de la Memoria con el Acumulador	25
BGE - Bifurcación si es Mayor que o Igual a (operandos con signo)	26
BGT - Bifurcación si es Mayor que (operandos con signo)	27
BLE - Bifurcación si es Menor que o Igual a (Operandos con signo)	28
BLO - Bifurcación si es más Menor	29
BLS - Bifurcación si es Menor o Igual	30

BLT - Bifurcación si es Menor que (Operandos con signo)	31
BMC - Bifurcación si la Máscara de Interrupción es 0	32
BMI - Bifurcación si es Menor	33
BMS - Bifurcación si la Máscara de Interrupción es 1	34
BNE - Bifurcación si no es Igual	35
BPL - Bifurcación si es Positivo	36
BRA - Bifurcación Incondicional	37
BRCLR n - Bifurcación si el Bit n es Cero	38
BRN - Nunca Bifurcación	39
BRSET n - Bifurcación si el Bit n es 1	40
BSET n - Pone a 1 el Bit en la Memoria	41
BSR - Bifurcación a Subrutina	42
CBEQ - Compara y Bifurca si es Igual	43
CBEQA - Compara A con Inmediato, Bifurca si es Igual	44
CBEQX - Compara X con Inmediato, Bifurca si es Igual	45
CLC - Pone a Cero el Bit de Acarreo	46
CLI - Pone a Cero el Bit de Máscara de Interrupción	47
CLR - Pone a Cero	48
CLRH - Borra la parte alta del Registro de Índice (H)	49
CMP - Compara el Acumulador con la Memoria	50
COM - Complemento	51
CPHX - Compara el Registro de Índice con la Memoria	52
CPX - Compara el Registro de Índice con la Memoria	53
DAA - Ajuste Decimal del Acumulador	54
DBNZ - Decrementa y Bifurca si no es Cero	55
DEC - Decrementa	56
DIV - Divide	57
EOR - OR-Exclusiva de la Memoria con el Acumulador	58
INC - Incrementa	59

JMP - Salto	60
JSR - Salto a Subrutina	61
LDA - Carga el Acumulador desde la Memoria	62
LDHX - Carga el Registro de Índice con la Memoria	63
LDX - Carga el Registro de Índice desde la Memoria	64
LSL - Desplazamiento Lógico a la Izquierda	65
LSR - Desplazamiento Lógico a la Derecha	66
MOV - Mueve	67
MUL - Multiplicación Sin Signo	68
NEG - Negado	69
NOP - No Operación	70
NSA - Cambia los "nibbles" del Acumulador	71
ORA - OR-Inclusiva	72
PSHA - Pone el Acumulador en la Pila	73
PSHH - Pone la parte alta del Registro Índice (H) en la Pila	74
PSHX - Pone la parte baja del Registro Índice (X) en la Pila	75
PULA - Saca el Acumulador de la Pila	76
PULH - Saca la parte alta del Registro Índice (H) de la Pila	77
PULX - Saca la parte baja del Registro Índice (H) de la Pila	78
ROL - Rotación a la Izquierda por Acarreo	79
ROR - Rotación a la Derecha por Acarreo	80
RSP - Reset del Puntero de Pila	81
RTI - Retorno de la Interrupción	82
RTS - Retorno de Subrutina	83
SBC - Substracción con Acarreo	84
SEC - Pone a 1 el bit de Acarreo	85
SEI - Pone a 1 el Bit de la Máscara de Interrupción	86
STA - Guarda el Acumulador en la Memoria	87
STHX - Guarda el Registro de Índice	88

STOP - Habilita la $\overline{\text{IRQ}}$ y Para el Oscilador _____	89
STX - Guarda el Registro de Índice X en la Memoria _____	90
SUB - Substracción _____	91
SWI - Interrupción por Software _____	92
STHX - Guarda el Registro de Índice _____	93
TAX - Transfiere el Acumulador al Registro de Índice _____	94
TPA - Transfiere el Registro de Código de Condición al Acumulador _____	95
TST - Prueba para Negativo o Cero _____	96
TSX - Transfiere el Puntero de Pila al Registro de Índice _____	97
TXA - Transfiere el Registro de Índice al Acumulador _____	98
TXS - Transfiere el Registro de Índice al Puntero de Pila _____	99
WAIT - Habilita la Interrupción, Para el Procesador _____	100

Introducción

Esta sección contiene información detallada de todas las instrucciones del 68HC08. Las instrucciones están puestas por orden alfabético incluyendo los mnemónicos, para una localización más fácil. En las definiciones se usan las nomenclaturas siguientes:

(a) Operandos

- () = Contenidos de Registro o Posición de Memoria Mostrados entre Paréntesis
- ← = Está Cargado con (Lee: coge)
- ↑ = se Saca de la Pila
- ↓ = se Guarda en la Pila
- = AND Booleana
- + = Suma Aritmética (Excepto donde se usó como OR Inclusiva en la fórmula Booleana)
- ⊕ = OR Exclusiva Booleana
- X = Multiplica
- :
- = Negado (Complemento a Dos)

(b) Registros de la CPU

- ACCA = Acumulador
- CCR = Registro de Código de Condición
- X = Registro de Índice
- PC = Contador de Programa
- PCH = Contador de Programa, Orden más Alto (los 8 bits más significativos)
- PCL = Contador de Programa, Orden más Bajo (los 8 bits menos significativos)
- SP = Puntero de Pila

(c) Memoria y Direccionamiento

- M = Una posición de memoria o datos absolutos, dependiendo del modo de direccionamiento
- Rel = Desplazamiento Relativo; por ejemplo, el número complemento a dos guardado en el último byte de código de código máquina que corresponde a una instrucción de bifurcación

(d) Bits del Registro de Código de Condición (CCR)

- H = Medio Acarreo, Bit 4
- I = Máscara de Interrupción, Bit 3
- N = Indicador de Negativo, Bit 2
- Z = Indicador de Cero, Bit 1
- C = Acarreo (Carry/Borrow), Bit 0

(e) Bit de Estado ANTES de la Ejecución (n = 7, 6, 5... 0)

- An = Bit n del registro ACCA
- Xn = Bit n del registro X
- Mn = Bit n del registro M

(f) Bit de estado DESPUÉS de la ejecución

- Rn = Bit n del Resultado (n = 7, 6, 5... 0)

(g) Actividad Resumen del CCR, símbolos utilizados

- = Bit no Afectado
- 0 = Bit Forzado a 0
- 1 = Bit Forzado a 1
- ↕ = Bit Puesto 0 o a 1 según los Resultados de la Operación

(h) Anotación utilizada del Código Máquina

- dd = 8 bits más bajos de una Dirección Directa \$0000-\$00FF; Byte Alto asumido para ser \$0000
- ee = Los 8 Bits más Altos de un Desplazamiento de 16 bits
- ff = Los 8 Bits más Bajos de un Desplazamiento de 16 bits o de 8-Bits
- ii = Un Byte de Datos Inmediato
- hh = El Byte más Alto de los 16-Bits de una Dirección Extendida
- ll = El Byte más Bajo de los 16-Bits de una Dirección Extendida
- rr = Desplazamiento Relativo

(i) Anotación de forma de Fuente

- (opr) = Operando; Uno o Dos Bytes que dependen del Modo de Direccionamiento
- (rel) = Desplazamiento Relativo Usado en instrucciones de Bifurcación y de Manipulación de Bit

ADC - Suma con Acarreo

Operación: $ACCA \leftarrow (ACCA) + (M) + (C)$

Descripción: Suma los contenidos del bit C a la suma de los contenidos del registro ACCA y del registro M, pone el resultado en el registro ACCA.

Códigos de condición y Formula Booleana

				H	I	N	Z	C
1	1	1	↕	—	↕	↕	↕	↕

H $A3 \cdot M3 + M3 \cdot \overline{R3} + \overline{R3} \cdot A3$

Se pone a 1 si había un acarreo del bit 3; de lo contrario se pone a 0.

N $R7$

Se pone a 1 si el resultado del MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $A7 \cdot M7 + M7 \cdot \overline{R7} + \overline{R7} \cdot A7$

Se pone a 1 si había un acarreo del resultado del MSB; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ADC (opr)	IMM	A9	ii	2
ADC (opr)	DIR	B9	dd	3
ADC (opr)	EXT	C9	hh ll	4
ADC ,X	IX	F9		3
ADC (opr),X	IX1	E9	ff	4
ADC (opr),X	IX2	D9	Ee ff	5

ADD - Suma sin Acarreo

Operación: $ACCA \leftarrow (ACCA) + (M)$

Descripción: Suma los contenidos de M a los contenidos de ACCA y pone el resultado en ACCA.

Códigos de condición y Formula Boleana

				H	I	N	Z	C
1	1	1	↕	—	↕	↕	↕	↕

H $A3 \cdot M3 + M3 \cdot \overline{R3} + \overline{R3} \cdot A3$

Se pone a 1 si había un acarreo del bit 3; de lo contrario se pone a 0.

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $A7 \cdot M7 + M7 \cdot \overline{R7} + \overline{R7} \cdot A7$

Se pone a 1 si había un acarreo del resultado del MSB; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ADD (opr)	IMM	AB	ii	2
ADD (opr)	DIR	BB	dd	3
ADD (opr)	EXT	CB	hh ll	4
ADD ,X	IX	FB		3
ADD (opr),X	IX1	EB	ff	4
ADD (opr),X	IX2	DB	ee ff	5

AIS - Suma el valor Inmediato al Puntero de Pila (con signo)

Operación: $SP \leftarrow (SP) + (16 \ll M)$

Descripción: Suma el operando inmediato al Stack pointer (SP). El valor inmediato es un operando de 8 bits complemento a dos con signo. El operando de 8 bits es extendido a 16 bits con signo, anterior a la suma. La instrucción AIS se puede usar para crear y quitar un 'buffer' de la zona del stack, que se usa para guardar temporalmente las variables.

Esta instrucción no afecta ningún bit de código de condición, para que la información de estado se pueda pasar a/o de una subrutina o función C y asignando o no el espacio para las variables locales que no perturbarán esa información de estado.

Códigos de condición y Formula Boleana

V		H	I	N	Z	C
—	1	1	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
AIS #opr	IMM	A7	ii ii	2

AIX - Suma el Valor Inmediato al Registro de índice (con signo)

Operación: $H:X \leftarrow (H:X) + (16 \ll M)$

Descripción: Suma el operando inmediato al Registro de índice de 16 bits, formado por la concatenación del registro H y X. El operando inmediato es un offset de 8 bits complemento a dos con signo. El operando de 8 bits es extendido a 16 bits con signo anterior a la suma.

Esta instrucción no afecta ningún bit de código de condición, para que los cálculos del puntero del registro de índice no perturbará el código circundante que puede consultar de forma segura el estado de los bits de estado del CCR..

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
AIX #opr	IMM	AF	ii	2

AND - AND Lógico

Operación: $ACCA \leftarrow (ACCA) \cdot (M)$

Descripción: Realiza un AND lógico entre el contenido ACCA y M, pone el resultado en ACCA. (Cada bit del ACCA después de la operación será un AND lógico de los correspondientes bits de M y ACCA antes de la operación.)

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

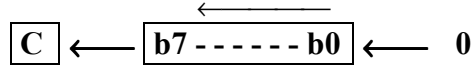
Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
AND (opr)	IMM	A4	ii		2
AND (opr)	DIR	B4	dd		3
AND (opr)	EXT	C4	hh	ll	4
AND ,X	IX	F4			3
AND (opr),X	IX1	E4	ff		4
AND (opr),X	IX2	D4	ee	ff	5

ASL - Desplazamiento Aritmético a la Izquierda

(Lo mismo que la instrucción LSL)

Operación:



Descripción: Desplaza un lugar a la izquierda todos los bits del ACCA, X o M. El Bit 0 está cargado con un cero. El bit C en el CCR está cargado con el bit más significativo de ACCA, X o M.

Códigos de condición y Formula Boleana

	H	I	N	Z	C
	1	1	1	—	—
	—	—	—	↕	↕

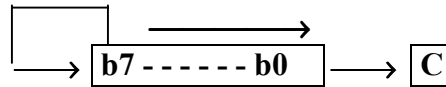
- N** $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.
- Z** $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.
- C** $b7$
Se pone a 1 si antes del desplazamiento el valor MSB del valor desplazado era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ASLA	INH (A)	48		3
ASLX	INH (X)	58		3
ASL (opr)	DIR	38	dd	5
ASL	IX	78		5
ASL (opr),X	IX1	68	ff	6

ASR - Desplazamiento Aritmético a la Derecha

Operación:



Descripción: Desplaza todos los bits un lugar a la derecha del ACCA, X o M. El Bit 7 se mantiene constante. El Bit 0 está cargado en el Bit C del CCR. Esta operación divide eficazmente un valor complemento a dos por dos sin cambiar su signo. El bit de acarreo se puede usar para redondear el resultado.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	⊕	⊕	⊕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $b0$

Se pone a 1 si antes del desplazamiento, el valor LSB del valor desplazado era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ASRA	INH (A)	47		3
ASRX	INH (X)	57		3
ASR (opr)	DIR	37	dd	5
ASR ,X	IX	77		5
ASR (opr),X	IX1	67	ff	6

BCC - Bifurcación si se pone a 0 el Acarreo

(Lo mismo que la instrucción BHS)

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si (C) = 0**

Descripción: Prueba el estado del bit C en el CCR y provoca una bifurcación si C está a 0. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

H	I	N	Z	C
1	1	1	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BCC (rel)	REL	24	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$r \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$r < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$r \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$r > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BCLR n - Pone a 0 un Bit en la Memoria

Operación: $Mn \leftarrow 0$

Descripción: Pone a 0 el Bit n ($n = 7, 6, 5, \dots, 0$) en la posición M. Todos los otros bits en M no están afectados. M puede ser cualquier posición de la RAM o dirección del registro de E/S en el área de memoria de \$0000 a \$00FF (por ejemplo, en el modo de direccionamiento directo se usa para especificar la dirección del operando).

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BCLR 0,(opr)	DIR (bit 0)	11	dd	5
BCLR 1,(opr)	DIR (bit 1)	13	dd	5
BCLR 2,(opr)	DIR (bit 2)	15	dd	5
BCLR 3,(opr)	DIR (bit 3)	17	dd	5
BCLR 4,(opr)	DIR (bit 4)	19	dd	5
BCLR 5,(opr)	DIR (bit 5)	1B	dd	5
BCLR 6,(opr)	DIR (bit 6)	1D	dd	5
BCLR 7,(opr)	DIR (bit 7)	1F	dd	5

BCS - Bifurcación si el Acarreo es 1

(Lo mismo que la instrucción BLO)

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si (C) = 1**

Descripción: Prueba el estado del bit C en el CCR y provoca una bifurcación, si C está a 1. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

H	I	N	Z	C
1	1	1	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BCS (rel)	REL	25	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BEQ - Bifurcación si es Igual

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Si (Z) = 1

Descripción: Prueba el estado del bit Z en el CCR y provoca una bifurcación si Z está a 1. Siguiendo a una instrucción CMP o SUB, la instrucción BEQ causará una bifurcación si los argumentos son iguales. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BEQ (rel)	REL	27	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BGE - Bifurcación si es Mayor que o Igual a (operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$ **si $(N \oplus V) = 0$**

Por ejemplo, si (A) (M) (números complemento a dos con signo)

Descripción: Si la instrucción BGE se ejecuta inmediatamente después de la ejecución de una instrucción de comparación o de substracción, la bifurcación ocurre si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era mayor que o igual, al número complemento a dos representado por M.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
—	1	1	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BGE opr	REL	90	rr	3

BGT - Bifurcación si es Mayor que (operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$ **si** $Z \mid (N \oplus V) = 0$

Por ejemplo, si $(A) > (M)$ (números complemento a dos con signo)

Descripción: Si la instrucción BGT se ejecuta inmediatamente después de la ejecución de una instrucción CMP, CPX, CPHX o SUB, la bifurcación ocurre si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era mayor que el número complemento a dos, representado por M.

Códigos de condición y Formula Boleana

V		1	1					
H	I	N	Z	C				

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BGT opr	REL	92	rr	3

BHCC - Bifurcación si Medio Acarreo es 0

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Si (H) = 0

Descripción: Prueba el estado del bit H en el CCR y provoca una bifurcación si H está a 0. Esta instrucción se usa en algoritmos que involucren números BCD. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BHCC (rel)	REL	28	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BHCS - Bifurcación si Medio Acarreo es 1

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si (H) = 1**

Descripción: Prueba el estado del bit H en el CCR y provoca una bifurcación si H está a 1. Esta instrucción se usa en algoritmos que involucren números BCD. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

H	I	N	Z	C
1	1	1	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BHCS (rel)	REL	29	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BHI - Bifurcación si es Mayor

Operación: $C \leftarrow (PC) + \$0002 + Rel$
por ejemplo, si $(ACCA) > (M)$

Si $(C) + (Z) = 0$
(números binarios sin signo)

Descripción: Causa una bifurcación si se pone C y Z a 0. Si la instrucción BHI se ejecuta inmediatamente después de la ejecución de una instrucción CMP o SUB, ocurrirá la bifurcación si el número binario sin signo en ACCA es mayor que el número binario sin signo en M. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BHI (rel)	REL	22	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BHS - Bifurcación si es Mayor o Igual

(Lo mismo que la instrucción BCC)

Operación: $PC \leftarrow (PC) + \$0002 + Rel$
por ejemplo, si $(ACCA) \geq (M)$

Si (C) = 0
(números binarios sin signo)

Descripción: Si la instrucción BHS se ejecuta inmediatamente después de la ejecución de una instrucción CMP o SUB, la bifurcación ocurrirá si el número binario sin signo en ACCA era mayor o igual al número binario sin signo en M. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BHS (rel)	REL	24	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BIH - Bifurcación si el pin de Interrupción está a 1

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si IRQ = 1**

Descripción: Prueba el estado del pin de interrupción externa y provoca una bifurcación si el pin está en nivel alto. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcod	Operando(s)	
BIH (rel)	REL	2F	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcod	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BIL - Bifurcación si el Pin de Interrupción está a 0

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si IRQ = 0**

Descripción: Prueba el estado del pin de interrupción externa y provoca una bifurcación si el pin está en nivel bajo. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BIL (rel)	REL	2E	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BIT - Bit de Prueba de la Memoria con el Acumulador

Operación: (ACCA) · (M)

Descripción: Realiza una comparación lógica AND de los contenidos de ACCA y M, y modifica de acuerdo el código de condición. No se alteran los contenidos de ACCA ni de M. (Cada bit del resultado AND lógico, serán los bits correspondientes de ACCA y M).

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
BIT (opr)	IMM	A5	ii		2
BIT (opr)	DIR	B5	dd		3
BIT (opr)	EXT	C5	hh	ll	4
BIT ,X	IX	F5			3
BIT (opr),X	IX1	E5	ff		4
BIT (opr),X	IX2	D5	Ee	ff	5

BGE - Bifurcación si es Mayor que o Igual a (operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$ **si $(N \oplus V) = 0$**

Por ejemplo, si (A) (M) (números complemento a dos con signo)

Descripción: Si la instrucción BGE se ejecuta inmediatamente después de la ejecución de una instrucción de comparación o de sustracción, la bifurcación ocurre si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era mayor que o igual, al número complemento a dos representado por M.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
—	1	1	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BGE opr	REL	90	rr	3

BGT - Bifurcación si es Mayor que (operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$ **si $Z \mid (N \oplus V) = 0$**

Por ejemplo, si $(A) > (M)$ (números complemento a dos con signo)

Descripción: Si la instrucción BGT se ejecuta inmediatamente después de la ejecución de una instrucción CMP, CPX, CPHX o SUB, la bifurcación ocurre si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era mayor que el número complemento a dos, representado por M.

Códigos de condición y Formula Booleana

V		1	1					
H	I	N	Z	C				

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BGT opr	REL	92	rr	3

BLE - Bifurcación si es Menor que o Igual a (Operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$

si $Z \mid (N \oplus V) = 1$

Por ejemplo, si (A) (M) (números complemento a dos con signo)

Descripción: Si la instrucción BLE se ejecuta inmediatamente después de la ejecución de una instrucción CMP, CPX, CPHX o SUB, la bifurcación ocurre si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era menor que o igual al número complemento a dos representado por M.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BLE opr	REL	93	rr	3

BLO - Bifurcación si es más Menor

(Lo mismo que la instrucción BCS)

Operación: $PC \leftarrow (PC) + \$0002 + Rel$
por ejemplo, si (ACCA) < (M)

Si (C) = 1
(números binarios sin signo)

Descripción: Si la instrucción BLO se ejecuta inmediatamente después de la ejecución de una instrucción CMP o SUB, la bifurcación ocurrirá si el número binario sin signo en ACCA era menor del número binario sin signo en M. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BLO (rel)	REL	25	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/ BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/ BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHC C	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BLS - Bifurcación si es Menor o Igual

Operación: $PC \leftarrow (PC) + \$0002 + Rel$
por ejemplo, si $(ACCA) \leq (M)$

Si $[(C) + (Z)] = 1$
(números binarios sin signo)

Descripción: Causa una bifurcación si C o Z se pone a 1. Si la instrucción BLS se ejecuta inmediatamente después de la ejecución de una instrucción CMP o SUB, la bifurcación ocurrirá si el número binario sin signo en ACCA fue menor o igual al número binario sin signo en M. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BLS (rel)	REL	23	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BLT - Bifurcación si es Menor que (Operandos con signo)

Operación: $PC \leftarrow (PC) + \$0002 + rel$

si $Z (N \oplus V) = 1$

Por ejemplo, si $(A) < (M)$ (números complemento a dos con signo)

Descripción: Si la instrucción BLT se ejecuta inmediatamente después de la ejecución de una instrucción CMP, CPX, CPHX o SUB, la bifurcación ocurrirá si y sólo si, el número complemento a dos representado por el registro interno apropiado (A, X o H:X) era menor que o igual al número complemento a dos representado por M.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
BLT opr	REL	91	rr	3

BMC - Bifurcación si la Máscara de Interrupción es 0

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si I = 0**

Descripción: Prueba el estado del bit I en el CCR y causa una bifurcación si I es cero (por ejemplo, si se habilitan las interrupciones). Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BMC (rel)	REL	2C	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BMI - Bifurcación si es Menor

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Si (N) = 1

Descripción: Prueba que el estado del bit N en el CCR y causa una bifurcación si N es 1. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BMI (rel)	REL	2B	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BMS - Bifurcación si la Máscara de Interrupción es 1

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Si (I) = 1

Descripción: Prueba el estado del bit I en el CCR y causa una bifurcación si I es 1 (por ejemplo, si las interrupciones son inválidas). Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcod	Operando(s)	
BMS (rel)	REL	2D	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcod	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$R \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BNE - Bifurcación si no es Igual

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Si (Z) = 0

Descripción: Prueba el estado del bit Z en el CCR y provoca una bifurcación si Z está a 0. Siguiendo una instrucción de comparación o substracción, la instrucción BEQ provocará una bifurcación si los argumentos no serán iguales. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BNE (rel)	REL	26	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BPL - Bifurcación si es Positivo

Operación: $PC \leftarrow (PC) + \$0002 + Rel$ **Si (N) = 0**

Descripción: Prueba el estado del bit N en el CCR y provoca una bifurcación si N está a 0. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BPL (rel)	REL	2A	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BRA - Bifurcación Incondicional

Operación: $PC \leftarrow (PC) + \$0002 + Rel$

Descripción: Bifurcación incondicional a la dirección dada por la fórmula anterior, en qué 'Rel' es el desplazamiento relativo guardado como un número complemento a dos en el último byte de código máquina correspondiente a la instrucción de bifurcación. PC es la dirección del 'opcode' para la instrucción bifurcación.

El programa fuente especifica el destino de cualquier instrucción de bifurcación por su dirección absoluta o como un valor numérico o como un símbolo o expresión que puede ser evaluada numéricamente por el ensamblador. El ensamblador calcula la dirección relativa 'Rel' de la dirección absoluta y el valor actual de la posición del contador.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BRA (rel)	REL	20	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BRCLR n - Bifurcación si el Bit n es Cero

Operación: $PC \leftarrow (PC) + \$0003 + Rel$

Si el bit n de M = 0

Descripción: Prueba el bit n (N = 7, 6, 5...0) de la posición M y bifurca si el bit se pone a 0, M puede ser una posición de RAM o una dirección del registro de E/S en el área de memoria \$0000 a \$00FF (por ejemplo, modo de direccionamiento directo si está usado para especificar la dirección del operando).

El bit C es 1 para el estado de prueba de bit. Cuando se usa junto con una apropiada instrucción de rotación, BRCLR n mantiene un método fácil realizando sesiones de serie a paralelo.

Códigos de condición y Formula Booleana

				H	I	N	Z	C
1	1	1	—	—	—	—	—	↓

C se pone a 1 si Mn = 1; por otra parte es cero

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BRCLR 0,(opr)	DIR (bit 0)	01	dd rr	5
BRCLR 1,(opr)	DIR (bit 1)	03	dd rr	5
BRCLR 2,(opr)	DIR (bit 2)	05	dd rr	5
BRCLR 3,(opr)	DIR (bit 3)	07	dd rr	5
BRCLR 4,(opr)	DIR (bit 4)	09	dd rr	5
BRCLR 5,(opr)	DIR (bit 5)	0B	dd rr	5
BRCLR 6,(opr)	DIR (bit 6)	0D	dd rr	5
BRCLR 7,(opr)	DIR (bit 7)	0F	dd rr	5

BRN - Nunca Bifurcación

Operación: $PC \leftarrow (PC) + \$0002$

Descripción: Nunca hace bifurcación. En efecto, esta instrucción puede ser considerada como 2-bytes NOP (no operación) requiriendo tres ciclos para su ejecución. Esta inclusión en el juego de instrucciones es para mantener un complemento de la instrucción BRA. La instrucción es útil durante el programa de depuración para negar el efecto de otra instrucción de bifurcación sin perturbar el byte de desplazamiento.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BRN (rel)	REL	21	rr	3

Esta tabla es un resumen de todas las instrucciones de bifurcación.

Prueba	Boole	Mnemónico	Opcode	Complementario		Bifurcación	Comentario
$r > m$	$C + Z = 0$	BHI	22	$R \leq m$	BLS	23	Sin signo
$r \geq m$	$C = 0$	BHS/BCC	24	$R < m$	BLO/BCS	25	Sin signo
$r = m$	$Z = 1$	BEQ	27	$R \neq m$	BNE	26	Sin signo
$r \leq m$	$C + Z = 1$	BLS	23	$R > m$	BHI	22	Sin signo
$r < m$	$C = 1$	BLO/BCS	25	$R \geq m$	BHS/BCC	24	Sin signo
Acarreo	$C = 1$	BCS	25	Sin Acarreo	BCC	24	Simple
$r = 0$	$Z = 1$	BEQ	27	$r \neq 0$	BNE	26	Simple
Negativo	$N = 1$	BMI	2B	Más	BPL	2A	Simple
I Enmascarable	$I = 1$	BMS	2D	I Enmascarable = 0	BMC	2C	Simple
Medio Acarreo	$H = 1$	BHCS	29	No Medio Acarreo	BHCC	28	Simple
IRQ Pin Alto	—	BIH	2F	IRQ Bajo	BIL	2E	Simple
Siempre	—	BRA	20	Nunca	BRN	21	Incondicional

r = registro (ACCA o X); m = operando memoria

BRSET n - Bifurcación si el Bit n es 1

Operación: $PC \leftarrow (PC) + \$0003 + Rel$

Si el Bit n de M = 1

Descripción: Prueba el Bit n (n = 7, 6, 5, 0) de la posición M y bifurca si el bit está a 1. M puede ser cualquier posición de la RAM o dirección del registro de E/S en el área de memoria \$0000 a \$00FF (por ejemplo, el modo de direccionamiento directo se usa para especificar la dirección del operando). El Bit C se pone al estado del bit probado. Cuando se usó junto con una apropiada instrucción de rotación, BRSET n proporciona un método fácil para realizar sesiones de serie a paralelo.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	⊕

C se pone a 1 si Mn = 1; por el contrario es cero

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BRSET 0,(opr)	DIR (bit 0)	00	dd rr	5
BRSET 1,(opr)	DIR (bit 1)	02	dd rr	5
BRSET 2,(opr)	DIR (bit 2)	04	dd rr	5
BRSET 3,(opr)	DIR (bit 3)	06	dd rr	5
BRSET 4,(opr)	DIR (bit 4)	08	dd rr	5
BRSET 5,(opr)	DIR (bit 5)	0C	dd rr	5
BRSET 6,(opr)	DIR (bit 6)	0E	dd rr	5
BRCLR 7,(opr)	DIR (bit 7)	0F	dd rr	5

BSET n - Pone a 1 el Bit en la Memoria

Operación: $Mn \leftarrow 1$

Descripción: Pone el Bit n (n =7,6,5 ...0) en la posición M. Todos los otros bits en M son afectados. M puede ser cualquier posición de la RAM o dirección del registro de E/S en el área de memoria de \$0000 a \$00FF (por ejemplo, el modo de direccionamiento directo se usa para especificar la dirección del operando).

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BSET 0,(opr)	DIR (bit 0)	10	dd	5
BSET 1,(opr)	DIR (bit 1)	12	dd	5
BSET 2,(opr)	DIR (bit 2)	14	dd	5
BSET 3,(opr)	DIR (bit 3)	16	dd	5
BSET 4,(opr)	DIR (bit 4)	18	dd	5
BSET 5,(opr)	DIR (bit 5)	1A	dd	5
BSET 6,(opr)	DIR (bit 6)	1C	dd	5
BCLR 7,(opr)	DIR (bit 7)	1E	dd	5

BSR - Bifurcación a Subrutina

Operación	$PC \leftarrow (PC) + \\$0002$	Avanza el PC para volver a la dirección
	$\downarrow (PCL); SP \leftarrow (SP) - \\0001	Guarda el orden más bajo hacia la pila
	$\downarrow (PCL); SP \leftarrow (SP) - \\0001	Guarda el orden más alto hacia la pila
	$PC \leftarrow (PC) + Rel$	Carga el PC con la dirección de inicio de la subrutina pedida

Descripción: El contador de programa es incrementado a través de dos direcciones del 'opcode', por ejemplo, apunta al 'opcode' de la siguiente instrucción que quiere ser la dirección de retorno. El byte menos significativo de los contenidos de contador de programa (dirección de retorno de orden más bajo) se pone en la pila. El puntero de pila entonces es decrementado por uno. El byte más significativo de los contenidos del contador de programa (dirección de retorno de orden más alto) se pone en la pila. El puntero de pila entonces es decrementado por uno. Entonces ocurre una bifurcación a la posición especificada por el desplazamiento de la bifurcación. Véase la instrucción BRA para más detalles de la ejecución de la bifurcación.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
BSR (rel)	REL	AD	rr	6

CBEQ - Compara y Bifurca si es Igual

Operación: (A) – (M);
 $PC \leftarrow (PC) + \$0003 + rel$ si el resultado es \$00

o para modo IX+ :
 (A) – (M);
 (B) $PC \leftarrow (PC) + \$0002 + rel$ si el resultado es \$00

o para modo SP1 :
 $PC \leftarrow (PC) + \$0004 + rel$ si el resultado es \$00

Descripción: CBEQ compara el operando con el acumulador (A) y causa una bifurcación si el resultado es cero. La instrucción CBEQ combina CMP y BEQ para rutinas de 'lookup table' más rápidas. CBEQ IX+ compara el operando direccionado por H:X al acumulador A y causa una bifurcación si el resultado es cero. Entonces, H:X se incrementa sin tener en cuenta si se toma una bifurcación. CBEQ IX1+ opera de la misma manera, sólo que con un desplazamiento de 8 bits, se agrega a la dirección eficaz del operando.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			HC08 Ciclos
		Opcode	Operando(s)		
CBEQ opr	DIR	31	dd	rr	5
CBEQA #opr, rel	IMM	41	ii	rr	4
CBEQX #opr, rel	IMM	51	ii	rr	4
CBEQ X+, rel	IX+	71	rr		4
CBEQ opr, X+, rel	IX1+	61	ff	rr	5
CBEQ opr, SP, rel	SP1	9E61	ff	rr	6

CBEQA - Compara A con Inmediato, Bifurca si es Igual

Operación: (A) – (M);
PC ← (PC) + \$0003 + rel si el resultado es \$00

Descripción: CBEQ compara un operando inmediato con el acumulador (A) y causa una bifurcación si el resultado es cero. La instrucción CBEQA combina CPX y BEQ para rutinas de 'lookup table' más rápidas.

Códigos de condición y Formula Boleana

V		H	I	N	Z	C
—	1	1	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
CBEQ opr	DIR	31	dd rr	5
CBEQA #opr, rel	IMM	41	ii rr	4
CBEQX #opr, rel	IMM	51	ii rr	4
CBEQ X+, rel	IX+	71	rr	4
CBEQ opr, X+, rel	IX1+	61	ff rr	5
CBEQ opr, SP, rel	SP1	9E61	ff rr	5

CBEQX - Compara X con Inmediato, Bifurca si es Igual

Operación: (X) – (M);
 $PC \leftarrow (PC) + \$0003 + rel$ si el resultado es \$00

Descripción: CBEQX compara un operando inmediato con la parte baja del registro de índice (X) y causa una bifurcación si el resultado es cero. La instrucción CBEQX combina CMX y BEQ para el control de contador de lazos más rápidos.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			HC08 Ciclos
		Opcode	Operando(s)		
CBEQ opr	DIR	31	dd	rr	5
CBEQA #opr, rel	IMM	41	ii	rr	4
CBEQX #opr, rel	IMM	51	ii	rr	4
CBEQ X+, rel	IX+	71	rr		4
CBEQ opr, X+, rel	IX1+	61	ff	rr	5
CBEQ opr, SP, rel	SP1	91	ff	rr	5

CLC - Pone a Cero el Bit de Acarreo

Operación: Bit C ← 0

Descripción: Pone a cero el bit C en el CCR. La instrucción CLC puede ser usada para preparar el bit C antes de una instrucción de desplazamiento o rotación que involucre al Bit C.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	0

C = Se pone a 0

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
CLC	INH	98		2

CLI - Pone a Cero el Bit de Máscara de Interrupción

Operación: Bit I ← 0

Descripción: Pone a cero el bit de máscara de interrupción en el CCR. Cuando el bit I se pone a cero, se habilitan las interrupciones. Hay un retraso de un ciclo de E-reloj en el mecanismo de poner a cero para el bit I, por si las interrupciones fueron previamente deshabilitadas, la siguiente instrucción después de una instrucción CLI siempre se ejecutará, aun cuando había una interrupción anterior pendiente a la ejecución de la instrucción CLI.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	0	—	—	—
I se pone a 0							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
CLI	INH	9A		2

CLR - Pone a Cero

Operación: **ACCA ← \$00** **o: M ← \$00** **o: X ← \$00**

Descripción: Los contenidos de ACCA, M o X, se reemplazan con Ceros.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	0	1	—
I se pone a 0							
Z se pone a 1							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
CLRA	INH (A)	4F		3
CLR X	INH (X)	5F		3
CLR (opr)	DIR	3F	dd	5
CLR ,X	IX	7F		5
CLR (opr),X	IX1	6F	ff	6

CLR H - Borra la parte alta del Registro de Índice (H)

Operación: $H \leftarrow \$00$

Descripción: Los contenidos de la parte alta del registro de índice (H) se reemplaza por ceros.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
0	1	1	—	—	0
—	—	—	—	—	—

Se pone a 1 el bit Z (cero) y se pone a 0 el bit N y V.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
CLR H	INH (H)	8C		1
CLR opr, SP	SP1	9E6F	rr	4

CMP - Compara el Acumulador con la Memoria

Operación: (ACCA) – (M)

Descripción: Compara los contenidos de ACCA con los contenidos de M y pone a 1 el código de condición que se puede usar para la bifurcación condicional aritmética y lógica. Los contenidos de ACCA y de M son inalterados.

Códigos de condición y Formula Boleana

	H	I	N	Z	C
1	1	1	—	—	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $A7 \cdot M7 + M7 \cdot \overline{R7} + \overline{R7} \cdot A7$

Se pone a 1 si el valor absoluto de los contenidos de memoria es mayor que el valor absoluto del acumulador; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
CMP (opr)	IMM	A1	ii		2
CMP (opr)	DIR	B1	dd		3
CMP (opr)	EXT	C1	hh	ll	4
CMP ,X	IX	F1			3
CMP (opr),X	IX1	E1	ff		4
CMP (opr),X	IX2	D1	ee	ff	5

COM - Complemento

Operación: $ACCA \leftarrow (ACCA) = \$FF - (ACCA)$ **o:** $M \leftarrow (M) = \$FF - (M)$
o: $X \leftarrow X = \$FF - (X)$

Descripción: Reemplaza los contenidos de ACCA, X o M con su complemento a uno. (Cada bit de los contenidos de ACCA, X o M se reemplazan con el complemento de ese Bit.)

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	⋄	⋄	1

- N** $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.
- Z** $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.
- C**
Se pone a 1

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
COMA	INH (A)	43		3
COMX	INH (X)	53		3
COM (opr)	DIR	33	dd	5
COM ,X	IX	73		5
COM (opr),X	IX1	63	ff	6

CPHX - Compara el Registro de Índice con la Memoria

Operación: (H:X) – (M:M + \$0001)

Descripción: CPHX compara el registro de índice (H:X) con el valor en memoria de 16 bits y pone a 1 de acuerdo con el registro de código de condición.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
↓	1	1	—	—	↓
↓			↓	↓	↓

V: $H7 \overline{M15} \cdot \overline{R15} \cdot \overline{H7} \cdot M15 \cdot R15$

Se pone a 1 si desbordamiento complemento a dos, ha resultado de la operación; de lo contrario se pone a 0.

N: R15

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R15} \cdot \overline{R14} \cdot \overline{R13} \cdot \overline{R12} \cdot \overline{R11} \cdot \overline{R10} \cdot \overline{R9} \cdot \overline{R8} \cdot \overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1}$

Se pone a 1 si el resultado es \$0000; de lo contrario se pone a 0.

C: $\overline{H7} \cdot M15 \mid M15 \cdot R15 \mid \overline{R15} \cdot \overline{H7}$

Se pone a 1 si el valor absoluto del contenido de la memoria es mayor que el valor absoluto del registro de índice; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
CPHX #opr	IMM	65	ii ii + 1	3
CPHX opr	DIR	75	dd	4

CPX - Compara el Registro de Índice con la Memoria

Operación: (X) – (M)

Descripción: Compara los contenidos del registro de índice con los contenidos de la memoria y pone a 1 el código de condición que se pueden usar para la bifurcación aritmética y lógica. Los contenidos de ACCA y M están inalterados.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $\overline{IX7} \cdot M7 + M7 \cdot R7 + R7 \cdot \overline{IX7}$

Se pone a 1 si el valor absoluto de los contenidos de memoria es mayor que el valor absoluto del registro de índice; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
CPX (opr)	IMM	A3	ii		2
CPX (opr)	DIR	B3	dd		3
CPX (opr)	EXT	C3	hh	ll	4
CPX ,X	IX	F3			3
CPX (opr),X	IX1	E3	ff		4
CPX (opr),X	IX2	D3	ee	ff	5

DAA - Ajuste Decimal del Acumulador

Operación: (A)₁₀

Descripción: Ajusta el contenido del acumulador (A) y el estado del bit de acarreo del CCR, después de una operación BCD (decimal codificado en binario). Para que haya una suma correcta en BCD y una exacta indicación del acarreo. El estado del bit de medio acarreo del CCR afecta el funcionamiento. (Véase la tabla de Función del DAA para detalles de funcionamiento.)

Códigos de condición y Formula Booleana

	V		H	I	N	Z	C
U	1	1	—	—	↑	↑	↑

V: U
Indefinido

N: R7
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$0000; de lo contrario se pone a 0.

C: Véase la tabla de Función de DAA.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
DAA	INH	72		2

Ajuste decimal del Acumulador: La tabla de Función del DAA, muestra el funcionamiento de la instrucción DAA para todas combinaciones legales de los operandos de entrada. Las columnas de la 1 a la 4 representan los resultados de los funcionamientos de la instrucción ADC o ADD, en operandos BCD. El factor de corrección en columna 5 se añade al acumulador para restaurar el resultado de un funcionamiento en dos operandos BCD a un valor válido BCD y pone a 1 o a 0 el bit C. Todos los valores están en hexadecimal.

1	2	3	4	5	6
Valor inicial del bit C	Valor de A[7:4]	Valor inicial del bit H	Valor de A[3:0]	Factor de corrección	Valor corregido del bit C
0	0-9	0	0-9	00	0
0	0-8	0	A-F	06	0
0	0-9	1	0-3	06	0
0	A-F	0	0-9	60	1
0	9-F	0	A-F	66	1
0	A-F	1	0-3	66	1
1	0-2	0	0-9	60	1
1	0-2	0	A-F	66	1
1	0-3	1	0-3	66	1

DBNZ - Decrementa y Bifurca si no es Cero

Operación: $A \leftarrow (A) - \$0001$
 o
 $M \leftarrow (M) - \$0001$
 o
 $X \leftarrow (X) - \$0001;$

$PC \leftarrow (PC) + \$0003 + rel$

$PC \leftarrow (PC) + \$0002 + rel$

$PC \leftarrow (PC) + \$0004 + rel$

si el resultado es 0, para DBNZ DIR o IX1

si el resultado es 0, para DBNZA, DBNZX, o IX

si el resultado es 0, para DBNZ SP1

Descripción: Subtrae uno del contenido de A, X o M; entonces bifurca usando el desplazamiento relativo, si el resultado de la sustracción no es cero.

Códigos de condición y Formula Booleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
DBNZ opr	DIR	3B	dd rr	5
DBNZA opr	INH	4B	rr	3
DBNZX opr	INH	5B	rr	3
DBNZ opr	IX	7B	rr	4
DBNZ opr	IX1	6B	rr rr	5
DBNZ opr	SP1	9E6B	rr rr	6

DEC - Decrementa

Operación: $ACCA \leftarrow (ACCA) - \01 o: $M \leftarrow (M) - \$01$
 o: $X \leftarrow (X) - \$01$

Descripción: Subtrae uno de los contenidos de ACCA, X o M. Los bits N y Z en el CCR se ponen a 1 o 0 según el resultado de esta operación. El bit C en el CCR no es afectado; por consiguiente, las únicas instrucciones de bifurcación que son útiles siguiendo a una instrucción DEC son BEQ, BNE, BPL y BMI.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↓	↓	—

N $R7$
 Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
 Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
DECA	IMM	4A		3
DECX	DIR	5A		3
DECA (opr)	EXT	3A	dd	5
DEC ,X	IX	7A		5
DEC (opr),X	IX1	6A	ff	6

DEX es reconocido por el ensamblador con una equivalencia de DECX

DIV - Divide

Operación: $A \leftarrow (H:A) \div (X)$

$H \leftarrow \text{Resto}$

Descripción: Divide un dividendo de 16 bits sin signo contenido, en los registros encadenados, H (registro de índice alto) y (A) el acumulador, por un divisor de 8 bits contenido en el registro X (registro de índice bajo). El cociente se pone en el acumulador (A) y el divisor queda inalterado. Un desbordamiento (cociente > \$FF) o dividido por cero, pone a 1 el bit C; el cociente y el resto son indeterminados.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
—	1	1	—	—	—
				↓	↓

Z: $\overline{M7} \cdot \overline{M6} \cdot \overline{M5} \cdot \overline{M4} \cdot \overline{M3} \cdot \overline{M2} \cdot \overline{M1} \cdot \overline{M0}$

Se pone a 1 si el resultado (cociente) es \$00; de lo contrario se pone a 0.

C: Se pone a 1 si fue intentado un dividido por cero o si ocurre un desbordamiento; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
DIV	INH	52		7

EOR - OR-Exclusiva de la Memoria con el Acumulador

Operación: $ACCA \leftarrow (ACCA) \oplus (M)$

Descripción: Realiza una OR-Exclusiva lógico entre los contenidos de ACCA y M, pone el resultado en ACCA. (Cada bit de ACCA después de una operación será una OR-Exclusiva lógico de los bits correspondientes de M y ACCA antes de la operación.)

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
EOR (opr)	IMM	A8	ii	2
EOR (opr)	DIR	B8	dd	3
EOR (opr)	EXT	C8	hh ll	4
EOR ,X	IX	F8		3
EOR (opr),X	IX1	E8	ff	4
EOR (opr),X	IX2	D8	ee ff	5

INC - Incrementa

Operación: $ACCA \leftarrow (ACCA) + \01 o: $M \leftarrow (M) + \$01$
o: $X \leftarrow (X) + \$01$

Descripción: Suma uno a los contenidos de ACCA, X o M. Los bits N y Z en el CCR son puestos a 1 o a 0 según los resultados de esta operación. El bit C en el CCR no es afectado; por consiguiente, las únicas instrucciones de bifurcación que son útiles a instrucción INC son BEQ, BNE, BPL y BMI.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↓	↓	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
INCA	IMM	4C		3
INCX	DIR	5C		3
INC (opr)	EXT	3C	dd	5
INC ,X	IX	7C		5
INC (opr),X	IX1	6C	ff	6

INX es reconocido por el ensamblador con una equivalencia a INCX

JMP - Salto

Operación: PC ← Dirección Efectiva

Descripción: Ocurre un salto a la instrucción guardada a la dirección efectiva. La dirección efectiva se obtiene de acuerdo con las reglas del modo de direccionamiento Extendido, Directo o Indexado.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
JMP (opr)	DIR	BC	dd		2
JMP (opr)	EXT	CC	hh	ll	3
JMP ,X	IX	FC			2
JMP (opr),X	IX1	EC	ff		3
JMP (opr),X	IX2	DC	ee	ff	4

JSR - Salto a Subrutina

Operación: $PC \leftarrow (PC) + n$ $n = 1, 2, 3$ dependiendo del modo de direccionamiento
 $\downarrow (PCL); SP \leftarrow (SP) - \0001 Pone la parte baja de la dirección de retorno a la pila
 $\downarrow (PCL); SP \leftarrow (SP) - \0001 Pone la parte alta de la dirección de retorno a la pila
 $PC \leftarrow \text{Dirección Efectiva}$ Carga el PC con dirección de inicio de la subrutina pedida

Descripción: El contador de programa es incrementado por n que apunta al opcode de la instrucción que sigue a la instrucción JSR ($n = 1, 2$ o 3 dependiendo del modo de direccionamiento). Entonces se pone el PC hacia la pila, ocho bits de una vez, primero el byte menos significativo. Los bits sin usar en el contador de programa, el byte alto, se guarda como unos en la pila. El puntero de pila apunta a la siguiente posición vacía en la pila. Ocurre un salto a la instrucción guardada a la dirección efectiva. La dirección efectiva se obtiene según las reglas de los modos de direccionamiento Extendido, Directo o Indexado.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
JSR (opr)	DIR	BD	dd		5
JSR (opr)	EXT	CD	hh	ll	6
JSR ,X	IX	FD			5
JSR (opr),X	IX1	ED	ff		6
JSR (opr),X	IX2	DD	ee	Ff	7

LDA - Carga el Acumulador desde la Memoria

Operación: $ACCA \leftarrow (M)$

Descripción: Carga los contenidos de la memoria en el acumulador. El código de condición se pone a 1 de acuerdo los datos.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
LDA (opr)	IMM	A6	ii		2
LDA (opr)	DIR	B6	dd		3
LDA (opr)	EXT	C6	hh	ll	4
LDA ,X	IX	F6			3
LDA (opr),X	IX1	E6	ff		4
LDA (opr),X	IX2	D6	ee	ff	5

LDHX - Carga el Registro de Índice con la Memoria

Operación: $H:X \leftarrow (M:M + \$0001)$

Descripción: Carga los contenidos de la posición de memoria especificada en el registro de índice (H:X). Los códigos de condición se ponen a 1 de acuerdo con el dato.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
0	1	1	—	—	—

V: 0
Se pone a 0.

N: R15
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R15} \cdot \overline{R14} \cdot \overline{R13} \cdot \overline{R12} \cdot \overline{R11} \cdot \overline{R10} \cdot \overline{R9} \cdot \overline{R8} \cdot \overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$0000; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
LDHX #opr	IMM	45	ii ii	3
LDHX opr	DIR	55	dd	4

LDX - Carga el Registro de Índice desde la Memoria

Operación: $X \leftarrow (M)$

Descripción: Carga los contenidos de la posición de memoria especificada en el registro de índice. Los códigos de condición son puestos a 1 de acuerdo a los datos.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

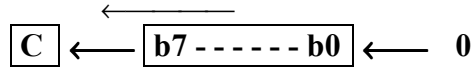
Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
LDX (opr)	IMM	AE	ii		2
LDX (opr)	DIR	BE	dd		3
LDX (opr)	EXT	CE	hh	ll	4
LDX ,X	IX	FE			3
LDX (opr),X	IX1	EE	ff		4
LDX (opr),X	IX2	DE	ee	ff	5

LSL - Desplazamiento Lógico a la Izquierda

(lo mismo que la instrucción ASL)

Operación:



Descripción: Desplaza todos los bits de ACCA, X o M un lugar a la izquierda. El bit 0 está cargado con 0. El bit C en el CCR está cargado desde el bit más significativo de ACCA, X o M.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C $b7$

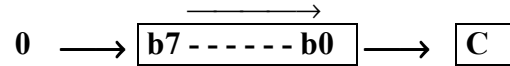
Se pone a 1 si antes del desplazamiento el valor MSB del valor desplazado era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
LSLA	INH (A)	48		3
LSLX	INH (X)	58		3
LSL (opr)	DIR	38	dd	5
LSL	IX	78		5
LSL (opr),X	IX1	68	ff	6

LSR - Desplazamiento Lógico a la Derecha

Operación



Descripción: Cambia todos los bits de ACCA, X o M un lugar a la derecha. El bit 7 está cargado con 0. El bit 0 se desliza al bit C.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	0	↕	↕

N Es 0

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se ponen a 0; de lo contrario se pone a 0.

C b0

Se pone a 1 si antes del desplazamiento, el valor LSB de ACCA, X o M era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
LSRA	INH (A)	44		3
LSRX	INH (X)	54		3
LSR (opr)	DIR	34	dd	5
LSR ,X	IX	74		5
LSR (opr),X	IX1	64	ff	6

MOV - Mueve

Operación: (M)destino ← (M)fuelle

Descripción: Mueve un byte de datos desde una dirección fuente a la dirección destino. El dato se examina cuando se mueve y los códigos de condición se ponen a 1. El dato fuente no cambia. El acumulador no es afectado.

Hay cuatro modos de direccionamiento para la instrucción MOV:

- 1) IMD mueve un byte inmediato a una posición de memoria directa.
- 2) DD mueve un byte de la posición directa a otra posición directa.
- 3) IX+D mueve un byte de una posición direccionada por el registro de índice (H:X) a una posición directa. H:X se incrementa después del movimiento.
- 4) DIX+ mueve un byte de una posición directa a una dirección por H:X. H:X se incrementa después del movimiento.

Códigos de condición y Formula Booleana

V	H	I	N	Z	C
0	1	1	—	—	—

V: 0
Se pone a 0.

N: R7
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
MOV opr	IMD	6E	ii dd	4
MOV opr	DD	4E	dd dd	5
MOV opr	IX + D	7E	dd	4
MOV opr	DIX+	5E	dd	4

MUL - Multiplicación Sin Signo

Operación: $X:A \leftarrow X \times A$

Descripción: Multiplica los ocho bits del registro de índice por los ocho bits del acumulador para obtener un número de 16-bits sin signo, encadenando el registro de índice y el acumulador. Después de la operación, X contiene los 8 bits más altos del resultado de 16-bits.

Códigos de condición y Formula Booleana

				H	I	N	Z	C
1	1	1	0	—	—	—	—	0

H Se pone a 0

C Se pone a 0

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
MUL	INH	42		3

NEG - Negado

Operación: $ACCA \leftarrow - (ACCA); \quad o: \quad X \leftarrow - (X); \quad o: \quad M \leftarrow - (M)$

Descripción: Reemplaza los contenidos de ACCA, X o M con su complemento a dos. El valor \$80 queda inalterado.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

C $R7 + R6 + R5 + R4 + R3 + R2 + R1 + R0$

Se pone a 1 si hay un acarreo por substracción implícita de 0; se pone a cero por otro lado. El bit C se pondrá a 1 en todos los casos excepto cuando los contenidos de ACCA, X o M (anterior a la operación NEG) es \$00.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
NEGA	INH (A)	40		3
NEGX	INH (X)	50		3
NEG (opr)	DIR	30	dd	5
NEG ,X	IX	70		5
NEG (opr),X	IX1	60	ff	6

NOP - No Operación

Descripción: Ésta es una instrucción de un solo byte que causa al contador del programa que sea incrementado. Ningún otro registro es afectado.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—
Ningún bit afectado							

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
NOP	INH	9D		2

NSA - Cambia los “nibbles” del Acumulador

Nibbles = 4 bits

Operación: $A \leftarrow (A [3:0] : A [7:4])$

Descripción: Cambia los 4 bits (“nibbles”) más altos y más bajos del acumulador. La instrucción NSA se usa para el almacenamiento más eficaz y el uso de los operandos del decimal codificado en binario.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
NSA	INH	62		3

ORA - OR-Inclusiva

Operación: $ACCA \leftarrow (ACCA) + (M)$

Descripción: Realiza una OR-Inclusiva lógico entre los contenidos de ACCA y M, pone el resultado en ACCA. Cada bit de ACCA, después de la operación, será una OR-Inclusiva lógico de los bits correspondientes de M y ACCA antes de la operación.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	↕

N $R7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \bullet \overline{R6} \bullet \overline{R5} \bullet \overline{R4} \bullet \overline{R3} \bullet \overline{R2} \bullet \overline{R1} \bullet \overline{R0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ORA (opr)	IMM	AA	ii	2
ORA (opr)	DIR	BA	dd	3
ORA (opr)	EXT	CA	hh ll	4
ORA ,X	IX	FA		3
ORA (opr),X	IX1	EA	ff	4
ORA (opr),X	IX2	DA	ee ff	5

PSHA - Pone el Acumulador en la Pila

Operación: $\downarrow (A), SP \leftarrow (SP) - \0001

Descripción: Los contenidos del acumulador (A) se ponen en la pila ('stack') en la dirección contenida en el puntero de pila (SP). Entonces el puntero de pila es decrementado para apuntar a la siguiente posición disponible en la pila. Los contenidos del acumulador permanecen inalterados.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PSHA	INH	87		2

PSHH - Pone la parte alta del Registro Índice (H) en la Pila

Operación: ↓ (H), SP ← (SP) - \$0001

Descripción: Los contenidos de H se ponen en la pila ('stack') en la dirección contenida en el puntero de pila (SP). Entonces el puntero de pila es decrementado para apuntar a la siguiente posición disponible en la pila. Los contenidos de H permanecen inalterados.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PSHH	INH	8B		2

PSHX - Pone la parte baja del Registro Índice (X) en la Pila

Operación: $\downarrow (X), SP \leftarrow (SP) - \0001

Descripción: Los contenidos de X se ponen en la pila ('stack') en la dirección contenida en el puntero de pila (SP). Entonces el puntero de pila es decrementado para apuntar a la siguiente posición disponible en la pila. Los contenidos de H permanecen inalterados.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PSHX	INH	89		2

PULA - Saca el Acumulador de la Pila

Operación: $SP \leftarrow (SP + \$0001); \uparrow(A)$

Descripción: El puntero de pila (SP) es incrementado a la dirección del último operando en la pila ('stack'). Entonces el acumulador (A) es cargado con los contenidos de la dirección apuntada por el SP.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PULA	INH	86		2

PULH - Saca la parte alta del Registro Índice (H) de la Pila

Operación: $SP \leftarrow (SP + \$0001); \uparrow (H)$

Descripción: El puntero de pila (SP) es incrementado a la dirección del último operando en la pila. Entonces H es cargado con los contenidos de la dirección apuntada por el puntero de pila SP.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
—	1	1	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PULH	INH	8A		2

PULX - Saca la parte baja del Registro Índice (H) de la Pila

Operación: $SP \leftarrow (SP + \$0001); \uparrow (X)$

Descripción: El puntero de pila (SP) es incrementado a la dirección del último operando en la pila. Entonces X es cargado con los contenidos de la dirección apuntada por el puntero de pila SP.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

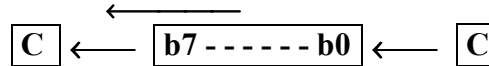
Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
PULX	INH	88		2

ROL - Rotación a la Izquierda por Acarreo

Operación:



Descripción: Desplaza todos los bits de ACCA, X o M un lugar a la izquierda. El bit 0 está cargado desde el bit C. El bit C está cargado desde MSB de ACCA, X, o M. Las instrucciones de rotación incluyen el bit de acarreo para permitir la extensión de las operaciones de desplazamiento y de rotación a los múltiples bytes. Por ejemplo, para desplazar un valor de 24-bits un bit a la derecha, se podría usar la sucesión {ASL BAJO, ROL MEDIO, ROL ALTO} donde BAJO, MEDIO y ALTO, se refiere a la parte baja, media y alta del byte de valor de 24-bits, respectivamente.

Códigos de condición y Formula Boleana

	H	I	N	Z	C			
	1	1	1	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

C $b7$

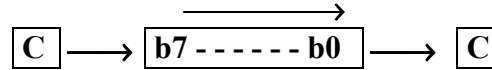
Se pone a 1 si antes de la rotación, el MSB de ACCA o M era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
ROLA	INH (A)	49		3
ROLX	INH (X)	59		3
ROL (opr)	DIR	39	dd	5
ROL ,X	IX	79		5
ROL (opr),X	IX1	69	ff	6

ROR - Rotación a la Derecha por Acarreo

Operación:



Descripción: Desplaza todos los bits de ACCA, X o M un lugar a la derecha. El bit 7 está cargado desde el bit C. Las operaciones de rotación incluyen el bit de acarreo para permitir la extensión de las operaciones de desplazamiento y de rotación a los múltiples bytes. Por ejemplo, para desplazar un valor de 24-bits a la derecha un bit, se puede usar la sucesión {LSR ALTO, ROR MEDIO, ROR BAJO} donde ALTO, MEDIO y BAJO se refiere a la parte alta, media y baja del byte de valor de 24-bits, respectivamente.

Códigos de condición y Formula Boleana

	H	I	N	Z	C
	1	1	1	—	—
	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado se pone a 0; de lo contrario se pone a 0.

C $b0$

Se pone a 1 si antes de la rotación, el LSB de ACCA o M era 1; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
RORA	INH (A)	46		3
RORX	INH (X)	56		3
ROR (opr)	DIR	36	dd	5
ROR ,X	IX	76		5
ROR (opr),X	IX1	66	ff	6

RSP - Reset del Puntero de Pila

Operación: $SP \leftarrow \$00FF$

Descripción: Reset al puntero de pila en la parte alta de la pila.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
RSP	INH	9C		2

RTI - Retorno de la Interrupción

Operación: $SP \leftarrow (SP) + \$0001; \uparrow CCR$ Restablece el CCR desde la pila
 $SP \leftarrow (SP) + \$0001; \uparrow ACCA$ Restablece el ACCA desde la pila
 $SP \leftarrow (SP) + \$0001; \uparrow X$ Restablece el X desde la pila
 $SP \leftarrow (SP) + \$0001; \uparrow PCH$ Restablece el PCH desde la pila
 $SP \leftarrow (SP) + \$0001; \uparrow PCL$ Restablece el PCL desde la pila

Descripción: Se restablece el código de condición, el acumulador, el registro del índice y el contador de programa, que previamente al estado guardado en la pila. Se restablece a bit 1 si el bit correspondiente guardado en la pila es 0.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	↕	↕	↕	↕	↕

Se pone a 1 o 0 según el byte sacado desde la pila.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
RTI	INH	80		9

RTS - Retorno de Subrutina

Operación: $SP \leftarrow (SP) + \$0001; \uparrow PCH$ Restablece PCH desde la pila
 $SP \leftarrow (SP) + \$0001; \uparrow PCL$ Restablece PCL desde la pila

Descripción: El puntero de pila es incrementado por uno. El contenido del byte de la memoria que se apunta por el puntero de pila está cargada en el byte de la parte alta del contador del programa. El puntero de pila es de nuevo incrementado por uno. El contenido del byte de la memoria a la dirección ahora contenida en el puntero de pila está cargado en los 8 bits de la parte baja del contador de programa.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
RTS	INH	81		6

SBC - Substracción con Acarreo

Operación: $ACCA \leftarrow (ACCA) - (M) - (C)$

Descripción: Subtrae los contenidos de M y C de los contenidos de ACCA, pone el resultado en ACCA.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	↕

N $R7$

Se pone a 1 si el resultado del MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

C $\overline{A7} \cdot M7 + M7 \cdot R7 + R7 \cdot \overline{A7}$

Se pone a 1 si el valor absoluto de los contenidos de la memoria más el acarreo anterior, es más grande que el valor absoluto del acumulador; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
SBC (opr)	IMM	A2	ii	2
SBC (opr)	DIR	B2	dd	3
SBC (opr)	EXT	C2	hh ll	4
SBC ,X	IX	F2		3
SBC (opr),X	IX1	E2	ff	4
SBC (opr),X	IX2	D2	ee ff	5

SEC - Pone a 1 el bit de Acarreo

Operación: bit C ← 1

Descripción: Pone a 1 el bit C en el CCR. La instrucción SEC se puede usar para preparar el bit C antes de una instrucción de desplazamiento o de rotación que involucre el bit C.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	1

C Se pone a 1

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
SEC	INH	99		2

SEI - Pone a 1 el Bit de la Máscara de Interrupción

Operación: bit I ← 1

Descripción: Pone a 1 el bit de máscara de interrupción en el CCR. El microprocesador se inhibe del servicio de interrupciones mientras que el bit I es 1.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	1	—	—	—

I Se pone a 1

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
SEI	INH	9B		2

STA - Guarda el Acumulador en la Memoria

Operación: $M \leftarrow (ACCA)$

Descripción: Guarda los contenidos de ACCA en la memoria. Los contenidos de ACCA permanecen inalterados.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	↕	↕	—

N $A7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{A7} \cdot \overline{A6} \cdot \overline{A5} \cdot \overline{A4} \cdot \overline{A3} \cdot \overline{A2} \cdot \overline{A1} \cdot \overline{A0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
STA (opr)	DIR	B7	dd	4
STA (opr)	EXT	C7	hh ll	5
STA ,X	IX	F7		4
STA (opr),X	IX1	E7	ff	5
STA (opr),X	IX2	D7	ee ff	6

STHX - Guarda el Registro de Índice

Operación: $(M:M + \$0001) \leftarrow H:X$

Descripción: Guarda el registro de índice (H:X) en la posición de memoria especificada. Los códigos de condición se ponen a 1 de acuerdo con el dato.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
0	1	1	—	—	—

V: 0
Se pone a 0.

N: R7
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R15} \cdot \overline{R14} \cdot \overline{R13} \cdot \overline{R12} \cdot \overline{R11} \cdot \overline{R10} \cdot \overline{R9} \cdot \overline{R8} \cdot \overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$0000; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
STHX opr	DIR	35	dd	4

STOP - Habilita la $\overline{\text{IRQ}}$ y Para el Oscilador

Descripción: Reduce el consumo de potencia eliminando toda disipación de potencia dinámica. Esto resulta por: 1) Se ponen a 0 los 'prescalers' del temporizador, 2) Deshabilita las interrupciones del temporizador, 3) Pone a 0 el 'flag' de interrupción del temporizador, 4) Habilita la petición de interrupción externa y 5) Inhibe el oscilador.

Cuando un $\overline{\text{RESET}}$ o la entrada de $\overline{\text{IRQ}}$ se pone en estado bajo, se habilita el oscilador, se inicia un retardo de 1920 ciclos de reloj del procesador, permitiendo que el oscilador se estabilice, se saca el vector de petición de interrupción o el vector de reset y se ejecuta la rutina de servicio, dependiendo del signo que fue aplicado.

Se habilitan interrupciones externas siguiendo el comando STOP.

Códigos de condición y Formula Booleana

				H	I	N	Z	C
1	1	1	—	0	—	—	—	—

I Se pone a 0

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcod	Operando(s)	
STOP	INH	8E		2

STX - Guarda el Registro de Índice X en la Memoria

Operación: $M \leftarrow (X)$

Descripción: Guarda los contenidos de X en la memoria. Los contenidos de X permanecen inalterados.

Códigos de condición y Formula Booleana

				H	I	N	Z	C
1	1	1	—	—				—

N $X7$
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z $\overline{X7} \cdot \overline{X6} \cdot \overline{X5} \cdot \overline{X4} \cdot \overline{X3} \cdot \overline{X2} \cdot \overline{X1} \cdot \overline{X0}$
Se pone a 1 si el resultado es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina			Ciclos
		Opcode	Operando(s)		
STX (opr)	DIR	BF	dd		4
STX (opr)	EXT	CF	hh	ll	5
STX ,X	IX	FF			4
STX (opr),X	IX1	EF	ff		5
STX (opr),X	IX2	DF	ee	ff	6

SUB - Substracción

Operación: $ACCA \leftarrow (ACCA) - (M)$

Descripción: Subtrae los contenidos de la M de los contenidos del ACCA y pone el resultado en el ACCA.

Códigos de condición y Formula Boleana

	H	I	N	Z	C
	1	1	1	—	—
	—	—	—	↕	↕

N $R7$

Se pone a 1 si el resultado del MSB es 1; de lo contrario se pone a 0.

Z $\overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$

Se pone a 1 si todos los bits del resultado están a 0; de lo contrario se pone a 0.

C $A7 \cdot M7 + M7 \cdot \overline{R7} + \overline{R7} \cdot A7$

El bit C ('flag' de acarreo) en el registro de código de condición se pone a 1 si el valor absoluto de los contenidos de la memoria es más mayor que el valor absoluto del acumulador; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
SUB (opr)	IMM	A0	ii	2
SUB (opr)	DIR	B0	dd	3
SUB (opr)	EXT	C0	hh ll	4
SUB ,X	IX	F0		3
SUB (opr),X	IX1	E0	ff	4
SUB (opr),X	IX2	D0	ee ff	5

SWI - Interrupción por Software

Operación:	PC ← (PC) + \$0001	Avanza el PC para devolver la dirección
	↓ (PCL); SP ← (SP) – \$0001	Pone la parte baja de la dirección de retorno hacia la pila
	↓ (PCH); SP ← (SP) – \$0001	Pone la parte alta de la dirección de retorno hacia la pila
	↓ (X); SP ← (SP) – \$0001	Pone el registro de índice hacia la pila
	↓ (ACCA); SP ← (SP) – \$0001	Pone el acumulador hacia la pila
	↓ (CCR); SP ← (SP) – \$0001	Pone el CCR hacia la pila
	Bit I ← 1	
	PCH ← (\$xFFC)	Saca el vector (x= 1 o 3 dependiendo del dispositivo HC05
	PCL ← (\$xFFD)	

Descripción: El contador de programa es incrementado por uno. El contador de programa, el registro de índice y el acumulador se Ponen hacia la pila. Los bits del CCR se Ponen hacia la pila, con los bits H, I, N, Z y C que van a las posiciones de los bits de 4–0 y los bits de las posiciones 7, 6 y 5 contienen unos. El puntero de pila es decrementado en uno, después de cada byte de datos se guarda en la pila. Entonces el bit de máscara de interrupción es 1. El contador de programa es cargado con la dirección guardada en el vector de SWI (localizado en las posiciones de memoria n–0002 y n–0003, donde ‘n’ es la dirección que corresponde a un estado alto de todas las líneas del bus de direcciones). La dirección del vector de SWI se puede expresar como \$xFFC:\$xFFD, donde ‘x’ es 1 o 3 dependiendo del dispositivo MC68HC05 usado. Esta instrucción no es enmascarable por el bit I.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	1	—	—	—

I Se pone a 1

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
SWI	INH	83		10

STHX - Guarda el Registro de Índice

Operación: $(M:M + \$0001) \leftarrow H:X$

Descripción: Guarda el registro de índice (H:X) en la posición de memoria especificada. Los códigos de condición se ponen a 1 de acuerdo con el dato.

Códigos de condición y Formula Boleana

V	H	I	N	Z	C
0	1	1	—	—	—

V: 0
Se pone a 0.

N: R7
Se pone a 1 si el resultado MSB es 1; de lo contrario se pone a 0.

Z: $\overline{R15} \cdot \overline{R14} \cdot \overline{R13} \cdot \overline{R12} \cdot \overline{R11} \cdot \overline{R10} \cdot \overline{R9} \cdot \overline{R8} \cdot \overline{R7} \cdot \overline{R6} \cdot \overline{R5} \cdot \overline{R4} \cdot \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0}$
Se pone a 1 si el resultado es \$0000; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
STHX opr	DIR	35	dd	4

TAX - Transfiere el Acumulador al Registro de Índice

Operación: $X \leftarrow (ACCA)$

Descripción: Carga el registro de índice con los contenidos del acumulador. Los contenidos del acumulador no se alteran.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

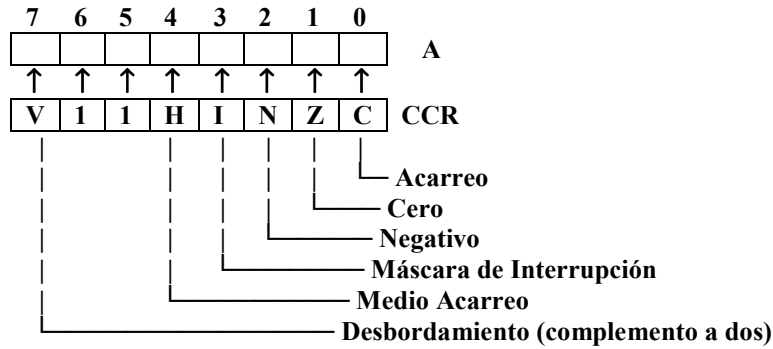
Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
TAX	INH	97		2

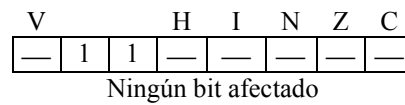
TPA - Transfiere el Registro de Código de Condición al Acumulador

Operación: $(A) \leftarrow (CCR)$



Descripción: Transfiere los contenidos del registro de código de condición (CCR) en el acumulador (A).

Códigos de condición y Formula Boleana



Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
TPA	INH	85		1

TST - Prueba para Negativo o Cero

Operación: (ACCA) – \$00 o: (X) – \$00 o: (M) – \$00

Descripción: Pone a 1 los bits N y Z del código de condición, según los contenidos del ACCA, X o M. Los contenidos del ACCA, X y M no se alteran.

Códigos de condición y Formula Booleana

			H	I	N	Z	C
1	1	1	—	—			—

N $M7$

Se pone a 1 si el resultado del MSB es 1; de lo contrario se pone a 0.

Z $\overline{M7} \cdot \overline{M6} \cdot \overline{M5} \cdot \overline{M4} \cdot \overline{M3} \cdot \overline{M2} \cdot \overline{M1} \cdot \overline{M0}$

Se pone a 1 si el contenido del ACCA, X o M es \$00; de lo contrario se pone a 0.

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
TSTA	INH (A)	4D		3
TSTX	INH (X)	5D		3
TST (opr)	DIR	3D	dd	4
TST ,X	IX	7D		4
TST (opr),X	IX1	6D	ff	5

TSX - Transfiere el Puntero de Pila al Registro de Índice

Operación: $H:X \leftarrow (SP + \$0001)$

Descripción: Carga el registro de índice (H:X) con 1 más el contenido del puntero de pila (SP). Los contenidos del SP no cambian. Después de una instrucción TSX, H:X apunta al último valor que fue guardado en la pila.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
TSX	INH	95		2

TXA - Transfiere el Registro de Índice al Acumulador

Operación: ACCA ← (X)

Descripción: Carga el acumulador con el contenido del registro de índice. No se altera el contenido del registro de índice.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	—	—	—	—

Ningún bit es afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
TXA	INH	9F		2

TXS - Transfiere el Registro de Índice al Puntero de Pila

Operación: $SP \leftarrow (H:X - \$0001)$

Descripción: Carga el puntero de pila (SP) con el contenido del registro de índice (H:X) menos 1. Los contenidos del H:X no cambian.

Códigos de condición y Formula Boleana

V			H	I	N	Z	C
—	1	1	—	—	—	—	—

Ningún bit afectado

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		HC08 Ciclos
		Opcode	Operando(s)	
TXS	INH	94		2

WAIT - Habilita la Interrupción, Para el Procesador

Descripción: Reduce el consumo de potencia, eliminando la disipación de potencia dinámica. El temporizador, el prescaler del temporizador y los periféricos internos continúan operando porque ellos son fuentes potenciales de una interrupción. La instrucción WAIT provoca la habilitación de las interrupciones poniendo a 0 el bit I en el CCR y se paran los relojes de los circuitos del procesador.

Pueden habilitarse las interrupciones de los periféricos internos o pueden desactivarse por bits de control local anteriores a la ejecución de la instrucción WAIT.

Cuando un RESET o la entrada de IRQ se pone a un nivel bajo o cuando cualquier sistema interno hace una petición del servicio de interrupción, se habilitan los relojes del procesador y se procesa el reset, la IRQ u otra petición de servicio de interrupción.

Códigos de condición y Formula Boleana

			H	I	N	Z	C
1	1	1	—	0	—	—	—

I Se pone a 0

Forma, Modos de Direccionamiento, Código Máquina y Ciclos

Código Fuente	Modo de Direccionamiento	Código Máquina		Ciclos
		Opcode	Operando(s)	
WAIT	INH	8F		2