

9. ANALIZADORES LÓGICOS

9.1. Introducción

Las funciones específicas que poseen los analizadores lógicos confieren a éstos una serie de posibilidades que no poseen otros equipos electrónicos de medida. En este tema se describen los distintos tipos de analizadores utilizados en el dominio digital. Se realiza una comparación previa con los osciloscopios indicando sus similitudes y diferencias y su utilización más idónea en función de la aplicación de medida. Posteriormente se inicia la descripción exhaustiva de los analizadores lógicos destinados al análisis del funcionamiento de sistemas digitales complejos en los que se requiere la observación simultánea de multitud de canales y una gran potencia en sus sistemas de adquisición, disparo y presentación.

Tras mostrar el diagrama de bloques básico de un analizador lógico, se describen los diferentes modos de presentación con los cuales se pueden obtener cronogramas, tablas de estados o visualización de los mnemotécnicos correspondientes a las instrucciones de un determinado microprocesador. Seguidamente se estudian los diferentes modos de adquisición y disparo, y los métodos de muestreo con los que poder analizar señales digitales con un consumo óptimo de memoria sin perder resolución horizontal. También se tratan los aspectos concernientes a los sistemas de sondas y puntas de prueba que hacen posible el acceso a las señales de interés en sistemas digitales complejos.

9.1.1. Clasificación inicial

Realizando una primera clasificación de los equipos destinados al análisis lógico, se pueden distinguir tres tipos de equipos:

- **Sondas lógicas.** Son equipos muy simples destinados a detectar estados lógicos de uno o varios nodos del circuito bajo ensayo de modo estático, es decir, sin tener registro de la evolución temporal de los estados detectados.
- **Analizadores lógicos.** Es la denominación general que incluye a los equipos destinados a medir estados lógicos de un circuito en régimen dinámico, esto es, teniendo un registro de su evolución temporal.
- **Analizadores de protocolo.** Representan una herramienta comúnmente utilizada en la actualidad para la comprobación de funcionamiento de los sistemas que trabajan en red. Estos equipos observan, analizan o simulan los procesos de comunicación que rigen los intercambios de datos entre diferentes dispositivos interconectados entre sí.

Antes de continuar con la descripción de los equipos electrónicos anteriormente citados parece conveniente realizar un rápido repaso de los principales conceptos ligados con la lógica digital.

9.1.2. Tipos de lógica digital. Niveles lógicos.

Las más comunes son:

- **Lógica TTL.** Está caracterizada por utilizar circuitos alimentados a +5 V. El nivel alto (H) corresponde a tensiones superiores a 2V (40% de V_{CC}) mientras que el nivel bajo (L) a tensiones inferiores a 0,8 V (16% de V_{CC}). Los valores de tensión intermedios definen un estado indeterminado.

- **Lógica CMOS.** Está caracterizada por utilizar circuitos de alimentación variable desde +0.5V hasta +18V aunque el valor típico es de +15V. El nivel alto (H) corresponde a tensiones superiores al 70% de la tensión de alimentación mientras que el nivel bajo (L) a tensiones inferiores a 30%. Los valores de tensión intermedios definen un estado indeterminado.

9.2. Sondas lógicas.

Su componente básico es el comparador lógico compuesto por un par de comparadores con el cual es posible realizar la definición de estados lógicos pertinente. La salida de los comparadores se conecta a elementos de visualización (leds) o sonoros (buzzers) para realizar la indicación del estado lógico detectado. Los circuitos comparadores se suelen diseñar con una pequeña histéresis con la cual se aumenta la inmunidad al ruido. También suelen disponer de un circuito detector de pulsos, tanto positivos como negativos. En la figura 9.1 se puede ver el aspecto externo y el esquemático completo de una sonda lógica.

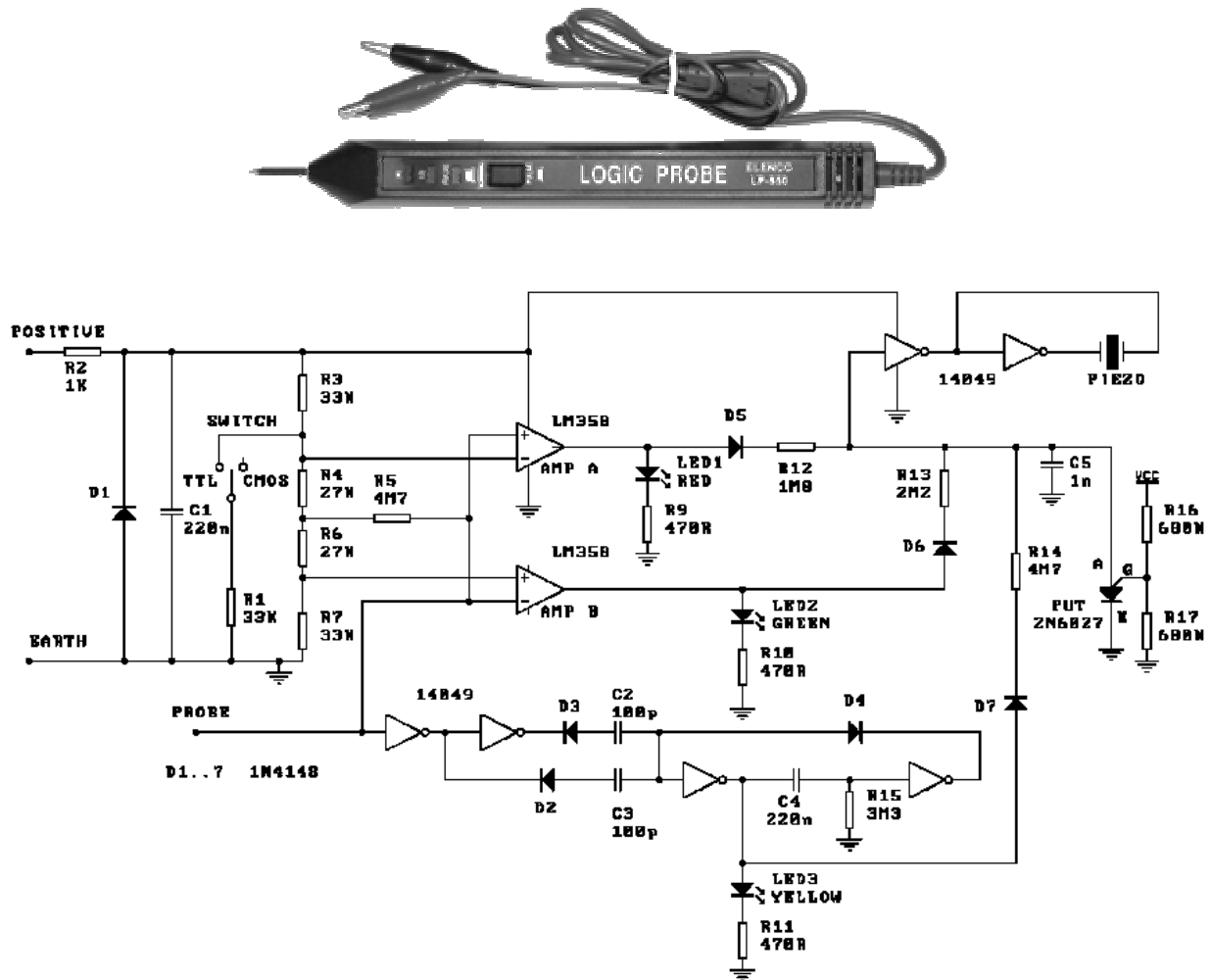


Figura 9.1. Aspecto externo y esquemático completo de una sonda lógica

Para el caso particular de la sonda lógica de la figura anterior, el piloto rojo lucirá mientras se detecte un estado alto y el verde mientras se detecte uno bajo. Además, el zumbador emitirá tonos distintos para cada caso. Cuando se detecte un transición de bajo a alto o viceversa, lucirá el piloto amarillo durante un tiempo suficiente y se emitirá un zumbido especial. Si se mide un estado indefinido no luce ningún led ni se emite ninguna señal

acústica. Otras sondas lógicas podrían indicar esta circunstancia mediante una indicación especial.

9.3. Analizadores lógicos.

Como hemos dicho anteriormente, los analizadores lógicos deben permitir realizar un estudio dinámico de la evolución temporal de varios nodos de un circuito digital.

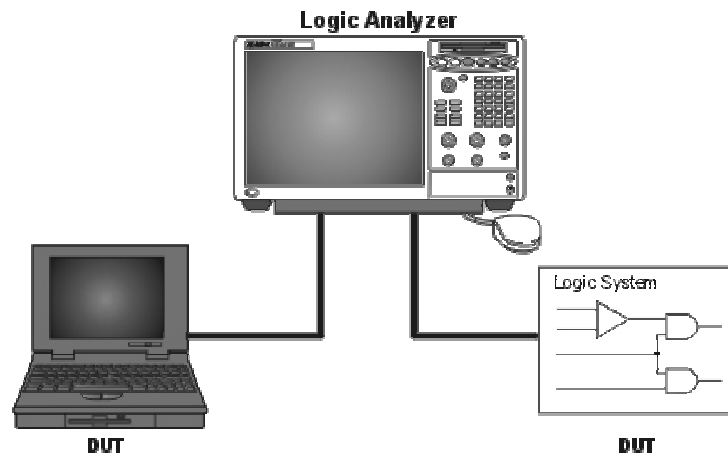


Figura 9.2. Medidas con analizador lógico.

9.3.1. Analizadores lógicos y osciloscopios digitales.

A la hora de realizar el estudio de funcionamiento de circuitos digitales se pueden elegir como herramienta de análisis osciloscopios digitales DSO (digital storage oscilloscopes) o bien analizadores lógicos LA (logic analyzer). El osciloscopio es un equipo muy familiar que suele ser muy útil en determinadas aplicaciones donde existen pocas señales de interés (2 o 4 como máximo) y donde es necesario obtener medidas con gran exactitud tanto de tensiones (amplitudes, pendientes de subida o bajada, oscilaciones, calidad de las formas de onda, transitorios (glitches), ruido, etc.) como de tiempos (retrazos o solapes, tiempos de propagación, periodos, estabilidad en frecuencia (jitter) etc.). Sin embargo, cuando se necesita realizar el análisis simultáneo de un gran número de señales digitales, o cuando se requiere de un sistema complejo de disparo ligado a un determinado patrón establecido a partir de múltiples señales digitales no siendo exigible una gran exactitud en las medidas de amplitud y tiempo, parece más recomendable el uso de los LA.

La diferencia básica desde el punto de vista de la arquitectura de estos dos equipos estriba en el número y complejidad de sus convertidores analógicos/digitales ADC (analog to digital converter). Mientras que un DSO dispone de como máximo 4 ADC tipo Flash de 8 o 10 bits ($2^N - 1$ comparadores internos) los AL pueden disponer de un hasta un centenar (o más) de ADC de 1 bit (con 1 ó 2 comparadores internos).

En la actualidad, los DSO más avanzados están provistos de sistemas de disparo y adquisición suficientemente potentes que permiten realizar medidas complejas en circuitos digitales mientras que los modernos AL disponen de uno o más canales de adquisición tipo DSO que permiten mejorar la exactitud de algunas medidas.

9.3.2. Arquitectura de un analizador lógico.

En la figura 9.3 se muestra el diagrama de bloques de un analizador lógico donde se incluyen los componentes básicos que permiten realizar las funciones básicas de un LA. Éstas son:

- **Captura y muestreo.** Las señales del DBE se capturan mediante sondas o puntas de prueba específicas. El gran número de estas puntas de prueba hace que usualmente se presenten agrupadas en canales denominados “pods” que permiten conectar 8, 16 ó más señales cada uno. Suele existir un pod específico (de menor efecto de carga y mejor ancho de banda) para las señales especiales externas (señales de reloj, interrupciones, etc.). Las señales analógicas recogidas por las puntas de prueba se convierten en datos tras pasar por los ADC (comparadores) y el registro de muestreo.
- **Disparo y adquisición.** El analizador lógico requiere de una o varias señales de reloj para realizar el análisis del resto de las señales. Este reloj, que se puede obtener a partir de alguna señal exterior o de la salida de un generador interno, se utiliza para sincronizar el sistema de disparo y gestionar la memoria de adquisición del analizador donde se almacena la información requerida relativa al evento de disparo (pretrigger o postrigger).
- **Análisis y visualización.** A partir de la información memorizada se realiza su análisis y presentación con los formatos o modos establecidos por el usuario. En muchos casos el analizador lógico dispone una arquitectura compatible PC de modo que se puede manipular la información adquirida mediante plataformas software de alto nivel.

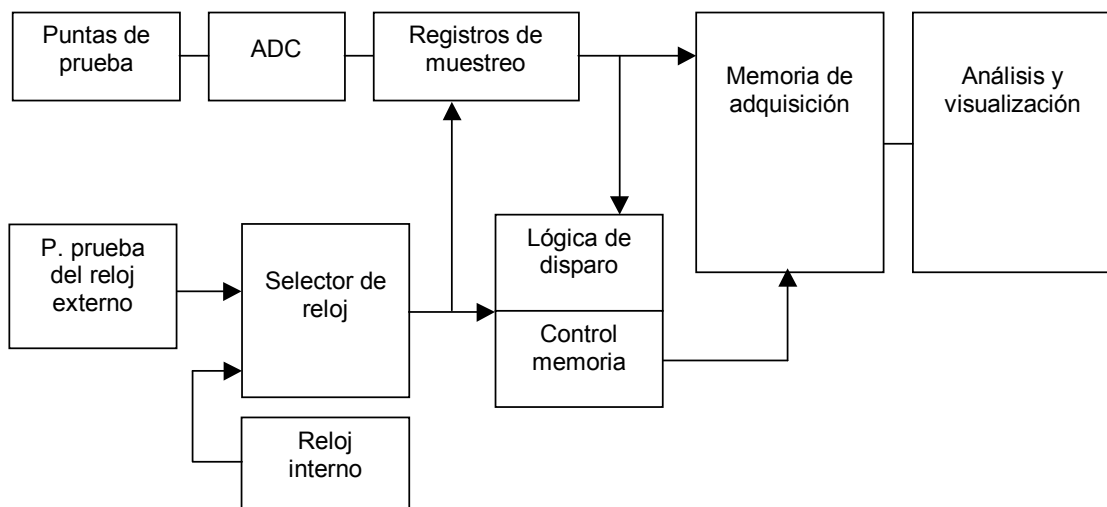


Figura 9.3. Diagrama de bloques de un analizador lógico.

9.3.3. Modos de muestreo en analizadores lógicos.

Existen dos modos de funcionamiento típicos en un analizador lógico dependiendo del modo de muestreo utilizado.

- **Muestreo asíncrono (timing analyzer mode).** Es un modo de trabajo similar al de un DSO. El analizador muestra gráficos de múltiples entradas verticales con un eje horizontal común que representa el tiempo (timing o cronograma). La información de los canales de entrada se muestrean a partir de una señal de reloj interno cuya

frecuencia se puede seleccionar en función de la frecuencia propia de las señales de entrada y de la profundidad de la memoria de adquisición (como en un DSO). Este modo de funcionamiento se utiliza para analizar la evolución temporal de las señales de un sistema digital.

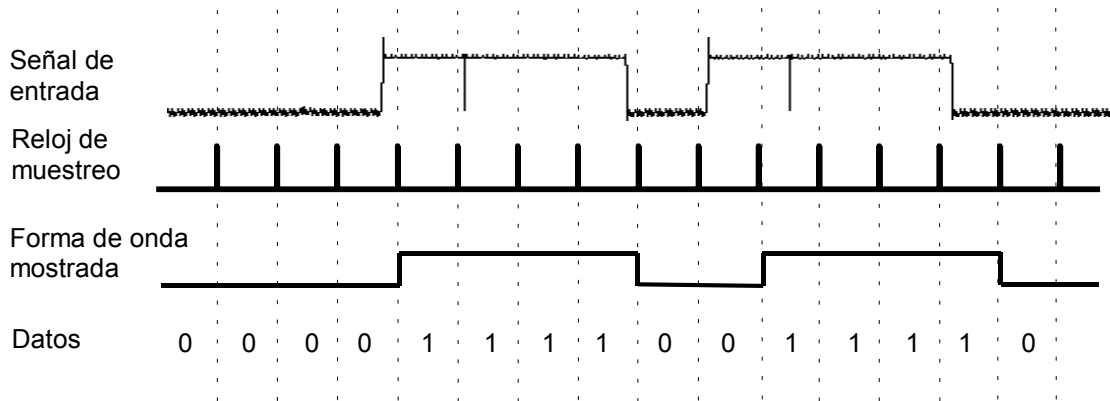


Figura 9.4. Ejemplo de medidas en modo “timing analyzer”

La exactitud de las medidas depende, por lo tanto, de la frecuencia de muestreo como se muestra en la figura 9.5. La máxima incertidumbre en tiempo coincide con el periodo del reloj de muestreo.

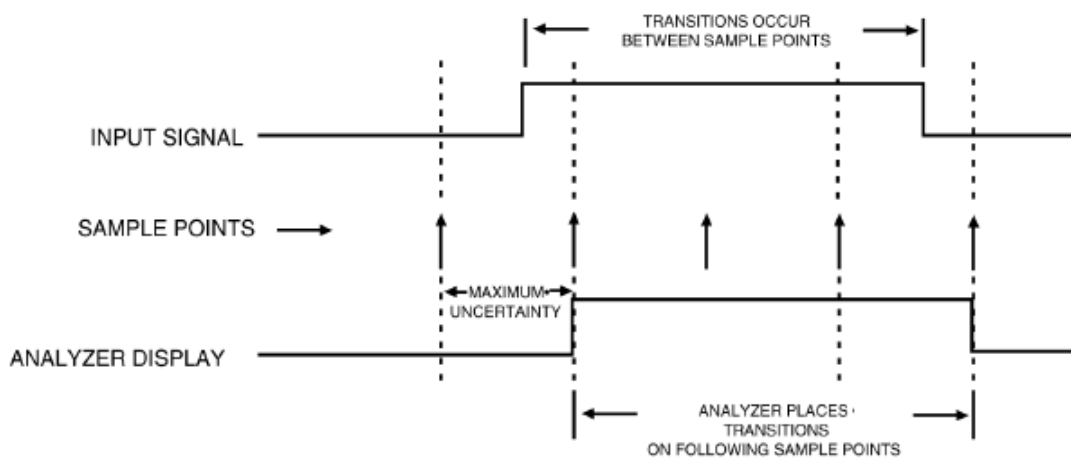


Figura 9.5. Incertidumbre en medidas en modo “timing analyzer”

- **Muestreo síncrono (state analyzer mode).** Una de las señales de entrada se toma como reloj de muestreo, por lo tanto, los datos introducidos en la memoria de adquisición están determinados por las transiciones del reloj externo. Grupos predeterminados de estas entradas pueden representar variables estados del DBE.

El analizador lógico muestra la evolución de estos estados con formatos preestablecidos componiendo tablas de estados en diversos formatos (decimal, hexadecimal, mnemotécnicos (lenguaje ensamblador), etc. Este modo es utilizado para analizar el funcionamiento de microprocesadores o dispositivos digitales específicos.

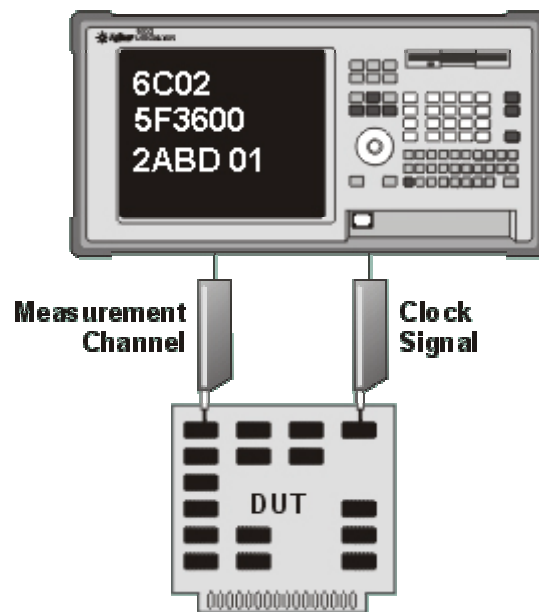


Figura 9.6. Analizador lógico en modo “state analyzer”

9.3.4. Sistema de disparo.

Una vez muestreadas las señales de entrada se ha de decidir cuales son de interés para el análisis y determinar así su registro en la memoria de adquisición. Esto se realiza gracias al sistema de disparo. En este apartado se realizará un estudio de los métodos de disparo usualmente utilizados en modo asíncrono (timing analyzer).

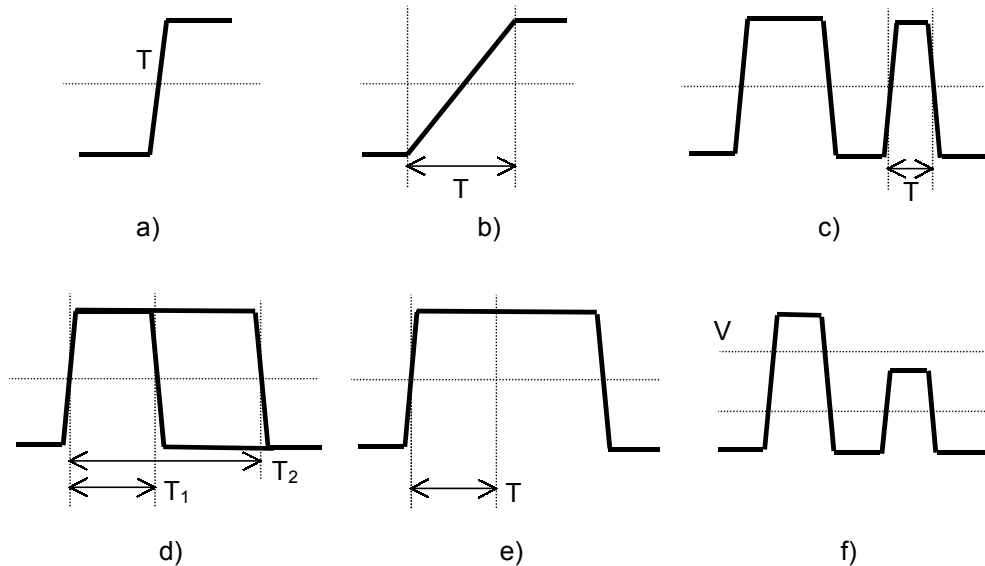


Figura 9.7. Distintos métodos de disparo.

- **Disparo por pendiente (edge triggering).** La adquisición del analizador se realiza mediante la detección de la transición positiva o negativa de una determinada señal de entrada. (figura 9.7. a)
- **Disparo por tiempo de transición (slew-rate triggering).** Sólo se activa el disparo cuando se detectan flancos con tiempos de transición mayores (o menores) que una cierta cantidad de tiempo predefinida (figura 9.7. b).

- **Disparo por transitorio (glitch triggering).** Se utiliza para detectar transitorios estrechos (glitches) que suelen ser efecto o causa de un mal funcionamiento del sistema. Para su detección se configura un tiempo T . Todo pulso de duración inferior se considerará glitch y activará el disparo del sistema (figura 9.7. c).
- **Disparo por anchura de pulso (pulse width triggering).** Es similar al método anterior. Ahora, una vez definidos los tiempos T_1 y T_2 , sólo los pulsos de anchura mayor que T_1 y menor que T_2 activarán el disparo (figura 9.7. d).
- **Disparo por exceso de duración (timeout triggering).** Cuando aparecen pulsos de anchura mayor que un tiempo T predefinido el sistema se dispara (figura 9.7. e).
- **Disparo por defecto de amplitud (runt pulse triggering).** Una vez definido un determinado nivel umbral de amplitud mínima se puede disparar el sistema tras la detección de pulsos defectuosos de escasa amplitud (figura 9.7. f).
- **Disparo lógico (logic triggering).** Se determina el disparo mediante combinación lógica de dos o más señales de entrada. Se suele configurar este método de disparo introduciendo una ecuación con operadores lógicos.
- **Disparo secuenciado (setup-and-hold triggering).** Este método de disparo evalúa la posición y duración temporal relativa entre determinadas señales y la transición de otra señal de referencia. El disparo se efectúa (o no) cuando cumple el cronograma establecido por los tiempos “setup” y “hold” como se muestra en la figura 9.8.

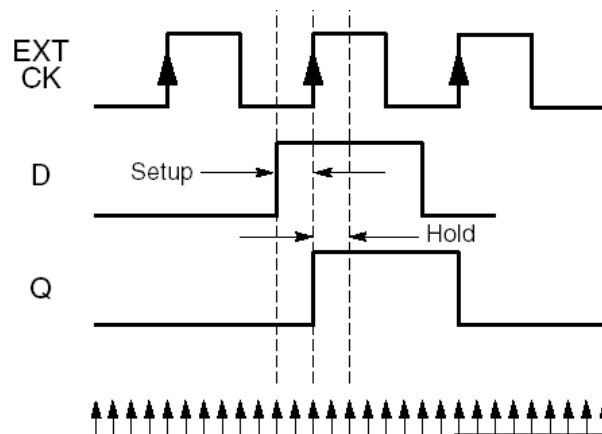


Figura 9.8. Disparo secuenciado (setup-and-hold triggering)

9.3.5. Adquisición de datos.

Como se ha citado anteriormente, el proceso de almacenamiento en memoria (adquisición de datos) se realiza cuando se realiza un disparo del sistema (triggering) con el objeto de realizar el análisis de las señales seleccionadas en el intervalo de “interés”: antes (pretrigger) y/o después (posttrigger) del disparo. La duración de este intervalo está limitado, entre otros factores, por el tamaño (profundidad) de la memoria de adquisición que suele ser de tipo cola anillada, es decir, cuando la memoria está llena, los datos nuevos “empujan” a los más antiguos eliminándolos de la memoria. En un modo de funcionamiento asíncrono en cada pulso del reloj se memoriza un nuevo dato. Si se persigue una buena resolución horizontal la frecuencia de reloj debe ser alta y en poco tiempo de adquisición se puede sobrepasar la capacidad de la memoria.

En el ejemplo de la figura 9.9 se observa un ejemplo con una señal tipo “ráfaga” en la que existe un porción importante de tiempo sin transiciones separando intervalos estrechos de

señal con transiciones. Si la memoria es de 4096 posiciones sólo se podría adquirir la primera ráfaga de señal y la memoria estaría llena en su mayoría con datos nulos.

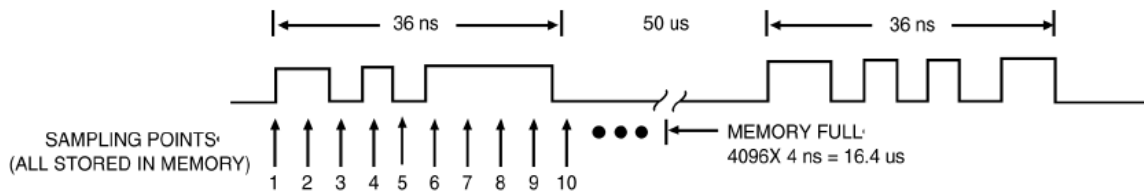


Figura 9.9. Muestreo de alta resolución no optimizado

En la figura 9.10 se muestra el método de adquisición denominado “transitional sampling” con el cual se consigue optimizar el almacenamiento de la información capturada. Consiste en guardar en memoria sólo las transiciones, mediante un detector de pendiente, y su duración, mediante un contador. En el ejemplo mostrado sería posible, mediante este método, almacenar decenas de ráfagas con tan solo 4096 posiciones de memoria.

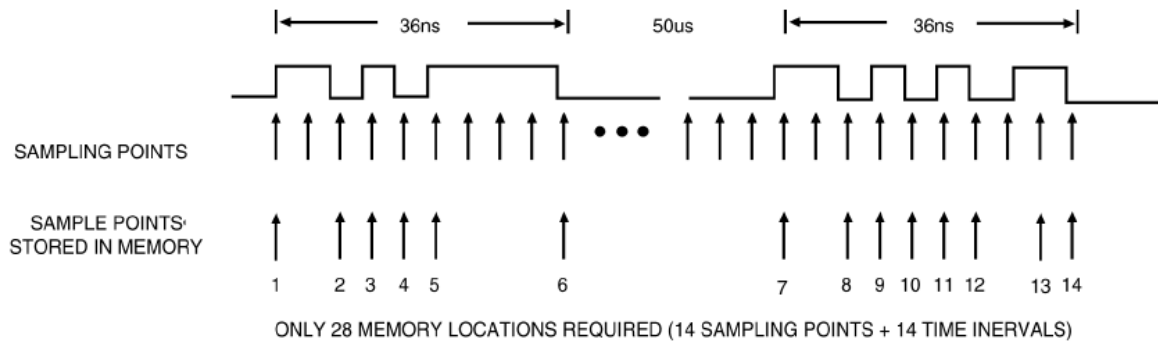


Figura 9.10. Muestreo de alta resolución con detector de transiciones

Otro método interesante de adquisición es aquel que permite capturar glitches optimizando el consumo de memoria. En la figura 9.11 se muestra su principio de funcionamiento. El glitch se detecta cuando la señal cruza el umbral de definición de estado lógico más de una vez entre instantes de muestreo. Una vez detectado, el analizador almacena este evento y lo muestra mediante una trazo discontinua coincidente con el siguiente punto de muestreo. De este modo no es necesario incrementar la frecuencia de muestreo en exceso para la detección de glitches y por consiguiente se optimiza el uso de la memoria de adquisición.

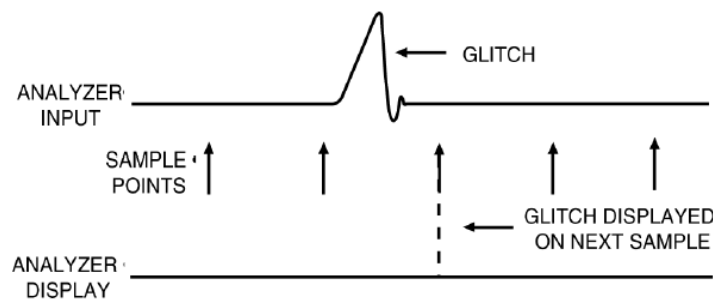


Figura 9.11. Detección de un glitch

9.3.6. Sondas y puntas de prueba.

En cada uno de los “pods” del analizador se conecta un cable plano o cilíndrico multiconductor en cuyo extremo se sitúan las sondas o puntas de prueba a conectar a los nodos de interés del DBE. En un sistema estándar para analizadores lógicos se realiza la conexión al DBE mediante micro-pinzas que se conectan normalmente a los pines de los circuitos integrados como se muestra en la figura 9.12.

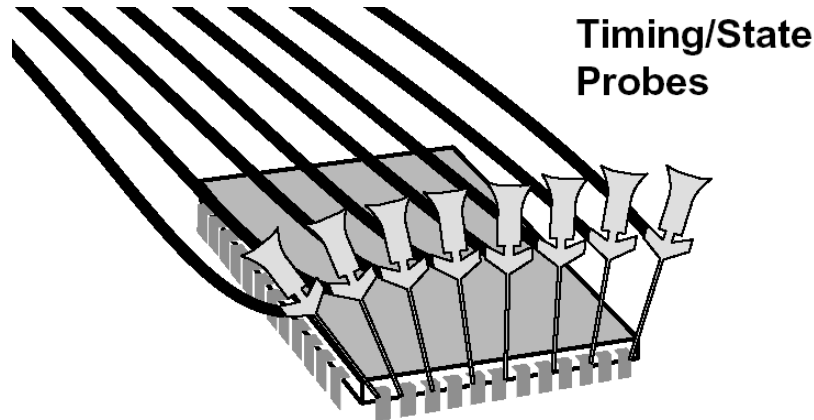


Figura 9.12. Puntas de prueba tradicionales en LA

El circuito eléctrico equivalente de estas sondas se muestra en la figura 9.13.

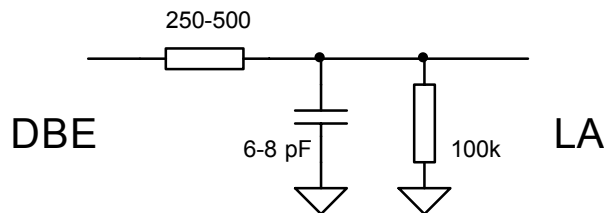


Figura 9.13. Circuito equivalente de la punta de prueba de un LA

La existencia de una carga resistiva de 100kΩ y de otra capacitiva de 6 a 8 pF representa un potencial efecto de carga sobre la señal digital bajo estudio. En la figura 9.14 se muestran por separado estos posibles efectos de carga que tendrán mayor importancia cuanto mayor sea la impedancia de salida de los circuitos digitales que generan las señales.

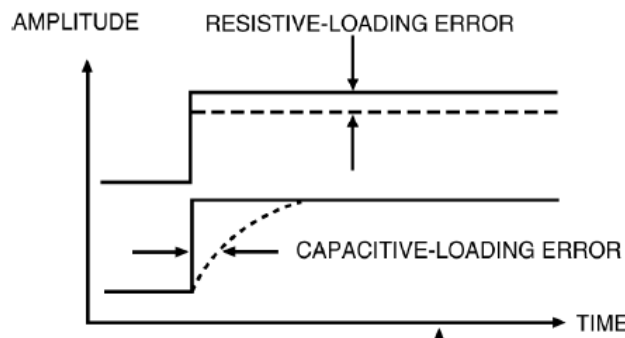


Figura 9.14. Efecto de carga de una punta de prueba

El método estándar de conexión presenta ciertas dificultades cuando el número de canales a conectar es grande. Además, en la actualidad se ha popularizado el uso de componentes SMD cuyas dimensiones no permiten en muchos casos el uso de sondas estándar. En la figura 9.15 se muestra un nuevo tipo de puntas de pruebas, denominadas “fine-pitch probes” utilizadas para esta tecnología. El proceso de conexión se mejora, entre otros factores, al existir una doble conexión eléctrica en cada pin del circuito integrado con lo cual se aumenta la fiabilidad del sensado.

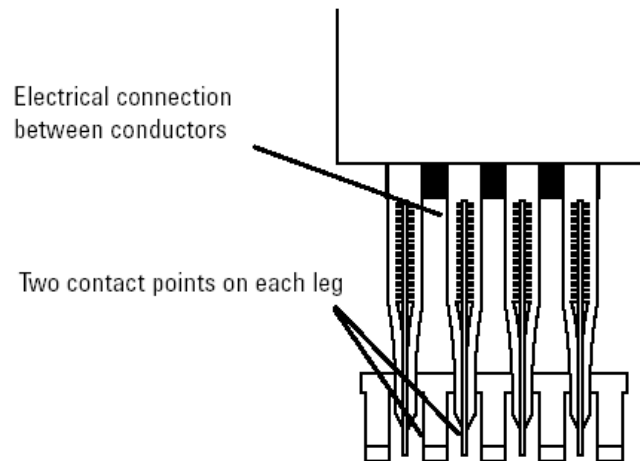


Figura 9.15. Punta de prueba para dispositivos SMD

En la figura 9.16 se muestra una imagen de cómo se realiza la conexión de las modernas puntas de prueba sobre un circuito integrado SMD.

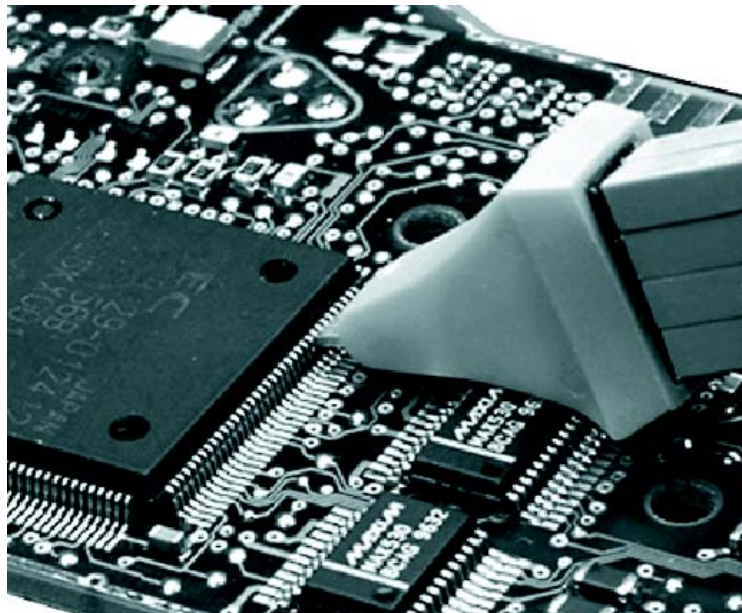


Figura 9.16. Ejemplo de conexión de las puntas de prueba para SMD

Cuando el número de puntas de prueba requeridas sobre un mismo circuito integrado es grande resulta más conveniente usar adaptadores específicos como el mostrado en la figura 9.17. El adaptador se monta sobre el circuito integrando permitiendo la conexión de puntas de prueba estándar. En este caso se muestra el adaptador apropiado para circuitos integrados tipo TQFP.

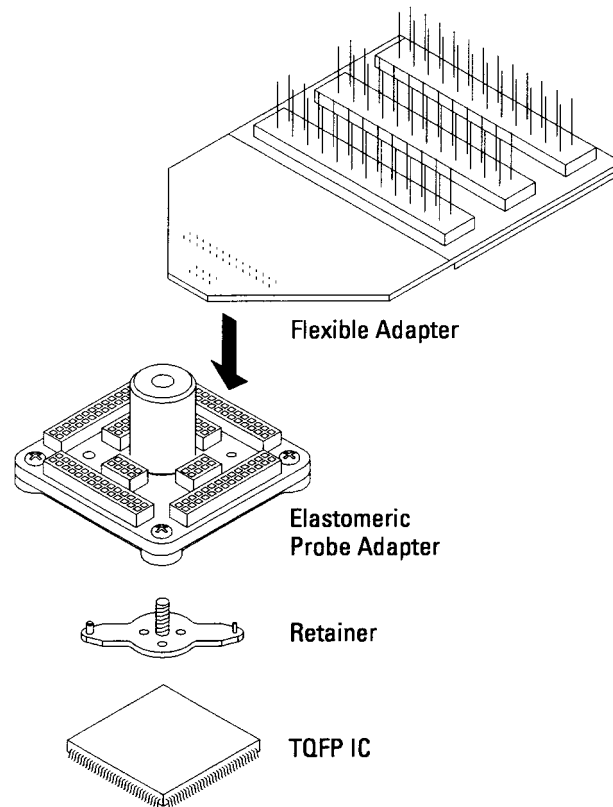


Figura 9.17. Puntas de prueba para dispositivos específicos

9.4. Bibliografía

- [1] “Electronic Instrumentation Handbook”, Clyde F. Coombs (Mc Graw Hill).
- [2] “Feeling Confortable with Logic Analyzers”, Nota de aplicación 1337. Agilent Technologies.
- [3] “The XYZs of Logic Analyzers”, Nota de aplicación de Tektronix. 2001.