

## Práctica 6

### Inferencia de memoria

---

#### **Objetivos**

Realizar un ejemplo sencillo de inferencia de memoria.

#### **Información previa**

Dentro de las FPGAs se pueden implementar distintos tipos de memorias: ROM, RAM asíncrona, RAM síncrona, etc. Estos bloques de memoria pueden instanciarse o “inferirse”. En este último caso nos referimos a la deducción por parte del sintetizador de un bloque de memoria, de un determinado tipo, a partir de la descripción en un HDL.

Antes de comenzar la práctica, leer la sección *Block RAM Data Operations* del *Spartan 3 Family Datasheet* colgado en la web del laboratorio (*ds099.pdf*, páginas 29-30) y la presentación resumen *Inferencia de memorias para FPGAs Xilinx* también colgada en la web.

#### **Circuito utilizado**

Utilizaremos algunos bloques similares a los de prácticas anteriores para construir un diseño diferente. En este caso haremos un “lector” de números binarios, que visualice en el display 7-segmentos de la placa el número decimal correspondiente al número binario introducido con los interruptores.

El funcionamiento del circuito es el siguiente:

- Tenemos los mismos contadores encadenados del circuito del cronómetro, pero listos para contar solamente hasta 299. En realidad contaremos sólo de 0 a 255. La salida de los contadores va a sendos conversores de hexadecimal (decimal en nuestro caso) a 7 segmentos.
- Un bloque controlador (“bin\_reader\_ctrl”) se encarga de ejecutar dos fases:
  - En la primera activa la escritura en una memoria RAM de un dato que se forma concatenando la salida codificada en 7 segmentos de los contadores, a la vez que hace que estos avancen, y al mismo tiempo que va incrementando la dirección de memoria. Es decir, rellena la memoria con 256 datos de 21 bits que serán la representación en 3x7 segmentos de los números 0 a 255.
  - Tras la primera fase, la escritura es desactivada y los *switches* pasan a tomar el control de la dirección de la memoria, cuya salida va conectada a un bloque “display\_ctrl” que se encarga de hacer la multiplexación de los segmentos y “rotación” de los ánodos antes de salir a la placa.

## **Guía para la realización**

Obtener los ficheros para la realización de la práctica de la web del laboratorio. Crear un nuevo proyecto en el directorio ise/ y añadir todos los ficheros fuente existentes, sin olvidar el de constraints de localización de pines (“bin\_reader.ucf”).

Examinar y comprender el diseño.

Todos los ficheros fuente están completos, salvo por el fichero “spram.vhd”, que ha de codificar una memoria RAM de un solo puerto y de número de palabras y ancho de palabra genéricos. Completar el fichero para que se infiera una memoria *Block RAM* con modo “read first”.

Comprobar que el diseño se compila correctamente y hacer una mínima simulación con el testbench proporcionado.

Implementar el diseño y descargarlo en la placa. Comprobar que funciona.

## **Entrega de la práctica**

**El correcto funcionamiento del diseño sobre la placa “S3BOARD” deberá mostrarse al profesor de prácticas** en clase antes de la fecha límite especificada en la web del laboratorio.

Por otra parte, **deberá entregarse por web un archivo zip con el diseño realizado**, antes de la fecha límite especificada en la web del laboratorio. Entregar el directorio “P6\_bin\_reader\_RAM” completo (si es necesario, debido a su tamaño, eliminar los ficheros de ondas del simulador, aunque en esta práctica lo normal es no tener unos ficheros de ondas muy grandes).

Todos los ficheros del código fuente editados por los alumnos deberán entregarse con una cabecera adecuada, incluyendo siempre el nombre de los autores.

El archivo zip deberá tener la siguiente nomenclatura:

<{DIE\_L | DIE\_X | DIE\_J}><numero\_pareja\_2digitos>\_P6.zip

(Ej.: DIE\_J02\_P6.zip para pareja 2 de DIE jueves)

No será necesario presentar ninguna memoria.

**Se recuerda que los alumnos deberán comprender el diseño completo y familiarizarse con él.**